

Calcolatori Elettronici (12AGA) – esame del 19.9.2014

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).
Non è possibile consultare alcun tipo di materiale. Tempo: 20 minuti.

1	Si desidera realizzare un banco di memoria composto da 1M parole da 32 bit ciascuna, utilizzando moduli composti ciascuno da 256K parole da 8 bit. Quanti di questi moduli sono necessari?																												
2	Con riferimento alla mappa di Karnaugh a destra, si disegni una copertura minima e si scriva qui sotto la funzione booleana corrispondente all'espressione minima.	<div><div><div>a b</div><div>c d</div></div><table><tr><td>00</td><td>00</td><td>01</td><td>11</td><td>10</td></tr><tr><td>00</td><td>1</td><td>-</td><td>0</td><td>0</td></tr><tr><td>01</td><td>1</td><td>-</td><td>0</td><td>0</td></tr><tr><td>11</td><td>1</td><td>-</td><td>-</td><td>1</td></tr><tr><td>10</td><td>1</td><td>0</td><td>0</td><td>0</td></tr></table></div>			00	00	01	11	10	00	1	-	0	0	01	1	-	0	0	11	1	-	-	1	10	1	0	0	0
00	00	01	11	10																									
00	1	-	0	0																									
01	1	-	0	0																									
11	1	-	-	1																									
10	1	0	0	0																									
3	Si consideri un sistema di arbitraggio di bus basato su Daisy Chaining e un altro basato su richieste indipendenti. In quale dei due sistemi il tempo di arbitraggio è mediamente inferiore?	Daisy Chaining	A																										
		Richieste Indipendenti	B																										
		Il tempo di arbitraggio è lo stesso	C																										
		Dipende dal numero di unità connesse	D																										
4	Quale vantaggio offre l'uso della microprogrammazione verticale rispetto a quella orizzontale?	Maggiore velocità	A																										
		Maggiore semplicità di progetto	B																										
		Minore dimensione della memoria di microcodice	C																										
		Minor costo della logica di generazione degli indirizzi per accedere alla memoria di microcodice	D																										
5	Quale delle seguenti tipologie di memoria è volatile?	ROM	A																										
		Static RAM	B																										
		FPGA	C																										
		EPROM	D																										
6	Che cosa succede in un processore quando un programma esegue una divisione per 0?	Si scatena un'eccezione; il programma è interrotto e viene eseguita la procedura di servizio il cui indirizzo è memorizzato in un certo elemento della IVT	A																										
		Nulla; il programma procede oltre	B																										
		Viene settato il flag di overflow; il programma procede oltre	C																										
		Il processore viene resettato	D																										
7	Si consideri una <i>cache</i> composta da 256 linee, ciascuna corrispondente a 8 byte, che utilizza il meccanismo del Direct Mapping. Quanti bit compongono il campo tag, assumendo che il processore emetta indirizzi su 32 bit?																												
8	Quale dei seguenti strumenti produce il file eseguibile in un tipico flusso di scrittura di un programma?	Editor	A																										
		Assemblatore	B																										
		Linker	C																										
		Sistema operativo	D																										
9	Si considerino due variabili UNO e DUE di tipo word. Si scriva a fianco il frammento di codice che esegue lo scambio di valore tra le due variabili.																												

Risposte corrette

1	2	3	4	5	6	7	8	9
16		B	C	B	A	21	C	

Domanda 2

		a b			
		00	01	11	10
c d	00	1	-	0	0
	01	1	-	0	0
	11	1	-	-	1
	10	1	0	0	0

$$u = a'b' + cd$$

Domanda 9

Esempio di soluzione

```
MOV  AX, UNO
MOV  BX, DUE
MOV  UNO, AX
MOV  DUE, BX
```

Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale -
Tempo: 40 minuti.

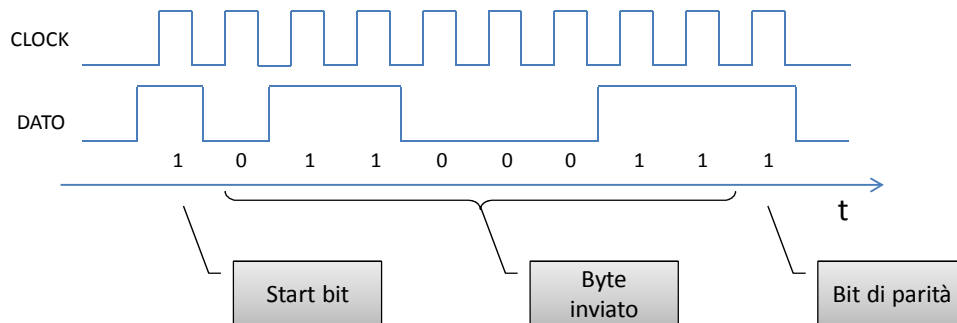
10	<p>Si illustrino le caratteristiche e il funzionamento di un bus asincrono, confrontandolo poi con quelle di un bus sincrono; si elenchino vantaggi e svantaggi di ciascuno.</p>
11	<p>Con riferimento al processore con l'architettura della figura, si elenchino le microistruzioni necessarie all'esecuzione completa dell'istruzione ADD R5, VAR, che esegue la somma del valore contenuto nella variabile di memoria VAR con il registro R5 ($R5 \leftarrow R5 + VAR$).</p> <div><p>The diagram illustrates a computer architecture with the following components and connections:</p><ul style="list-style-type: none">Internal Bus (Bus interno): A horizontal line connecting the Control Unit, IR, Registers (R₀ to R_{n-1}), and TEMP.External Bus (Bus esterno): A horizontal line connecting the PC, MAR, and MDR.Control Unit (Unità di controllo): Receives control signals and sends them to the IR and PC.IR (Instruction Register): Receives instructions from the PC via the external bus and sends them to the ALU via the internal bus.Registers (R₀ to R_{n-1}): Store data and send/receive it via the internal bus.TEMP (Temporary Register): Used for temporary storage, connected to the internal bus.PC (Program Counter): Holds the address of the next instruction, connected to the external bus.MAR (Memory Address Register): Holds the address of data to be read from memory, connected to the external bus.MDR (Memory Data Register): Holds data read from memory, connected to the external bus.ALU (Arithmetic Logic Unit): Performs operations (Add, Sub, XOR, etc.) on data from the IR and registers. It has a CarryIn input and a Z (Zero) output.Y: A register that receives data from the internal bus and sends it to the ALU.Z: A register that receives the result from the ALU and sends it back to the internal bus.</div>

12	<p>Si disegnino l'architettura di un ripple carry adder e quella di un carry lookahead adder, illustrando vantaggi e svantaggi di ciascuno dei due.</p>
13	<p>Si illustrino le caratteristiche tipiche di un processore RISC.</p>

Esercizio di programmazione

sino a 12 punti – è possibile consultare qualunque materiale cartaceo - tempo: 60 minuti

Una periferica di output connessa a un sistema basato sul processore 8086 riceve i caratteri (byte) da visualizzare attraverso un protocollo seriale come illustrato in figura:



Ogni byte è trasmesso sulla linea *dato* a partire dal bit più significativo, preceduto da uno “start bit” a 1 e seguito dal bit di parità del byte trasmesso (parità dispari); per ogni byte da trasmettere sono dunque inviati 10 bit. Durante l’invio di ogni bit, un fronte positivo del segnale di *clock* segnala alla periferica la disponibilità di un valore da acquisire.

Si scriva una **procedura sendcode** in linguaggio Assembly 8086 in grado di realizzare la trasmissione descritta mediante l’interfaccia parallela programmabile 8255, utilizzando il bit 7 della porta C per il segnale di *dato* e il bit 6 della stessa porta per il segnale di *clock*. Il modulo 8255 si può considerare inizialmente programmato in modo 0 per entrambi i gruppi, con tutte le porte in modo output. Si assuma che i 4 registri dell’8255 rispondano agli indirizzi 80h, 81h, 82h e 83h, rispettivamente.

La procedura riceve un byte da trasmettere alla volta mediante lo stack. Di seguito un esempio di programma chiamante:

[...]

```
MOV AL, 'c'
XOR AH, AH
PUSH AX
CALL sendcode
ADD SP, 2
```

[...]