Calcolatori Elettronici (12AGA)

Esame del 21.7.2020

Traccia per la correzione parte II

Si consideri un sistema dotato di controllore dell'Interrupt che utilizza il meccanismo dell'interrupt vettorizzato.

Si richiede di

- 1. elencare i moduli con cui il controllore dell'Interrupt interagisce
- 2. descrivere le funzioni svolte dal controllore dell'interrupt
- 3. descrivere i passaggi necessari per il servizio dell'interrupt a partire dalla richiesta proveniente da un dispositivo periferico e sino all'attivazione della procedura di servizio dell'interrupt

- 1. L'IC interagisce con
 - Interfacce periferici
 - CPU
- 2. L'IC riceve le richieste di interrupt dalle interfacce dei periferici, verifica quali sono eventualmente mascherati, gestisce eventuali casi di richieste contemporanee, inoltra la richiesta al processore e gli fornisce il codice della periferica

3. I passi principali sono

- Un'interfaccia di periferico fa richiesta di interrupt all'IC
- L'IC inoltra la richiesta alla CPU (se non è mascherata)
- La CPU al termine dell'istruzione corrente risponde con un ACK (se l'interrupt non è mascherato) e salva indirizzo di ritorno e registro di stato (di solito nello stack)
- L'IC invia il codice della periferica
- Con il codice la CPU accede alla IVT e recupera l'indirizzo di partenza della corrispondente ISR
- Parte l'esecuzione della ISR.

Si descrivano le modalità di aggiornamento dei dati in memoria principale in un sottosistema di memoria dotato di memoria cache.

Write through

 Ogni operazione di modifica di un dato in cache causa contestualmente la modifica del dato stesso in memoria principale

Write back

– Le operazioni di modifica di un dato in cache non comportano la contestuale modifica del dato stesso in memoria principale. Quando un blocco viene rimosso dalla cache il cache controller verifica se il blocco è stato modificato mentre era in cache ricorrendo a un bit (dirty bit) associato a ciascuna linea. In caso positivo il blocco viene ricopiato in memoria principale.

Con riferimento al meccanismo noto come Memoria Virtuale, si richiede di

- 1. descrivere gli obiettivi generali del meccanismo
- 2. chiarire il significato di indirizzo logico e indirizzo fisico
- 3. evidenziare quali tra le funzioni richieste per l'accesso alla memoria fisica da parte della CPU sono svolte in hardware e quali in software.

- 1. Il meccanismo della memoria virtuale serve per rendere la memoria visibile al processore (denominata memoria virtuale) indipendente dalla memoria principale fisicamente esistente nel sistema.
- 2. L'indirizzo logico emesso dal processore fa riferimento alla memoria virtuale. L'indirizzo fisico è quello utilizzato per accedere alla memoria principale fisicamente esistente nel sistema.

3. La traduzione degli indirizzi logici in fisici è fatta in hardware dalla MMU con il supporto di MAT e TLB. Nel caso una pagina non sia presente in memoria principale (page fault) la MMU scatena un'eccezione e invoca il Sistema Operativo, che in software provvede a caricare la pagina mancante in memoria principale dalla memoria secondaria e ad aggiornare la MAT.

Progettare un circuito minimo a due livelli che implementi la seguente funzione:

F=A'BC+A'B'D+A'BC'+BC'D'+AC'D'

Si richiede di scrivere la funzione minimizzata dell'uscita, senza disegnare il circuito o cerchiare i cubi. Si suggerisce di utilizzare le tabelle che seguono per la Tavola di Verità e la Mappa di Karnaugh.

Traccia per la soluzione

TAVOLA DI VERITÀ

Α	В	С	D	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

MAPPA DI KARNAUGH

\AB CD\	00	01	11	10
00	0	1	<mark>1</mark>	<mark>1</mark>
01	1	1	0	O
11	1	1	0	O
10	0	<u>1</u>	<mark>0</mark>	O

FUNZIONE f=A'B+A'D+AC'D'