

Calcolatori Elettronici (12AGA)

Esame del 2.7.2021

Correzione

Domanda #11

Si descriva il meccanismo di gestione di un dispositivo periferico attraverso il meccanismo dell'interrupt vettorizzato.

Considerando un'operazione di lettura, si elenchino i vari passaggi dal momento in cui il dispositivo periferico abbia un dato pronto in lettura, evidenziando tutte le operazioni svolte dalla CPU.

Domanda #11

Il meccanismo dell'interrupt vettorizzato permette ad un dispositivo periferico di richiedere il servizio della CPU (nella forma di una Interrupt Service Routine o ISR). Il meccanismo prevede la presenza di un Interrupt Controller (IC) che interagisce con la CPU gestendo eventuali richieste di interrupt multiple e fornendo alla CPU il codice della periferica a priorità più alte. L'attivazione della ISR corrispondente avviene attraverso l'accesso alla Interrupt Vector Table (IVT).

Domanda #11

La sequenza di operazioni eseguite è la seguente

- Il dispositivo di input invia una richiesta di interrupt all'IC
- L'IC invia la richiesta alla CPU
- La CPU, al termine dell'istruzione corrente, salva (di solito nello stack) il PC e il registro di stato, poi invia un segnale di Interrupt Acknowledge all'IC
- L'IC invia alla CPU il codice della periferica di input
- La CPU accede alla IVT usando come indice tale codice ed estraendone l'indirizzo della corrispondente ISR
- La ISR viene eseguita, ed esegue l'acquisizione del dato letto.

Domanda #12

- Progettare un circuito minimo a due livelli che implementi un'unità aritmetica su 1 bit, avente due ingressi di dato (I_1 e I_2) e un ingresso di operazione (Op), ciascuno su un bit.
- Se $Op=0$ gli ingressi vanno sommati, altrimenti il secondo va sottratto al primo.
Il circuito deve fornire il risultato (R), il carry (C) e il borrow (B).
- Compilare la tavola di verità e le mappe di Karnaugh e fornire le funzioni delle uscite implementate dal circuito minimo.

Passo 1: tavola di verità

Op I1 I2	R C B
000	0 0 0
001	1 0 0
010	1 0 0
011	0 1 0
100	0 0 0
101	0 0 1
110	1 0 0
111	0 0 0

Passo 2: mappa di Karnaugh per R

A Karnaugh map for a function R. The map is a 4x2 grid. The columns are labeled with the output Op as 0 and 1. The rows are labeled with the inputs I1 I2 as 00, 01, 11, and 10. The values in the cells are: (00, 0) = 0, (00, 1) = 0, (01, 0) = 1, (01, 1) = 0, (11, 0) = 0, (11, 1) = 0, (10, 0) = 1, (10, 1) = 1.

Op		0	1
I1 I2	00	0	0
	01	1	0
	11	0	0
	10	1	1

Passo 2: mappa di Karnaugh per R

A Karnaugh map for a function of three variables: I_1 , I_2 , and O_p . The map is a 4x2 grid. The columns are labeled I_1 and I_2 at the top left, with a diagonal line pointing to the column headers 0 and 1. The rows are labeled O_p on the left, with values 00, 01, 11, and 10. The cells contain the values 0, 1, 0, 0, 1, 0, 0, 0, 1, 1. Two groupings are highlighted with rounded rectangles: one grouping the cell at $(I_1, I_2) = (0, 01)$ containing 1, and another grouping the two cells at $(I_1, I_2) = (0, 10)$ and $(1, 10)$ both containing 1.

$I_1 \ I_2$		O_p	
		0	1
00	0	0	0
01	1	0	0
11	0	0	0
10	1	1	0

Passo 2: mappa di Karnaugh per R

Diagram of a Karnaugh map for variable R. The map is a 4x2 grid with rows labeled by $I_1 I_2$ (00, 01, 11, 10) and columns labeled by O_p (0, 1). The values in the cells are 0, 1, 0, 0, 1, 0, 0, 0. The cells containing 1 are highlighted with rounded rectangles: one at (01, 0) and one spanning (10, 0) and (10, 1).

$I_1 I_2 \backslash O_p$	0	1
00	0	0
01	1	0
11	0	0
10	1	1

$$R = O_p' I_1' I_2 + I_1 I_2'$$

Passo 2: mappa di Karnaugh per C

A Karnaugh map for variable C. The map is a 4x2 grid. The columns are labeled 'Op' (0 and 1) and the rows are labeled 'I1 I2' (00, 01, 11, 10). The values in the cells are: (00, 0)=0, (00, 1)=0, (01, 0)=0, (01, 1)=0, (11, 0)=1, (11, 1)=0, (10, 0)=0, (10, 1)=0.

	Op		
I1 I2	0	1	
00	0	0	
01	0	0	
11	1	0	
10	0	0	

Passo 2: mappa di Karnaugh per C

A Karnaugh map for variable C. The map is a 4x2 grid. The columns are labeled 0 and 1, and the rows are labeled 00, 01, 11, and 10. The cell at row 11, column 0 contains a 1 and is highlighted with a rounded rectangle. A line connects the labels I1 and I2 to the top-left corner of the grid, and a label Op is placed above the line.

		Op	
I1 I2		0	1
00		0	0
01		0	0
11		1	0
10		0	0

Passo 2: mappa di Karnaugh per C

Diagram illustrating the Karnaugh map for output C. The map is a 4x2 grid with inputs I_1 and I_2 on the vertical axis and output O_p on the horizontal axis. The cell at $(I_1=1, I_2=1, O_p=0)$ contains a 1 and is highlighted with a rounded rectangle.

$I_1 \ I_2$	$O_p = 0$	$O_p = 1$
00	0	0
01	0	0
11	1	0
10	0	0

$$C = O_p' I_1 I_2$$

Passo 2: mappa di Karnaugh per B

A Karnaugh map for variable B. The map is a 4x2 grid. The columns are labeled with the output Op as 0 and 1. The rows are labeled with the inputs I1 and I2 as 00, 01, 11, and 10. The values in the cells are: (00, 0) = 0, (00, 1) = 0, (01, 0) = 0, (01, 1) = 1, (11, 0) = 0, (11, 1) = 0, (10, 0) = 0, (10, 1) = 0.

Op		0	1
I1 I2	00	0	0
	01	0	1
	11	0	0
	10	0	0

Passo 2: mappa di Karnaugh per B

Op

I1 I2

0

1

00

0

0

01

0

1

11

0

0

10

0

0

Passo 2: mappa di Karnaugh per B

Diagram of a Karnaugh map for variable B. The map is a 4x2 grid. The columns are labeled I_1 and I_2 (with I_1 above the first column and I_2 above the second column) and the rows are labeled Op (with Op above the first row and Op above the second row). The cells contain the following values:

Op	I_1	I_2
00	0	0
01	0	1
11	0	0
10	0	0

The cell containing the value 1 (at $Op=01$, $I_1=1$) is highlighted with a rounded rectangle.

$$B = Op \cdot I_1' \cdot I_2$$

Domanda #13

Con riferimento ad un'architettura a pipeline ideale

- se ne descriva l'architettura e il funzionamento
- si elenchino le principali cause che ne limitano il comportamento ideale.

Domanda #13

Un'architettura a pipeline ideale è composta da vari stadi, ognuno dedicato all'esecuzione di una fase tra quelle in cui può essere scomposta l'esecuzione di ciascuna istruzione. I vari stadi sono tra loro separati da registri, tutti sincronizzati dallo stesso segnale di clock.

Ad ogni periodo di clock ciascuno stadio lavora su una diversa istruzione, con il risultato che nel caso ideale ad ogni periodo di clock si termina l'esecuzione di un'istruzione ($CPI=1$).

Domanda #13

Le prestazioni di un'architettura a pipeline reale sono limitate dal fenomeno dello stallo, le cui possibili cause sono

- Uno stadio non completa il proprio compito su un'istruzione in un singolo periodo di clock (ad esempio per un miss in cache)
- La dipendenza di dato tra due istruzioni
- Un'istruzione di salto, che fa sì che l'istruzione di cui si è fatto il fetch non sia quella corretta.

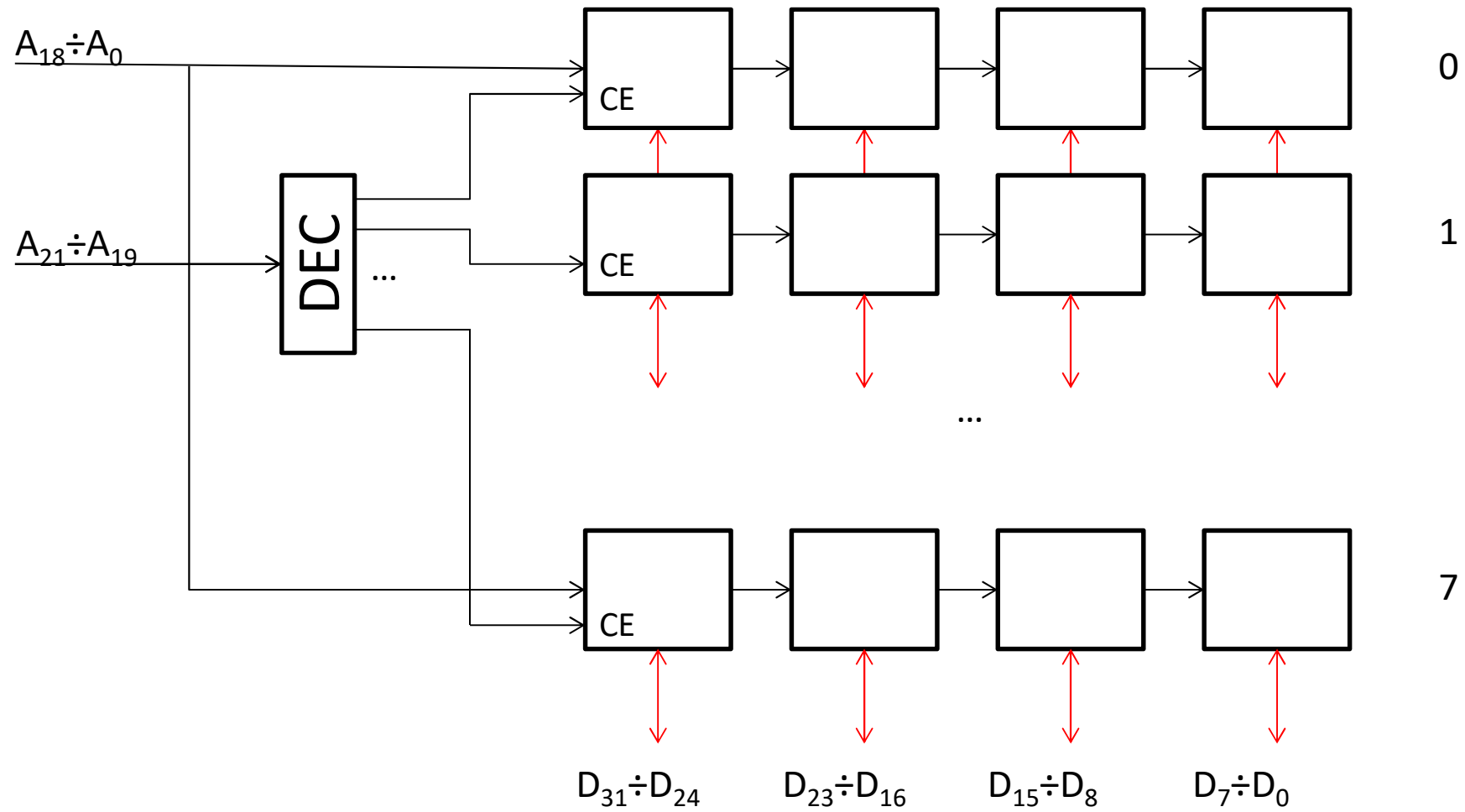
Domanda #14

Si consideri un banco di memoria da 4 Mparole di 32 bit ciascuna, composto da moduli da 512Kparole da 8 bit ciascuno.

Si risponda alle seguenti domande:

1. quanti moduli sono necessari per realizzare l'intero banco di memoria?
2. chi pilota i segnali di indirizzo di ciascun modulo?
3. chi pilota il segnale di chip enable di ciascun modulo?
4. chi pilota i segnali di dato di ciascun modulo?

Domanda #14



Domanda #14

- Risposta al punto 1:
 - 32 moduli
- Risposta al punto 2:
 - i bit $A_{18} \div A_0$
- Risposta al punto 3:
 - Le uscite del decoder da 3 a 8
- Risposta al punto 4:
 - Per i moduli sulla colonna di sinistra (che contengono il byte più significativo di ciascuna parola, i segnali $D_{31} \div D_{24}$, per quelli della seconda colonna da sinistra i segnali $D_{23} \div D_{16}$, per quelli della colonna successiva $D_{15} \div D_8$, per quelli della colonna di destra i segnali $D_7 \div D_0$.