

Nome, cognome, matricola

Calcolatori Elettronici (12AGA) – esame del 09.7.2019 - A

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).

Non è possibile consultare alcun tipo di materiale. Tempo: 15 minuti.

!!!! Attenzione: il compito è su 2 facciate !!!!

1	Si consideri un circuito sequenziale sincrono con 20 ingressi, 50 uscite e 120 stati. Qual è il numero minimo di flip flop necessari per la sua implementazione?																											
2	Dove è memorizzata la Interrupt Vector Table in un sistema general purpose?	All'interno dell'Interrupt Controller	A																									
		All'interno della memoria ROM	B																									
		All'interno della memoria RAM	C																									
		In memoria secondaria	D																									
3	Si consideri una cache con le seguenti caratteristiche <ul style="list-style-type: none">256 linee da 16 byteMeccanismo set associative a 8 vie con sostituzione LRU. Assumendo che gli indirizzi emessi dal processore siano su 32 bit, qual è la dimensione del campo tag associato a ogni linea?	8 bit	A																									
		23 bit	B																									
		24 bit	C																									
		25 bit	D																									
4	Si considerino i processori RISC: quale delle seguenti affermazioni è vera?	Tutte le istruzioni possono avere un operando memorizzato in una cella di memoria	A																									
		In assenza di stalli, tutte le istruzioni richiedono un solo colpo di clock per essere eseguite	B																									
		Il numero di registri disponibili è inferiore ad un processore CISC	C																									
		Solo le istruzioni di load e store possono accedere alla memoria	D																									
5	Si consideri un sistema che utilizza il meccanismo della memoria virtuale: quando si verifica il Page Fault?	Quando la pagina richiesta dal processore non si trova in memoria secondaria	A																									
		Quando la pagina richiesta dal processore non si trova in memoria principale	B																									
		Quando la pagina richiesta dal processore si trova in memoria principale	C																									
		Quando la pagina richiesta dal processore non si trova in cache	D																									
6	Si scriva l'espressione booleana minimizzata per la funzione nella mappa di Karnaugh rappresentata qui sotto. <div><div><div>a b</div><div>c d</div><table><tr><td></td><td>00</td><td>01</td><td>11</td><td>10</td></tr><tr><td>00</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>01</td><td>-</td><td>-</td><td>0</td><td>0</td></tr><tr><td>11</td><td>-</td><td>1</td><td>-</td><td>1</td></tr><tr><td>10</td><td>0</td><td>-</td><td>0</td><td>0</td></tr></table></div></div>		00	01	11	10	00	0	1	0	0	01	-	-	0	0	11	-	1	-	1	10	0	-	0	0		
	00	01	11	10																								
00	0	1	0	0																								
01	-	-	0	0																								
11	-	1	-	1																								
10	0	-	0	0																								
7	Si consideri un sistema a processore che adotta l'architettura memory-mapped. Se il processore ha uno spazio di indirizzamento di 2^{16} byte e il sistema prevede uno spazio di indirizzamento per le periferiche pari a 2 Kbyte, quale sarà la dimensione massima della memoria indirizzabile dal sistema?	2^{16} byte + 2 Kbyte	A																									
		2^{16} byte – 2 Kbyte	B																									
		2^{16} byte	C																									
		2^{17} byte	D																									

8	Analizzando le caratteristiche di una memoria RAM di tipo statico, quale delle seguenti affermazioni è <u>vera</u> ?	Risulta essere più veloce della memoria RAM di tipo dinamico	A	
		Risulta richiedere meno area di silicio della memoria RAM di tipo dinamico	B	
		Risulta essere meno veloce della memoria RAM di tipo dinamico	C	
		È maggiormente soggetta a guasti transitori della memoria RAM di tipo dinamico	D	

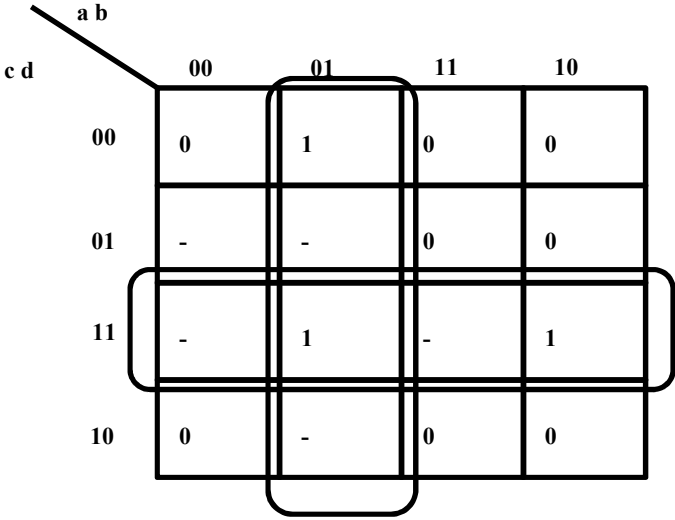
9	Si consideri una memoria RAM che utilizza il codice di parità: quale delle seguenti affermazioni è <u>falsa</u> ?	Ogni parola ha un bit aggiuntivo per memorizzare il codice di parità	A	
		Ogni volta che si legge una parola, si confrontano il bit di parità memorizzato e quello relativo al valore letto	B	
		Se in fase di lettura si rileva una discrepanza tra il codice di parità memorizzato e quello relativo al valore letto, si procede alla correzione del valore letto	C	
		Ogni volta che si scrive una parola, si calcola il bit di parità del valore che si sta scrivendo, e lo si memorizza nell'apposito bit associato alla parola	D	

10	<p>Si scriva un frammento di codice in Assembly MIPS, in cui una variabile di nome VAR1, contenuta in memoria, deve essere incrementata di una unità se di valore maggiore di 0, implementando il seguente codice C:</p> <pre>if (VAR1 > 0) VAR1++;</pre> <p>Si assuma che la variabile memorizzi un intero senza segno.</p>	
----	---	--

Risposte corrette

1	2	3	4	5	6	7	8	9	10
7	C	B	D	B		B	A	C	

Domanda 6



Compito A

Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale -
Tempo: 40 minuti.

11	Si descrivano i due meccanismi noti come <i>Write-Back</i> e <i>Write-Through</i> per la gestione delle operazioni di scrittura in una cache, elencando vantaggi e svantaggi di ciascuno dei due meccanismi.
12	Si disegni una memoria composta da 32 Mparole di 16 bit ciascuna, utilizzando moduli da 4Mparole da 8 bit ciascuna.

13	Si descriva il significato dei segnali di RAS e CAS in una memoria di tipo RAM organizzata a matrice. Si descriva inoltre il meccanismo di lettura in modalità <i>page mode</i> , dettagliandone i vantaggi.
14	Si descrivano le principali caratteristiche dei processori di tipo RISC.

Nome, Cognome, Matricola:.....

Esercizio di programmazione

sino a 12 punti – tempo: 60 minuti

è possibile consultare solamente il foglio consegnato contenente l'istruzione set MIPS
il codice va scritto in stampatello – eventuali operazioni sullo stack vanno adeguatamente commentate

In matematica, la trasposta di una matrice è la matrice ottenuta scambiandone le righe con le colonne.
Ad esempio, per una matrice 4x4

$$A = \begin{pmatrix} 126 & -988 & 65 & 52 \\ 7 & 0 & 2 & 643 \\ 66 & 532 & 43 & 9254 \\ 5 & -51 & 4352 & -452 \end{pmatrix} \quad A^T = \begin{pmatrix} 126 & 7 & 66 & 5 \\ -988 & 0 & 532 & -51 \\ 65 & 2 & 43 & 4352 \\ 52 & 643 & 9254 & -452 \end{pmatrix}$$

Si scriva una procedura `calcolaTrasp` in grado di trasformare una matrice quadrata di *word* con segno memorizzata per righe, calcolandone la trasposta e aggiornando i valori memorizzati. La procedura non deve utilizzare altre variabili in memoria.

L'indirizzo della matrice è passato tramite `$a0`, mentre il numero di elementi di una riga è passato mediante `$a1`. Di seguito un esempio di programma chiamante.

```

                                DIM = 4
                                .data
matrice:                       .word 126, -988, 65, 52
                                .word 7, 0, 2, 643
                                .word 66, 532, 43, 9254
                                .word 5, -51, 4352, -452

                                .text

                                .globl main
                                .ent main

main:                           subu $sp, $sp, 4
                                sw $ra, ($sp)
                                la $a0, matrice
                                li $a1, DIM
                                jal calcolaTrasp
                                lw $ra, ($sp)
                                addiu $sp, $sp, 4
                                jr $ra
```