

Nome, cognome, matricola

Calcolatori Elettronici (12AGA) –esame del 21.7.2020

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande).

Tempo: 15 minuti.

1	Si consideri un decoder con 4 ingressi e senza segnali di enable. Quante sono le sue linee di uscita?		
2	Si consideri una memoria RAM composta da 512 parole da 32 bit ciascuna. Quanti bit di indirizzo possiede la memoria?	5	A
		9	B
		11	C
		18	D
3	Quale dei seguenti meccanismi permette a un DMAC di garantire la massima velocità di trasferimento?	Burst Transfer	A
		Cycle Stealing	B
		Transparent Mode	C
		I vari meccanismi sono sostanzialmente equivalenti	D
4	A che cosa serve il rinfresco nelle memorie DRAM?	A ridurre gli effetti dei guasti indotti dalle radiazioni	A
		A risolvere il problema creato dal fenomeno del Destructive Read-Out	B
		A permettere alla memoria di mantenere nel tempo le informazioni	C
		A ridurre il tempo di ciclo della memoria	D
5	A che cosa serve il Validity Bit associato a ogni linea di una cache?	A segnalare se la linea è stata modificata o meno da quando è stata caricata in cache	A
		Ad invalidare la linea	B
		A segnalare se la linea può essere rimossa dalla cache	C
		A indicare la linea da più tempo presente in cache	D
6	Si consideri una cache con le seguenti caratteristiche • 128 linee da 16 byte • Meccanismo set associative a 8 vie con sostituzione LRU. Assumendo che gli indirizzi emessi dal processore siano su 32 bit, qual è la dimensione del campo tag associato a ogni linea?	7 bit	A
		21 bit	B
		23 bit	C
		24 bit	D
6	Quale valore assume il parametro CPI (Clocks Per Instruction) per i processori CISC?	Un numero variabile sempre maggiore di 1	A
		K, dove K è il numero di stadi di pipeline	B
		Un numero variabile ma normalmente minore di 1	C
		Sempre 1	D

7	Si consideri l'istruzione <code>sw \$s4, 16(\$s2)</code> . A quale dei tipi a fianco appartiene?	Al tipo J	A	
		Al tipo R	B	
		Al tipo I	C	
		Al tipo B	D	

9	Si consideri il meccanismo di arbitraggio a richieste indipendenti. Assumendo che le possibili unità master siano N, quanti segnali di bus grant saranno pilotati dall'arbitro?	N	A	
		2N	B	
		log N	C	
		1	D	

10	Quale valore (in decimale) sarà presente in <code>\$t0</code> dopo l'esecuzione dell'istruzione <code>sll \$t0, \$t1, 2</code> assumendo che <code>\$t1</code> contenga il valore 1?	
----	--	--

Risposte corrette

1	2	3	4	5	6	7	8	9	10
16	B	A	C	B	D	A	C	A	4

Nome, cognome, matricola

Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale -
Tempo: 40 minuti.

11	Si descrivano le modalità di aggiornamento dei dati in memoria principale in un sottosistema di memoria dotato di memoria cache.
----	--

12 Progettare un circuito minimo a due livelli che implementi la seguente funzione:

$$F=A'BC+A'B'D+A'BC'+BC'D'+AC'D'$$

Si richiede di scrivere la funzione minimizzata dell'uscita, senza disegnare il circuito o cerchiare i cubi. Si suggerisce di utilizzare le tabelle che seguono per la Tavola di Verità e la Mappa di Karnaugh.

Tavola di verità

A B C D F

0 0 0 0

0 0 0 1

0 0 1 0

0 0 1 1

0 1 0 0

0 1 0 1

0 1 1 0

0 1 1 1

1 0 0 0

1 0 0 1

1 0 1 0

1 0 1 1

1 1 0 0

1 1 0 1

1 1 1 0

1 1 1 1

Mappa di Karnaugh

	00	01	11	10
00				
01				
11				
10				

Scrivere qui la funzione dell'uscita

f =

13 Con riferimento al meccanismo noto come Memoria Virtuale, si richiede di

- descrivere gli obiettivi generali del meccanismo
- chiarire il significato di indirizzo logico e indirizzo fisico
- evidenziare quali tra le funzioni richieste per l'accesso alla memoria fisica da parte della CPU sono svolte in hardware e quali in software.

14	<p>Si consideri un sistema dotato di controllore dell'Interrupt che utilizza il meccanismo dell'interrupt vettorizzato.</p> <p>Si richiede di</p> <ul style="list-style-type: none">• elencare i moduli con cui il controllore dell'Interrupt interagisce• descrivere le funzioni svolte dal controllore dell'interrupt• descrivere i passaggi necessari per il servizio dell'interrupt a partire dalla richiesta proveniente da un dispositivo periferico e sino all'attivazione della procedura di servizio dell'interrupt.
----	---

Esercizio di programmazione

sino a 12 punti – è possibile consultare solamente il foglio consegnato con l'istruzione set MIPS - tempo: 60 minuti

Una matrice quadrata si può pensare composta da un insieme di cornici concentriche, come nell'esempio seguente:

16	-41	36	-5	27	62	55	-18	cornice livello 1
-26	63	-54	19	13	-44	33	8	cornice livello 2
-1	40	45	12	22	-51	-58	31	cornice livello 3
23	-50	59	-30	4	-37	48	-9	cornice livello 4
38	-3	10	-47	49	-24	29	60	
52	-21	-32	-57	39	2	11	46	
-43	14	-7	34	-64	25	20	53	
61	-28	17	-56	42	-15	6	35	

Si scriva una procedura `cornice` in linguaggio Assembly MIPS32 che conti quanti sono gli elementi strettamente positivi presenti nella cornice di livello 3 di una matrice quadrata di byte di dimensione nota `DIM` x `DIM`. Si assuma `DIM >= 8`. Nell'esempio mostrato in figura, la procedura restituisce 7, perché ci sono 7 elementi strettamente positivi nella cornice di livello 3.

Suggerimento: si noti che ciascun lato della cornice di livello 3 ha `DIM-4` elementi.

I parametri sono passati alla procedura attraverso i registri:

- `$a0`: contiene l'indirizzo della matrice
- `$a1`: contiene il valore `DIM`

Di seguito un esempio di programma chiamante:

`DIM = 8`

```
.data
matrice: .byte    16, -41, 36, -5, 27, 62, 55, -18
          .byte    -26, 63, -54, 19, 13, -44, 33, 8
          .byte    -1, 40, 45, 12, 22, -51, -58, 31
          .byte    23, -50, 59, -30, 4, -37, 48, -9
          .byte    38, -3, 10, -47, 49, -24, 29, 60
          .byte    52, -21, -32, -57, 39, 2, 11, 46
          .byte    -43, 14, -7, 34, 64, 25, 20, -53
          .byte    61, -28, 17, -56, 42, -15, 6, 35

.text
.globl main
.ent main
main: subu $sp, $sp, 4
      sw $ra, ($sp)
      la $a0, matrice
      la $a1, DIM
      jal cornice
      lw $ra, ($sp)
      addiu $sp, $sp, 4
      jr $ra
.end main
```