Calcolatori Elettronici (12AGA) – esame del 28.6.2013

Domande a risposta chiusa (è necessario rispondere correttamente ad almeno 6 domande). Non è possibile consultare alcun tipo di materiale. Tempo: 15 minuti.

1	Secondo la legge di Moore, nell'evoluzione	Le prestazioni	A
	passata dei processori esiste un parametro che	La frequenza di funzionamento	В
	raddoppia ogni 18/24 mesi; quale?	Il numero di transistor integrati a bordo di un singolo dispositivo	С
		Il consumo	D
2	Si consideri un circuito combinatorio con 4	1 OR, 2 AND	A
	ingressi la cui tabella della verità è	1 OR, 3 AND	В
	rappresentata attraverso la seguente mappa di	1 OR, 4 AND	С
	Karnaugh; quante porte logiche costituiscono	2 OR, 4 AND	D
	il corrispondente circuito minimizzato?	,	
	x_1x_2		
	$x_3 x_4$ 00 01 11 10		
	00 0 1 1 0		
	00 0 1 1 0		
	01 1 1 1 0		
	11 1 1 0 1		
	- 1 0 1		
	10 0 0 0 0		
3	Da che cosa è composto un contatore	Da flip flop di tipo T	A
	asincrono?	Da flip flop di tipo D	В
		Da flip flop di tipo D e da un sommatore	C
		Da flip flop di tipo D e da un blocco di logica combinatoria	D
4	Si consideri un'unità di controllo micro-	7 bit	A
	programmata (con micro-programmazione	10 bit	В
	orizzontale) la cui memoria di microcodice	700 bit	С
	sia composta da 700 parole di 105 bit ciascuna. Qual è la dimensione del μPC?	105 bit	D
5	Si consideri una cache con le seguenti	22 bit	A
	caratteristiche	7 bit	В
	• 128 linee da 32 byte	32 bit	C
	·	27 bit	D
	sostituzione LRU		
	• Insiemi di 4 linee.		
	Assumendo che gli indirizzi emessi dal		
	processore siano su 32 bit, qual'è la		
	dimensione del campo tag associato a ogni		
	linea?		
6	In quale delle seguenti tipologie di memoria		A
	sono normalmente utilizzate le RAM	Memoria secondaria	В
	statiche?	Memoria principale	C
		Cache	D
7	Si consideri un 8255 la cui porta A sia	Il processore	A
	programmata in input in modo 1; chi pilota il segnale IBF?	La periferica	В
	segnate 191 :	L'Interrupt Controller	С
		L'8255 stesso	D

Si consideri il seguente frammento di codice:	L'assemblatore produce un segnale di errore	A
M EQU 10		
N EQU 8	La moltiplicazione M*N viene eseguita dal processore al momento	В
	dell'esecuzione del codice corrispondente	
.code	L'assemblatore produce un codice che include un'istruzione MUL e poi	С
	l'istruzione MOV	
,	La moltiplicazione M*N viene eseguita dall'assemblatore	D
Quale delle affermazioni a lato è vera?		
Quale delle seguenti istruzioni assembler x86 ha il	MUL AX	A
codice macchina più lungo?		
	AND VAR, 0FFFFH	В
	LOOP LAB	C
	CHI AV CI	<u> </u>
	SHL AX, CL	D
N	M EQU 10 N EQU 8 code MOV AX, M*N Quale delle affermazioni a lato è vera? Quale delle seguenti istruzioni assembler x86 ha il	M EQU 10 N EQU 8 La moltiplicazione M*N viene eseguita dal processore al momento dell'esecuzione del codice corrispondente L'assemblatore produce un codice che include un'istruzione MUL e poi l'istruzione MOV La moltiplicazione M*N viene eseguita dall'assemblatore Quale delle affermazioni a lato è vera? Quale delle seguenti istruzioni assembler x86 ha il codice macchina più lungo?

Risposte corrette

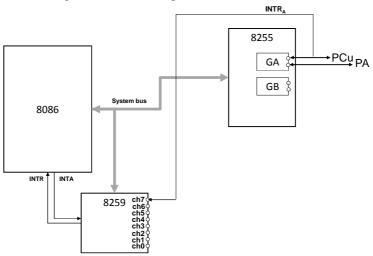
1	2	3	4	5	6	7	8	9
C	В	Α	В	Α	D	D	D	В

	Domande a risposta aperta (sino a 5 punti per ogni domanda) – Non è possibile consultare alcun materiale - Tempo: 40 minuti.
10	Si disegnino le architetture di un ripple-carry adder e di un carry lookahead adder, evidenziando vantaggi e svantaggi di ciascuno dei due.
11	Si elenchino nell'ordine tutti i passaggi attraverso i quali un sistema dotato di DMA Controller provvede al trasferimento di un blocco di dati dalla memoria all'interfaccia di un periferico.

12	Si descrivano struttura e funzionamento un sistema di arbitraggio del bus di tipo distribuito, facendo in particolare riferimento a quello utilizzato dal bus SCSI.
	dal bus SCSI.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.
13	Si elenchino le caratteristiche specifiche dei processori RISC, evidenziano le differenze rispetto ai processori CISC.

Esercizio di programmazione

sino a 12 punti – è possibile consultare qualunque materiale cartaceo - tempo: 60 minuti Sia dato un sistema basato su processore 8086 come quello in figura, con il gruppo A del modulo 8255 configurato in modo 1 in input e l'8259 abilitato alla gestione dell'interrupt relativo.



Sia dato inoltre un vettore **numeri** di **DIM** elementi di tipo *byte* (**DIM** dichiarato come costante) inizialmente azzerati. Si scriva la <u>procedura di servizio dell'interrupt</u> relativo alle richieste provenienti dalla porta A del modulo 8255. Tale procedura deve

- Leggere dalla porta A dell'8255 il *byte* proveniente dalla periferica (di tipo *unsigned* e strettamente maggiore di 0); si assuma che l'indirizzo dell'8255 sia 080h e quello dell'8259 sia 040h.
- Inserire l'elemento letto nel vettore **numeri**, in modo che gli elementi non nulli di tale vettore risultino sempre ordinati in modo crescente.
- Se, alla ricezione di un nuovo numero, il vettore fosse pieno, questo dovrà essere completamente azzerato prima del nuovo inserimento.

Esempio (**DIM** = 5): sequenza di inserimento di 6 valori.

Sequenza di byte ricevuti: 01, 0A, A1, 28, 33, 45 numeri (1): 01, 00, 00, 00, 00 numeri (2): 01, 0A, 00, 00, 00 numeri (3): 01, 0A, A1, 00, 00 numeri (4): 01, 0A, 28, A1, 00 numeri (5): 01, 0A, 28, 33, A1 numeri (6): 45, 00, 00, 00, 00