



POLITECNICO
DI TORINO

DET

Department of Electronics and Telecommunications

Caratteristiche e Modelli dei Transistori MOS

Dispositivi Elettronici: Transistori

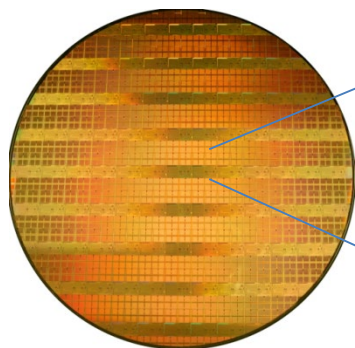
■ Transistori (dispositivi a 3-4 terminali)



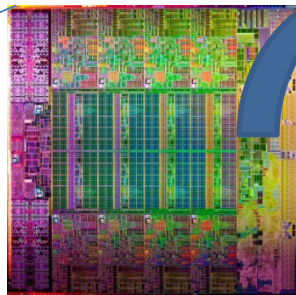
W. Shockley

- **MOSFET** (Metal-Oxide-Semiconductor Field Effect Transistor) o semplicemente **transistore MOS**
 - di gran lunga il dispositivo maggiormente diffuso (anche 10^8 - 10^9 in un chip)
- **BJT** (Bipolar Junction Transistor), o **transistore bipolare**
 - il primo transistore ad essere stato realizzato (Shockley, Brattain, Bardeen, 23 dicembre 1947, Murray Hill, New Jersey USA)

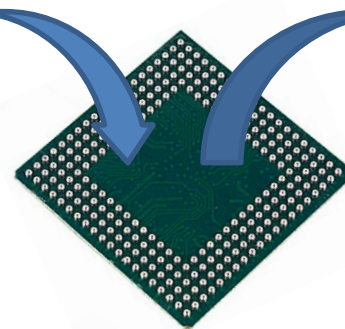
■ Elementi chiave di tutti i sistemi elettronici (analogici, digitali, mixed).



Wafer



Circuito Integrato



Circuito integrato
in package

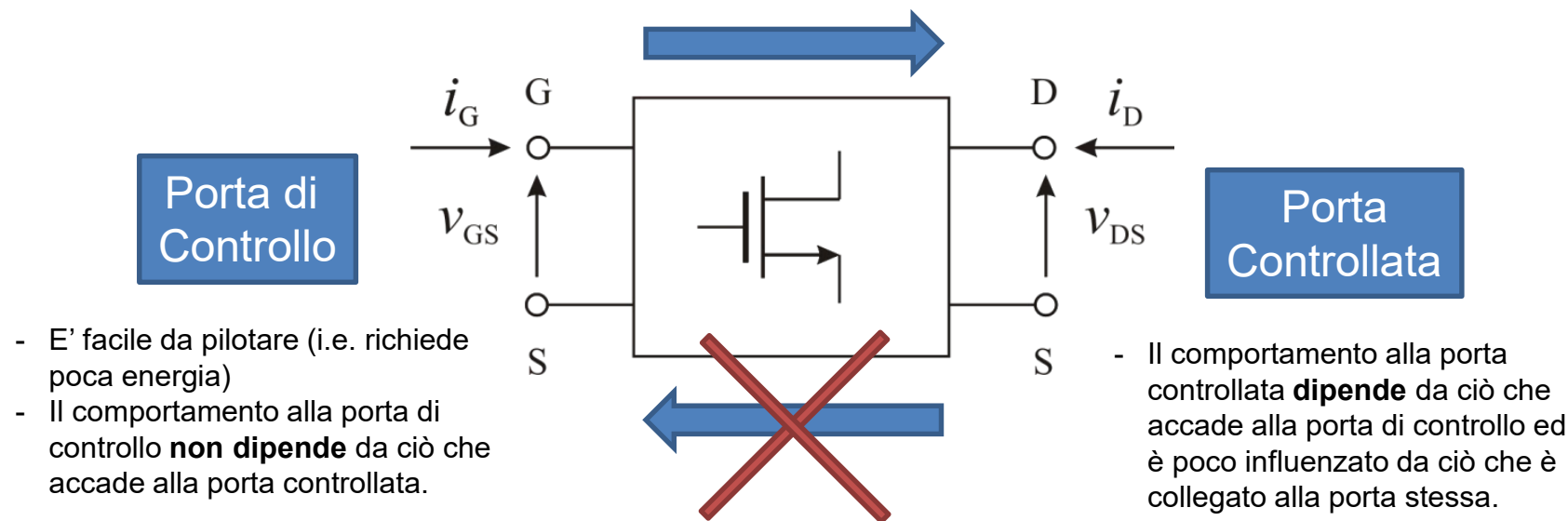


Scheda Elettronica
PCB



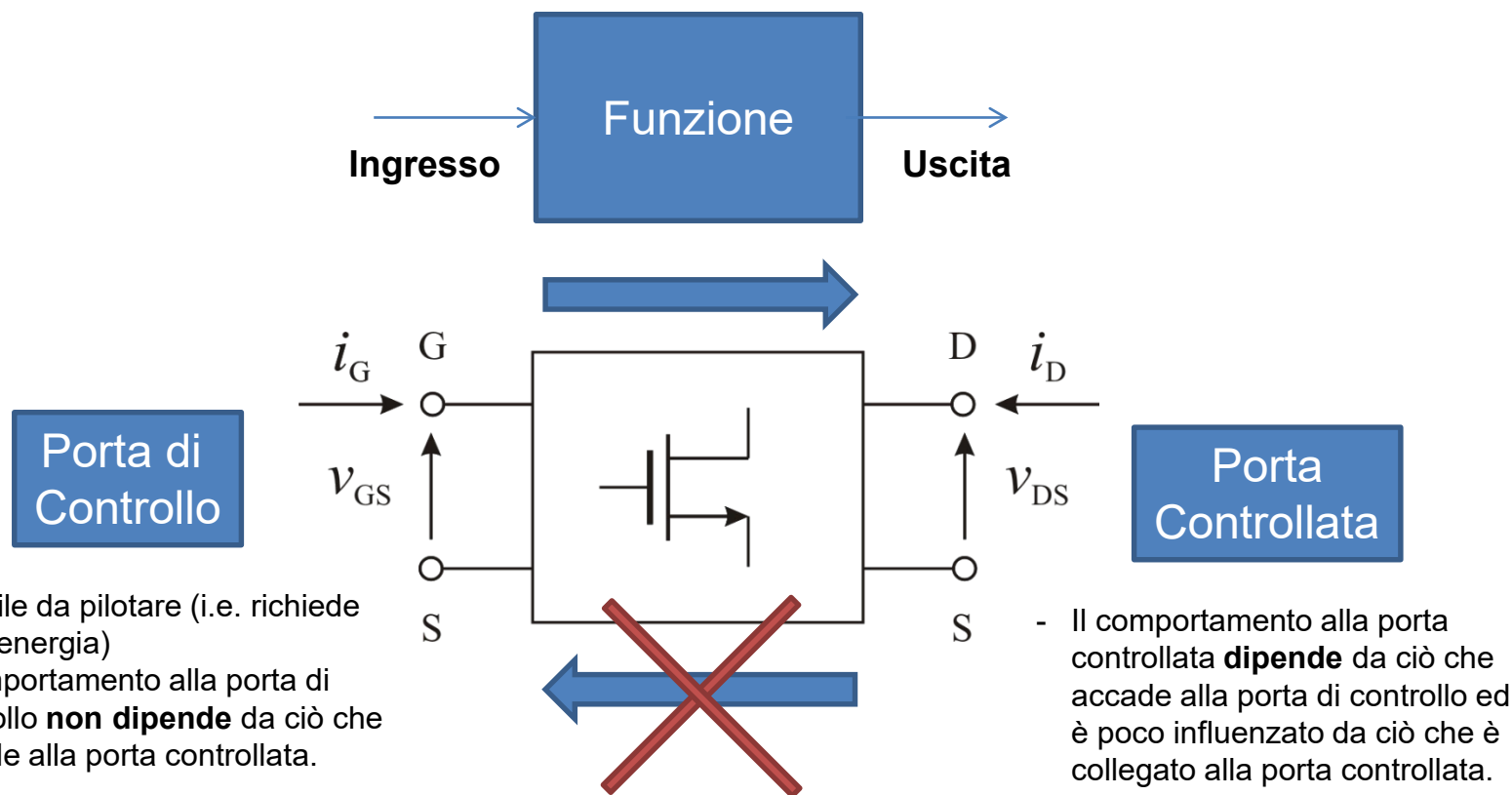
Transistori : Concetti Generali (I)

- **Transistor: Transfer Resistor**, doppio bipolo nonlineare *unidirezionale*
 - si individua una **porta di controllo** ed una **porta controllata**
 - questo comportamento è ottenuto grazie alle proprietà fisiche dei semiconduttori e non è affatto comune per una rete elettrica!



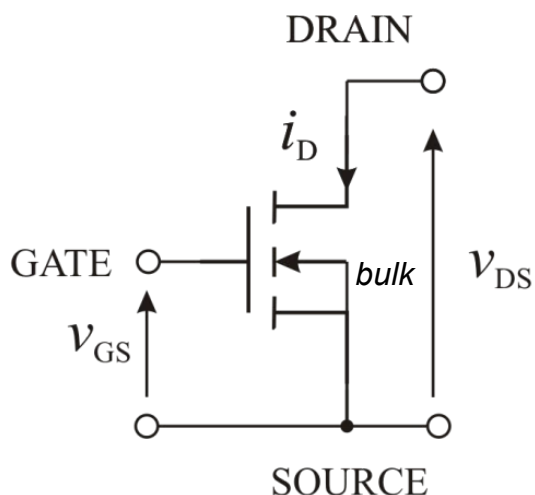
Transistori : Concetti Generali (II)

- **Transistor: Transfer Resistor**, doppio bipolo nonlineare *unidirezionale*
 - si avvicina all'idea di *blocco funzionale*! → **E' l'elemento fondamentale di qualsiasi sistema elettronico** (analogico, digitale, mixed-signal, di potenza...)

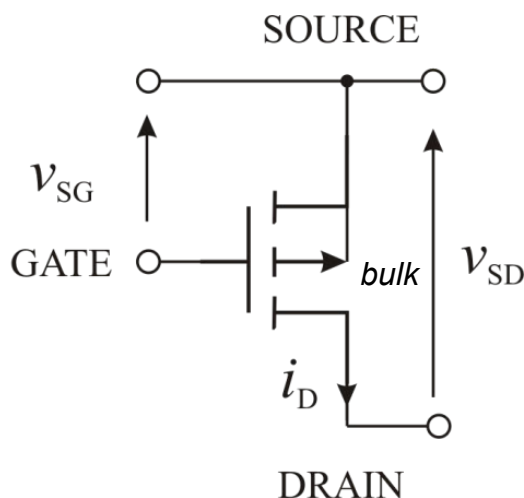


Transistori MOS (I)

MOSFET a canale n (nMOS)



MOSFET a canale p (pMOS)



4 terminali

- Drain
- Source
- Gate
- Bulk

Il terminale di *bulk* di fatto è quasi sempre:

- o cortocircuitato al terminale di *source*
- o collegato ad una tensione costante (alimentazione positiva o negativa)

In questa parte del corso assumeremo che il *bulk* sia sempre cortocircuitato con il *source* e considereremo il MOS come un dispositivo a 3 terminali.

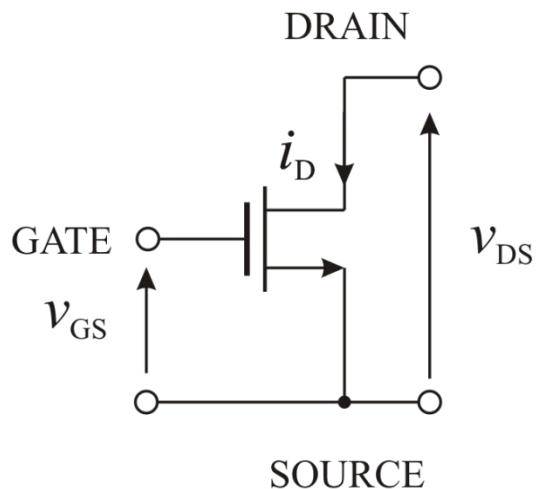


POLITECNICO
DI TORINO

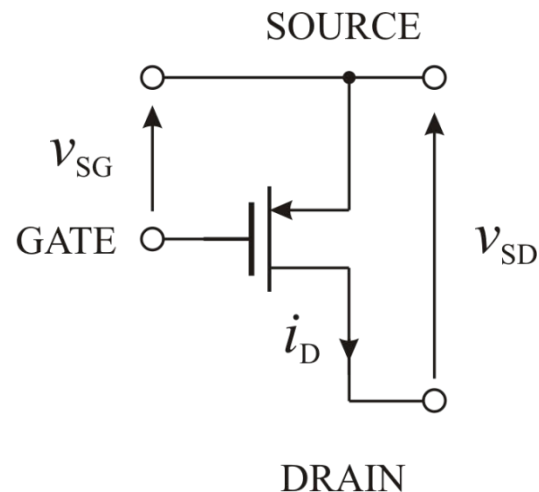
DET
Department of Electronics and Telecommunications

Transistori MOS (II)

MOSFET a canale n (nMOS)



MOSFET a canale p (pMOS)



simboli utilizzati prevalentemente in ***Elettronica Analogica***

- il terminale di *bulk* è omesso e si assume collegato al terminale di *source*

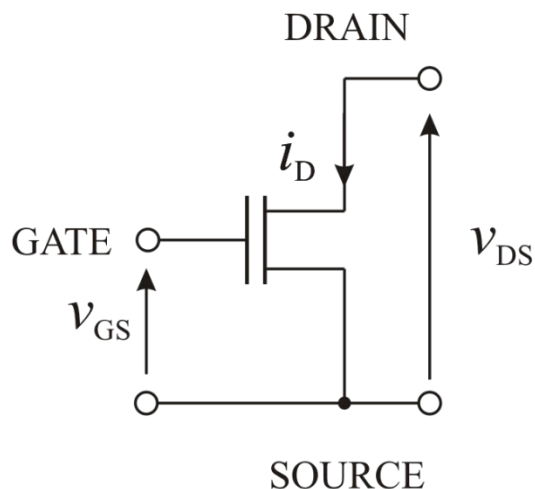


POLITECNICO
DI TORINO

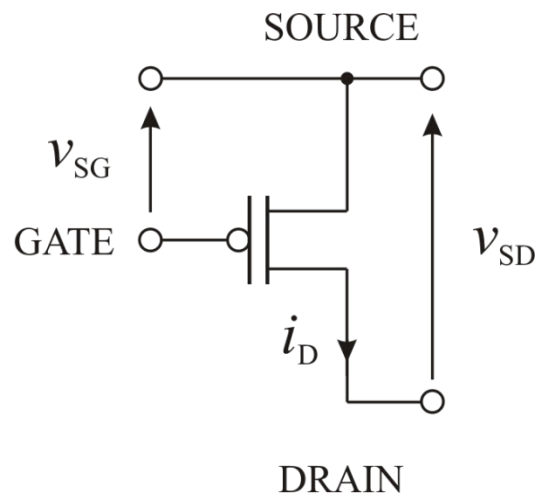
DET
Department of Electronics and Telecommunications

Transistori MOS (III)

MOSFET a canale n (nMOS)



MOSFET a canale p (pMOS)



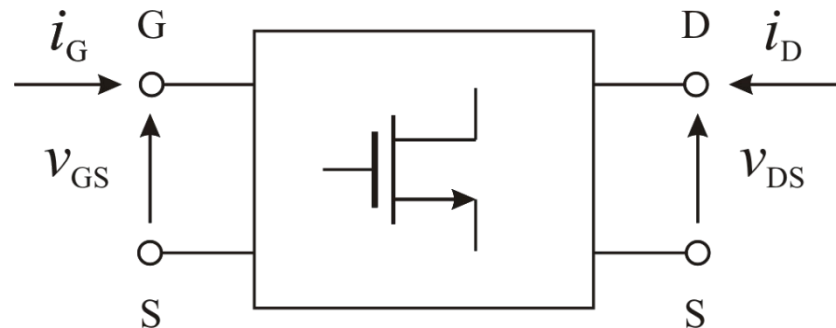
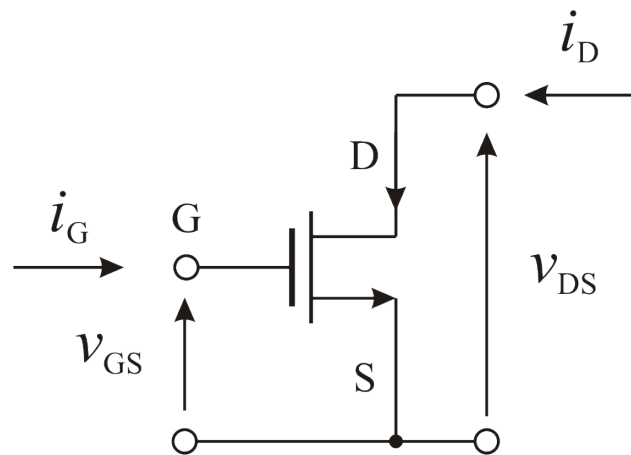
simboli utilizzati prevalentemente in ***Elettronica Digitale***

- il terminale di *bulk* è omissso e si assume collegato all'alimentazione negativa per il transistorore nMOS e all'alimentazione positiva per il transistorore pMOS.
- Il pallino sul *gate* del transistorore pMOS in campo digitale rappresenta la negazione logica (il transistorore pMOS è visto come un 'transistorore nMOS con ingresso negato')



Transistori MOS: Caratteristiche Statiche (I)

- Considerando il terminale di *source* comune, si individuano due porte:
 - **Gate-Source (GS)**
 - **Drain-Source (DS)**
- il transistor MOS è un *doppio bipolo non lineare*
- Variabili indipendenti e variabili dipendenti:
 - la corrente i_G in condizioni statiche è nulla → buon ingresso in tensione. ☺
GS: porta d'ingresso (di controllo), variabile **indipendente**: v_{GS}
DS: porta d'uscita (controllata), variabile **dipendente**: i_D (uscita)



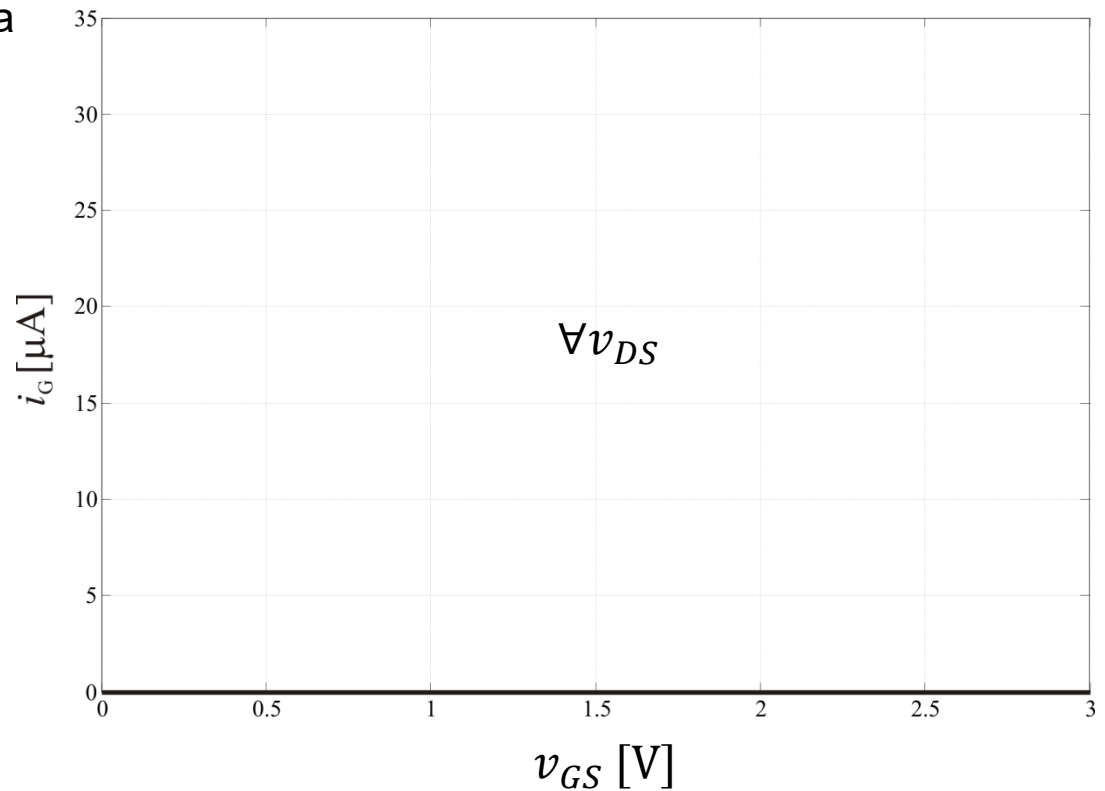
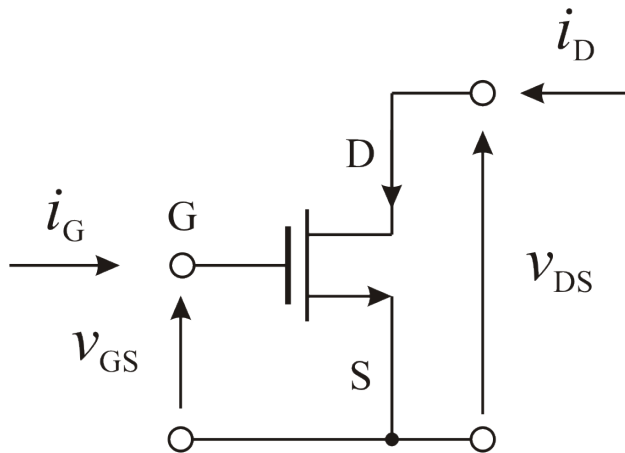
Transistori MOS: Caratteristiche Statiche (II)

- Caratteristica statica alla porta d'ingresso

$$i_G = i_G(v_{GS}, v_{DS}) = 0 \quad \forall v_{GS}, \quad \forall v_{DS}$$

😊 good news !

- La potenza statica assorbita alla porta di ingresso $P_{in} = v_{GS}i_G$ è sempre **nulla**.

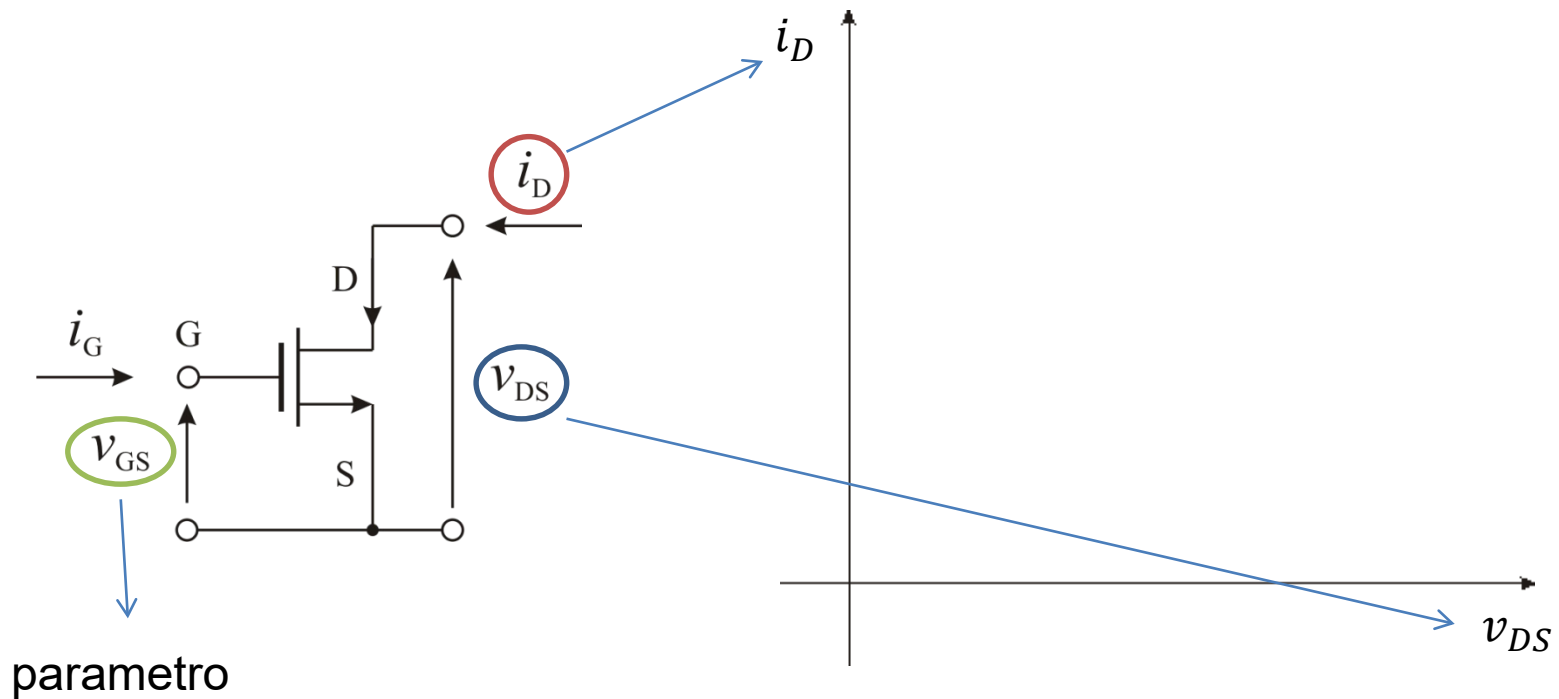


Transistori MOS: Caratteristiche Statiche (III)

- Caratteristica statica alla porta d'uscita

$$i_D = i_D(v_{GS}, v_{DS})$$

- Rappresentiamo la caratteristica sul piano $v_{DS}-i_D$: fissato v_{GS} (con un generatore di tensione costante) applichiamo un generatore di tensione v_{DS} e riportiamo il valore di i_D corrispondente a ciascuna v_{DS} .
- Otteniamo una famiglia di curve al variare di v_{GS}



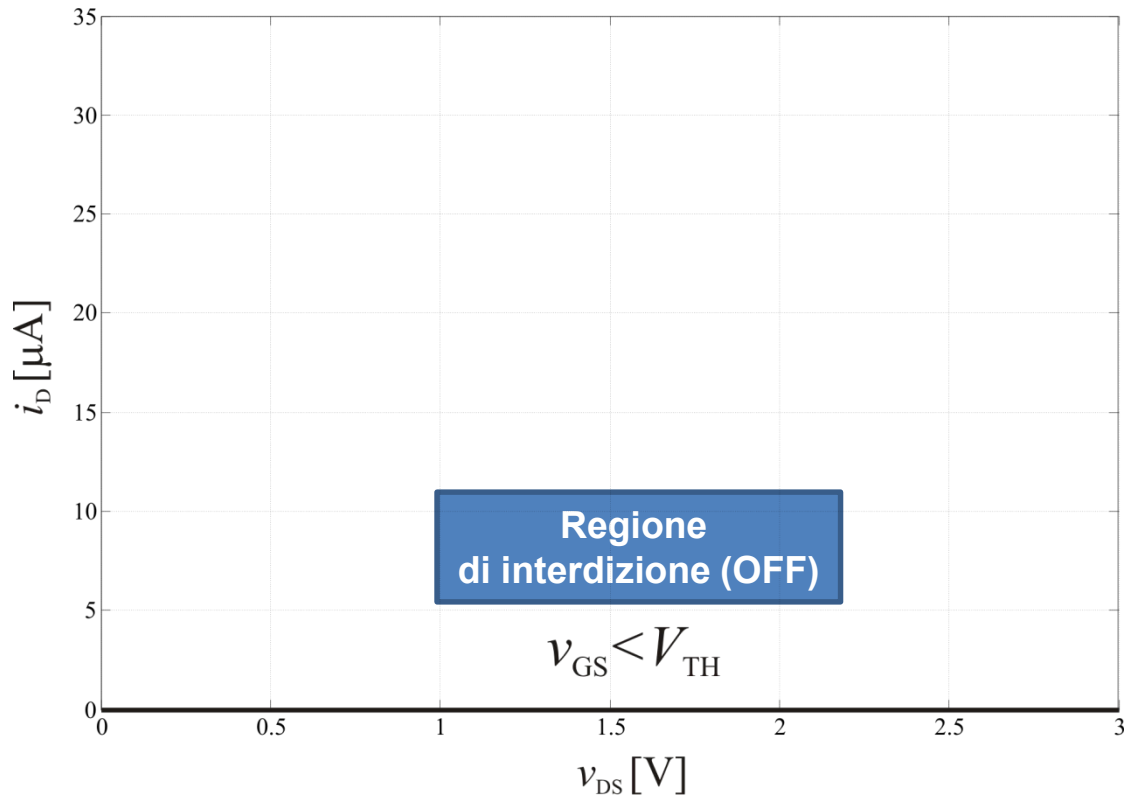
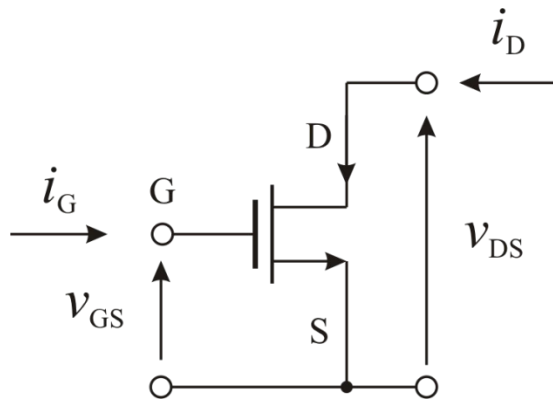
Transistore nMOS: Caratteristiche d'uscita (I)

per $v_{GS} < V_{TH}$:

$$i_D = 0 \quad \forall v_{DS}$$

Regione
di interdizione o OFF

- V_{TH} tensione di soglia, parametro tecnologico (ordine delle centinaia di mV)
- Quando $v_{GS} < V_{TH}$, la porta drain-source (DS) del MOS si comporta come un **circuito aperto** (interruttore OFF)
- Il transistore non dissipa potenza.



Transistore nMOS: Caratteristiche d'uscita (II)

per $v_{GS} > V_{TH} \wedge v_{DS} < v_{GS} - V_{TH}$:

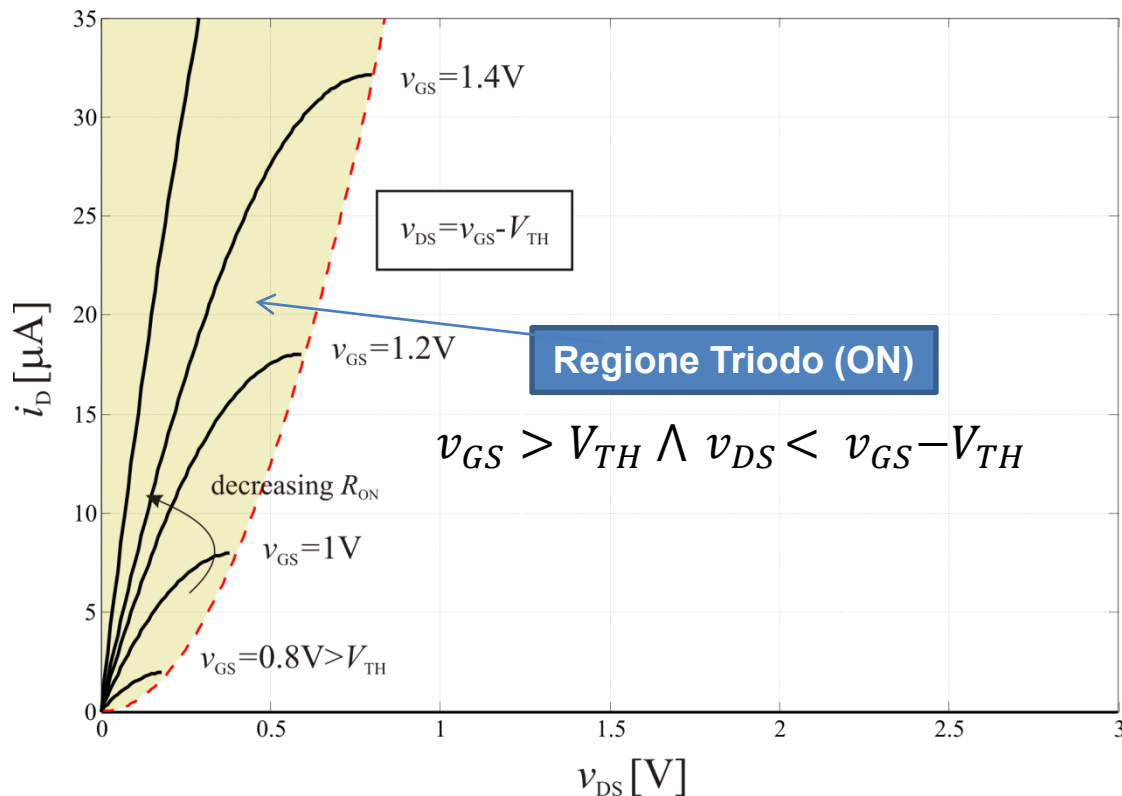
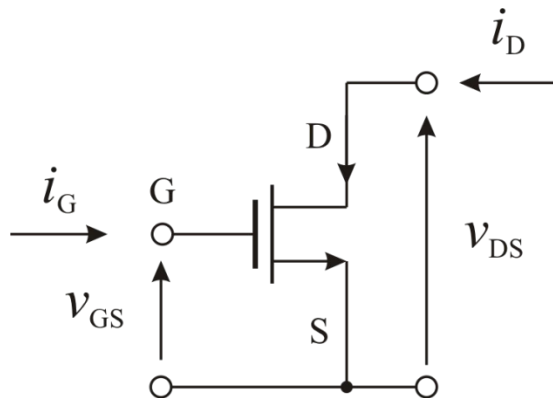
$$i_D = \beta v_{DS} \left(v_{GS} - V_{TH} - \frac{v_{DS}}{2} \right)$$

Regione
Triodo o ON

- β : parametro tecnologico $\beta = [A/V^2]$
- i_D dipende da v_{DS} in modo quadratico.
- per $v_{GS} - V_{TH} \gg v_{DS}$, (reg. **resistiva o lineare**) i_D cresce (quasi) linearmente con $v_{DS} \rightarrow$ la porta DS si comporta come un **resistore** R_{ON}

$$R_{ON} = \frac{1}{\beta(v_{GS} - V_{TH})}$$

- se $v_{GS} \uparrow$, $R_{ON} \downarrow$ e DS diventa simile ad un **corto circuito** (interruttore ON)



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore nMOS: Caratteristiche d'uscita (III)

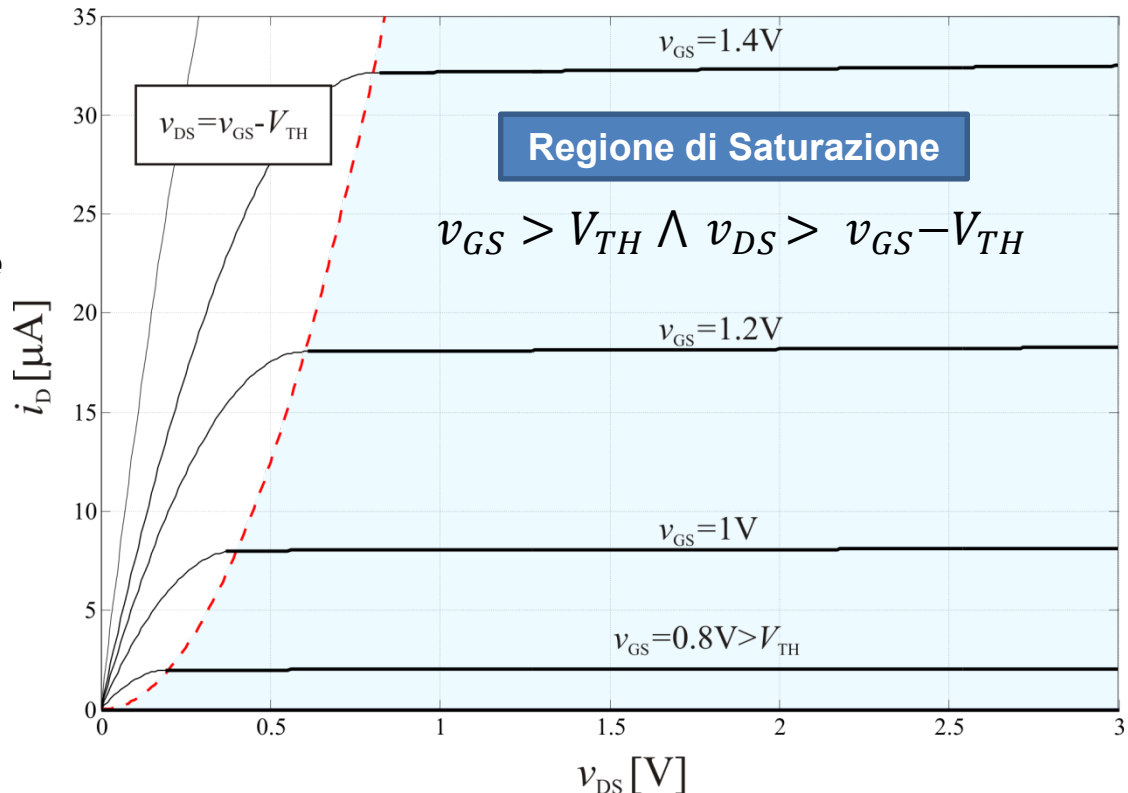
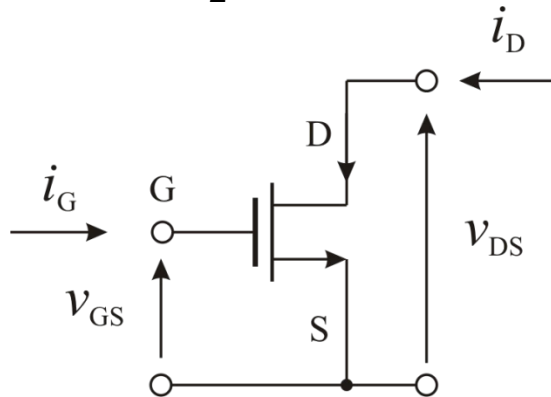
per $v_{GS} > V_{TH} \wedge v_{DS} > v_{GS} - V_{TH}$

$$i_D = \frac{\beta}{2} (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS})$$

Regione
di saturazione

- λ : parametro tecnologico (coeff. di modulazione della lunghezza di canale) [V^{-1}], spesso* $\lambda \cong 0$.
- quando $v_{DS} > v_{GS} - V_{TH}$, i_D non aumenta più (significativamente) con v_{DS} e i_D dipende solo da v_{GS}
- il MOS si comporta come **generatore di corrente (i_D) controllato in tensione (v_{GS})** con legge quadratica.

$$i_D \cong \frac{\beta}{2} (v_{GS} - V_{TH})^2$$



*nelle moderne tecnologie, con transistori MOS nanometrici si hanno effetti di canale corto e λ è piuttosto grande ($\lambda > 0.1$)



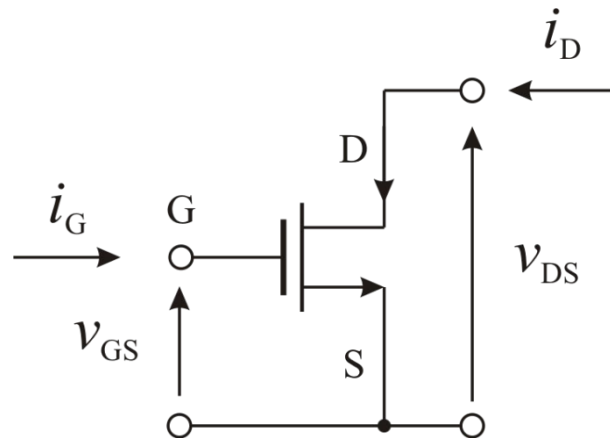
POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore nMOS: Caratteristiche d'uscita (IV)

$$i_D = \begin{cases} 0 & \text{per } v_{GS} < V_{TH} \\ \beta v_{DS} \left(v_{GS} - V_{TH} - \frac{v_{DS}}{2} \right) (1 + \lambda v_{DS}), & \text{per } v_{GS} > V_{TH} \wedge v_{DS} < v_{GS} - V_{TH} \\ \frac{\beta}{2} (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS}), & \text{per } v_{GS} > V_{TH} \wedge v_{DS} > v_{GS} - V_{TH} \end{cases}$$

Modello di Shichman-Hodges

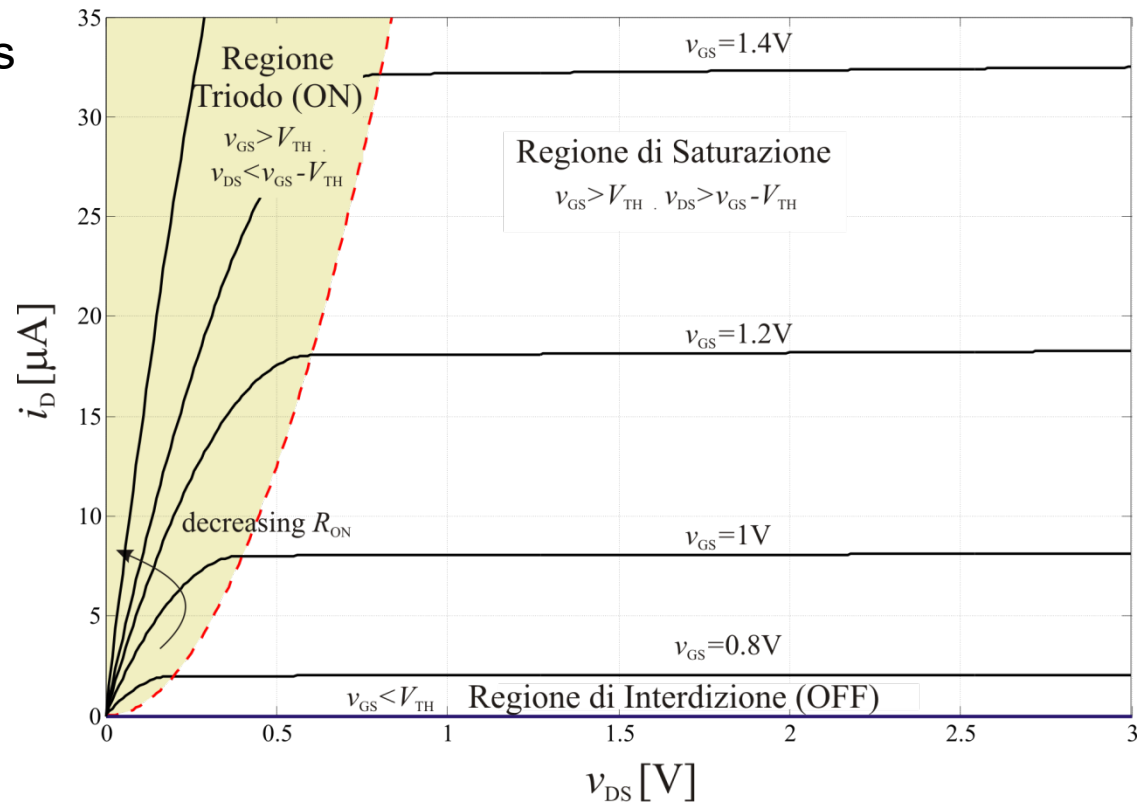


(*) nell'espressione della corrente i_D in regione triodo è stato inserito il fattore $(1 + \lambda v_{DS})$ per garantire la continuità di i_D al variare di v_{DS}

per $v_{GS} < V_{TH}$ **regione di interdizione, OFF**

per $v_{GS} > V_{TH} \wedge v_{DS} < v_{GS} - V_{TH}$ **regione triodo, ON (*)**

per $v_{GS} > V_{TH} \wedge v_{DS} > v_{GS} - V_{TH}$ **regione di saturazione**



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore nMOS: Caratteristiche d'uscita (V)

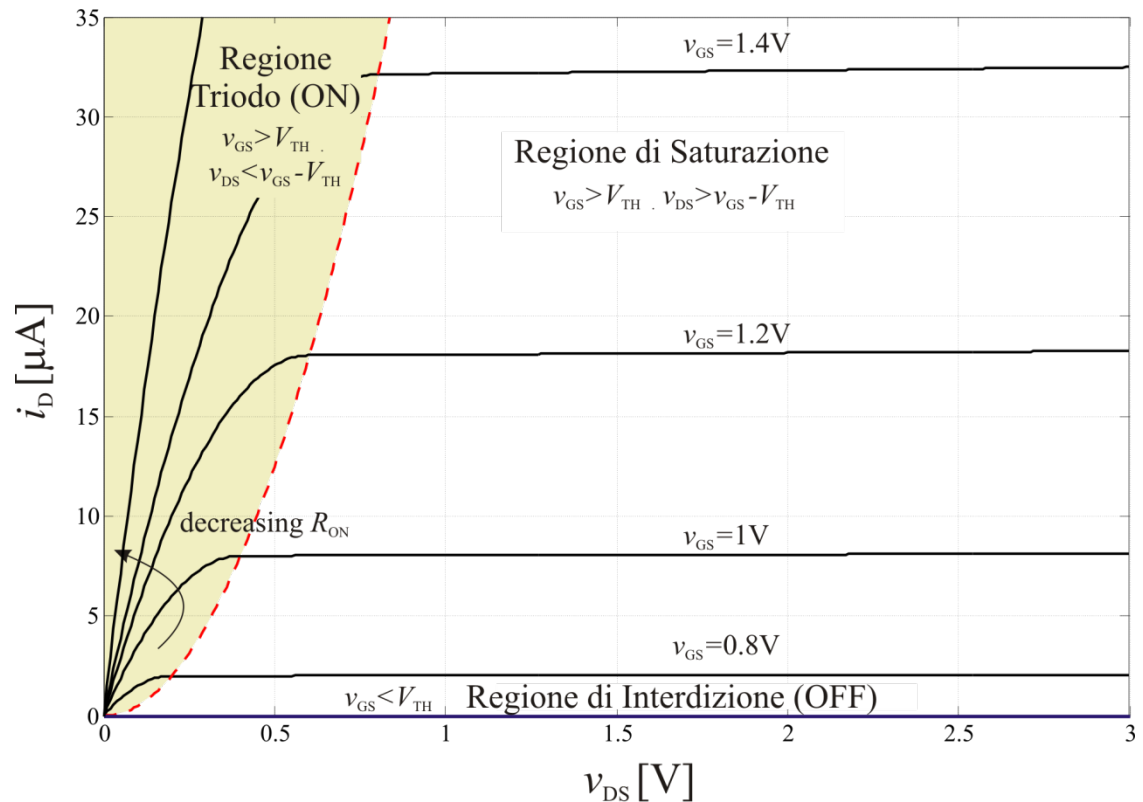
$$i_D = \begin{cases} 0 & \text{per } v_{GS} < V_{TH} \text{ regione di interdizione, OFF} \\ \beta v_{DS} \left(v_{GS} - V_{TH} - \frac{v_{DS}}{2} \right) (1 + \lambda v_{DS}), & \text{per } v_{GS} > V_{TH} \wedge v_{DS} < v_{GS} - V_{TH} \text{ regione triodo, ON} \\ \frac{\beta}{2} (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS}), & \text{per } v_{GS} > V_{TH} \wedge v_{DS} > v_{GS} - V_{TH} \text{ regione di saturazione} \end{cases}$$

Comportamento alla porta d'uscita (Drain-Source)
nelle tre regioni di funzionamento

OFF: circuito aperto

ON: per $v_{GS} - V_{TH} \gg v_{DS}$:
resistenza R_{ON} se $v_{GS} \uparrow$, $R_{ON} \downarrow$
per v_{GS} suff. alta, \rightarrow a corto circuito

Saturazione: generatore di corrente (i_D) controllato in tensione (v_{GS}), quasi ideale (i_D varia poco con v_{DS})



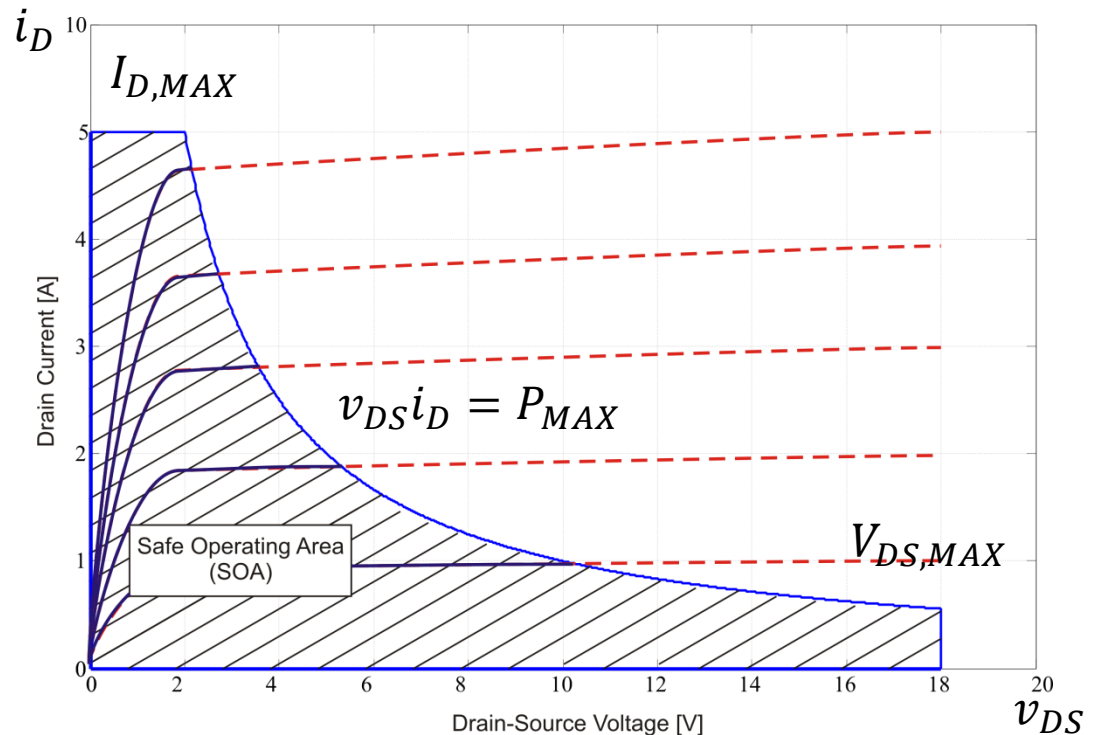
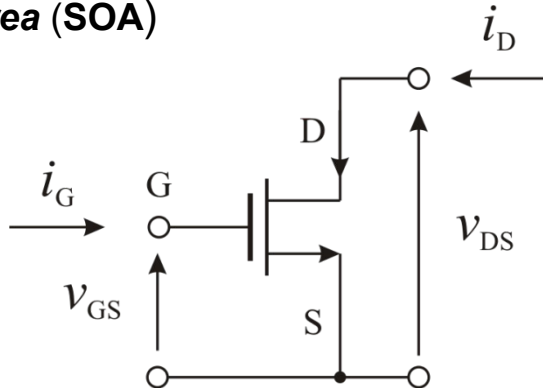
Safe Operating Area (SOA)

- Un transistor può andare incontro a danneggiamento se:
 - La tensione alla porta DS (GS) eccede un valore massimo $V_{DS,MAX}$ ($V_{GS,MAX}$)
 - La corrente di drain eccede un valore massimo $I_{D,MAX}$
 - La potenza dissipata $P = i_D v_{DS}$ (significativa in saturazione), convertita in calore, eccede P_{MAX}

Solo una regione del piano $i_D - v_{DS}$, è effettivamente utilizzabile:

$$\begin{cases} v_{DS} < V_{DS,MAX} \\ i_D < I_{D,MAX} \\ v_{DS} i_D < P_{MAX} \end{cases}$$

Questa regione è detta **Safe Operating Area (SOA)**



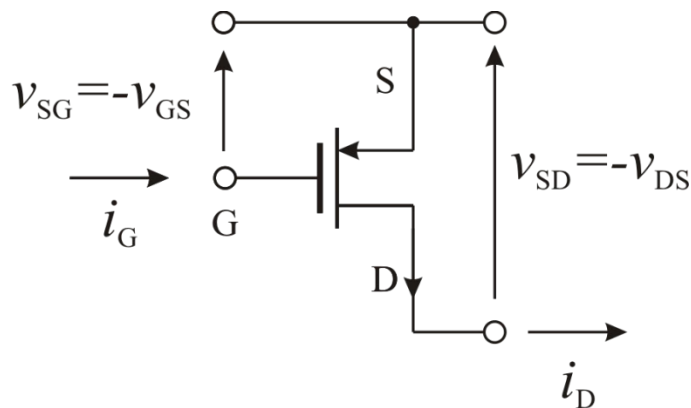
Transistore pMOS: Caratteristiche d'uscita

$$i_D = \begin{cases} 0 & \text{per } v_{SG} < V_{TH} \\ \beta v_{SD} \left(v_{SG} - V_{TH} - \frac{v_{SD}}{2} \right) (1 + \lambda v_{SD}), & \text{per } v_{SG} > V_{TH} \wedge v_{SD} < v_{SG} - V_{TH} \\ \frac{\beta}{2} (v_{SG} - V_{TH})^2 (1 + \lambda v_{SD}), & \text{per } v_{SG} > V_{TH} \wedge v_{SD} > v_{SG} - V_{TH} \end{cases}$$

per $v_{SG} < V_{TH}$ regione di interdizione, OFF

per $v_{SG} > V_{TH} \wedge v_{SD} < v_{SG} - V_{TH}$ regione triodo, ON

per $v_{SG} > V_{TH} \wedge v_{SD} > v_{SG} - V_{TH}$ regione di saturazione

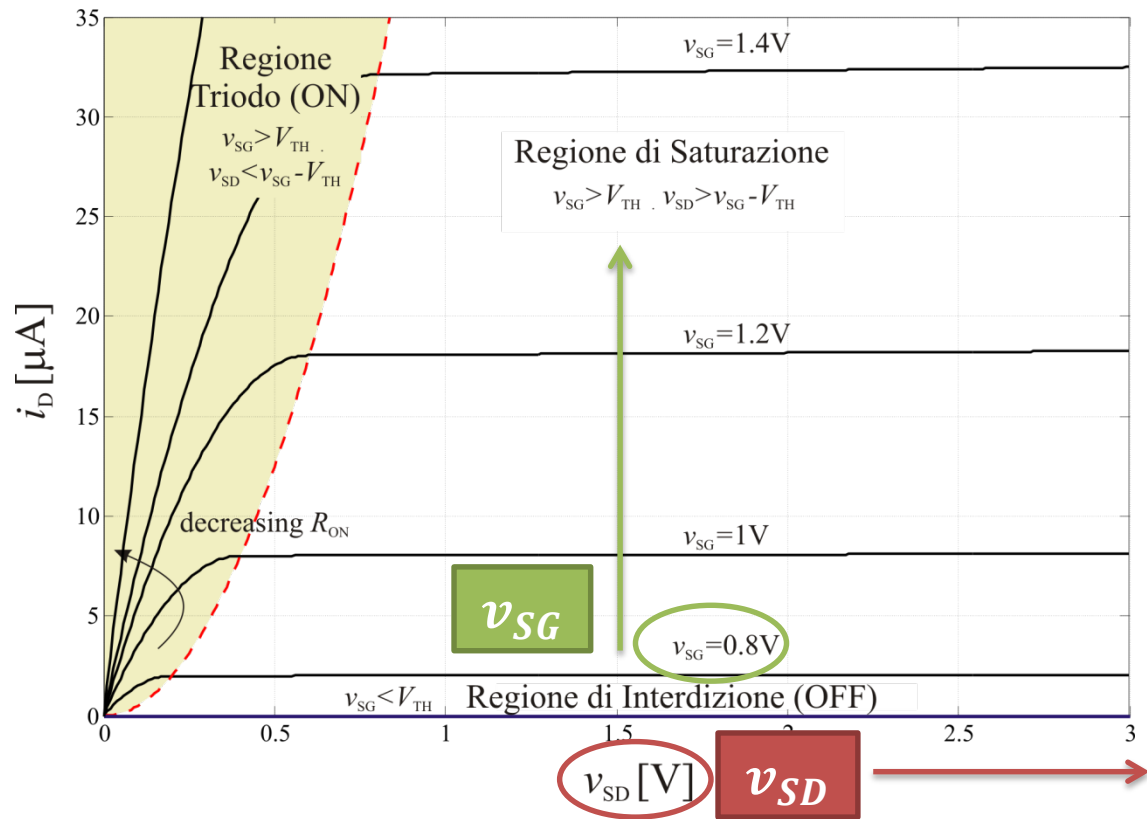


Considerazione pratica:
prendendo i_D uscente dal Drain
e sostituendo:

$$v_{DS} \rightarrow v_{SD} \quad (= -v_{DS})$$

$$v_{GS} \rightarrow v_{SG} \quad (= -v_{GS})$$

le caratteristiche sono analoghe a
quelle del transistor nMOS

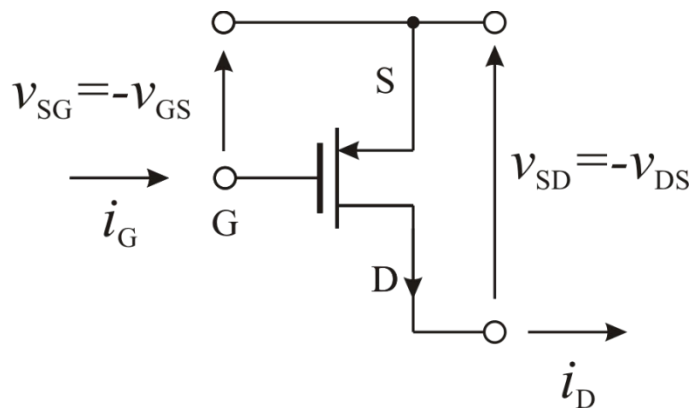


POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore pMOS: Caratteristiche d'uscita

$$i_D = \begin{cases} 0 & \text{per } v_{SG} < V_{TH} \text{ regione di interdizione, OFF} \\ \beta v_{SD} \left(v_{SG} - V_{TH} - \frac{v_{SD}}{2} \right) (1 + \lambda v_{SD}), & \text{per } v_{SG} > V_{TH} \wedge v_{SD} < v_{SG} - V_{TH} \text{ regione triodo, ON} \\ \frac{\beta}{2} (v_{SG} - V_{TH})^2 (1 + \lambda v_{SD}), & \text{per } v_{SG} > V_{TH} \wedge v_{SD} > v_{SG} - V_{TH} \text{ regione di saturazione} \end{cases}$$

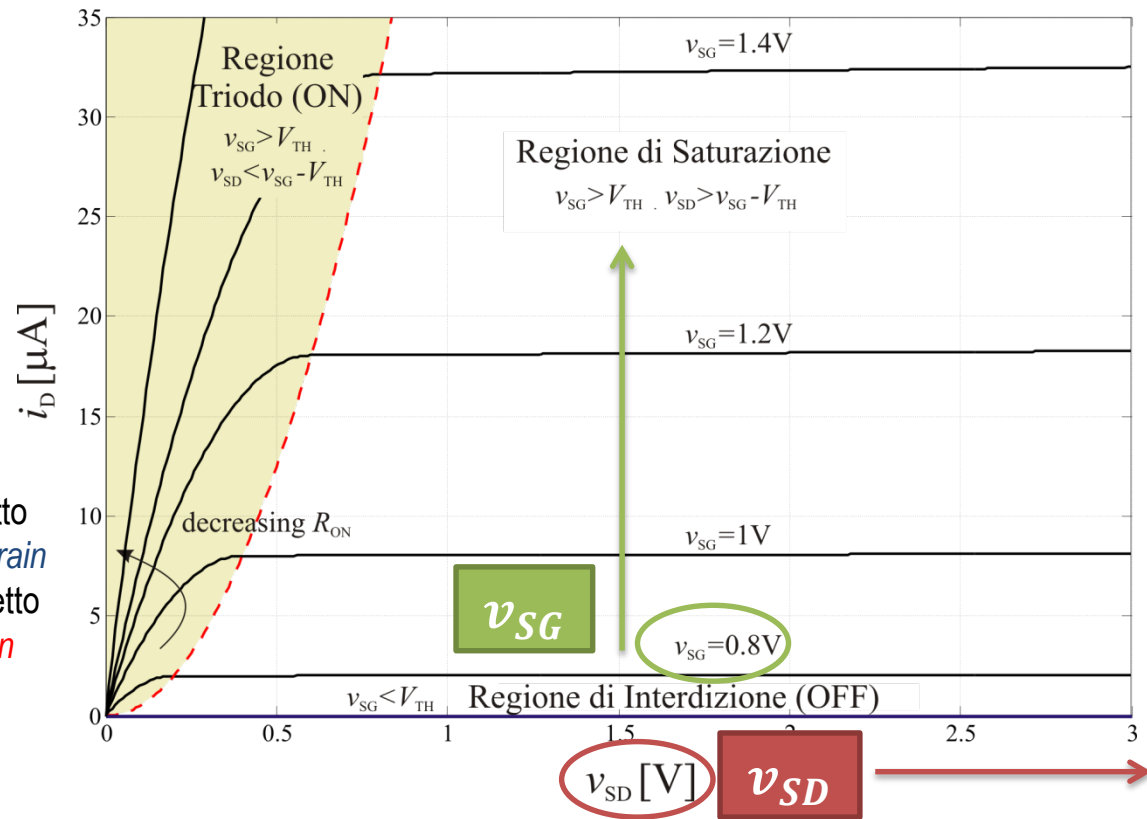


Differenze rispetto ad nMOS:

nMOS conduce per tensioni di gate positive rispetto al source; *il source è a potenziale più basso del drain*

pMOS conduce per tensioni di gate negative rispetto al source; *il source è a potenziale più alto del drain*

La corrente di drain è fisicamente **entrante** nell'nMOS, mentre è **uscente** nel pMOS



POLITECNICO
DI TORINO

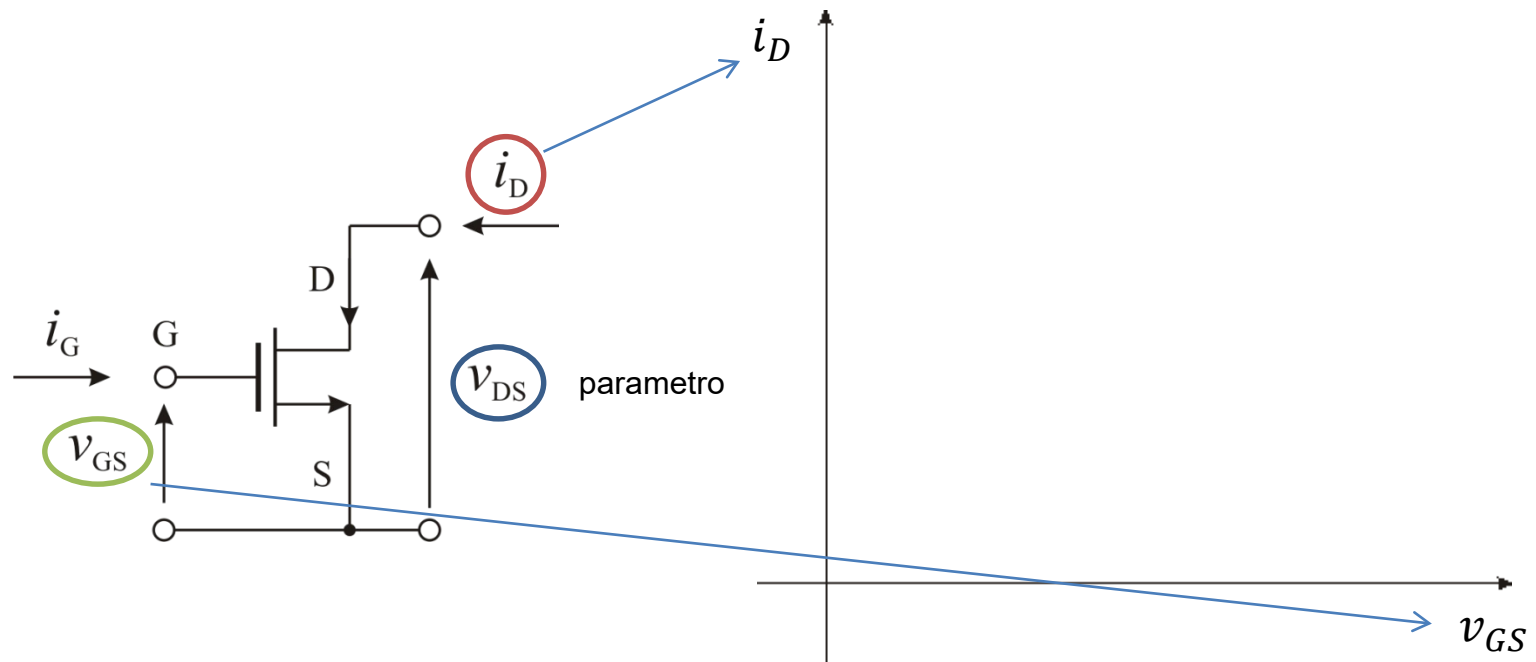
DET
Department of Electronics and Telecommunications

Transistore nMOS: Transcaratteristica Statica (I)

- Transcaratteristica

$$i_D = i_D(v_{GS}, v_{DS})$$

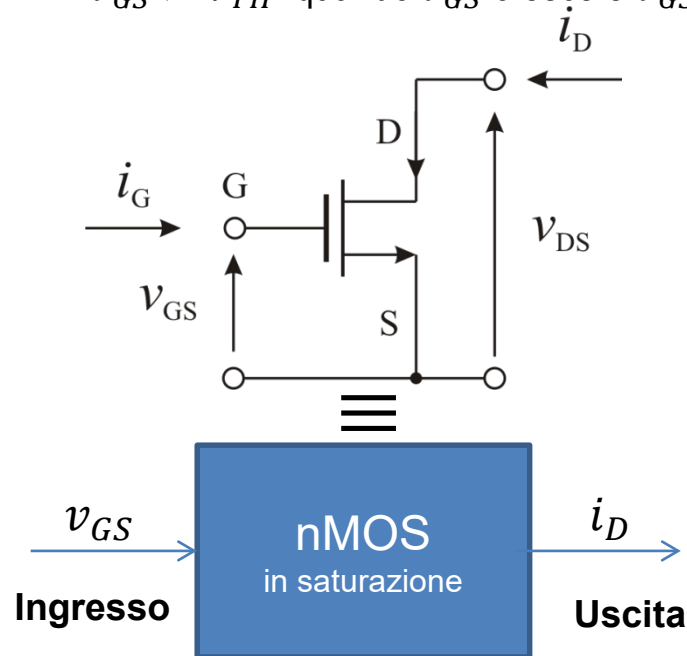
- Rappresentiamo la caratteristica sul piano $v_{GS}-i_D$, fissato v_{DS}
- Otteniamo una famiglia di curve al variare di v_{GS}



Transistore nMOS: Transcaratteristica Statica (II)

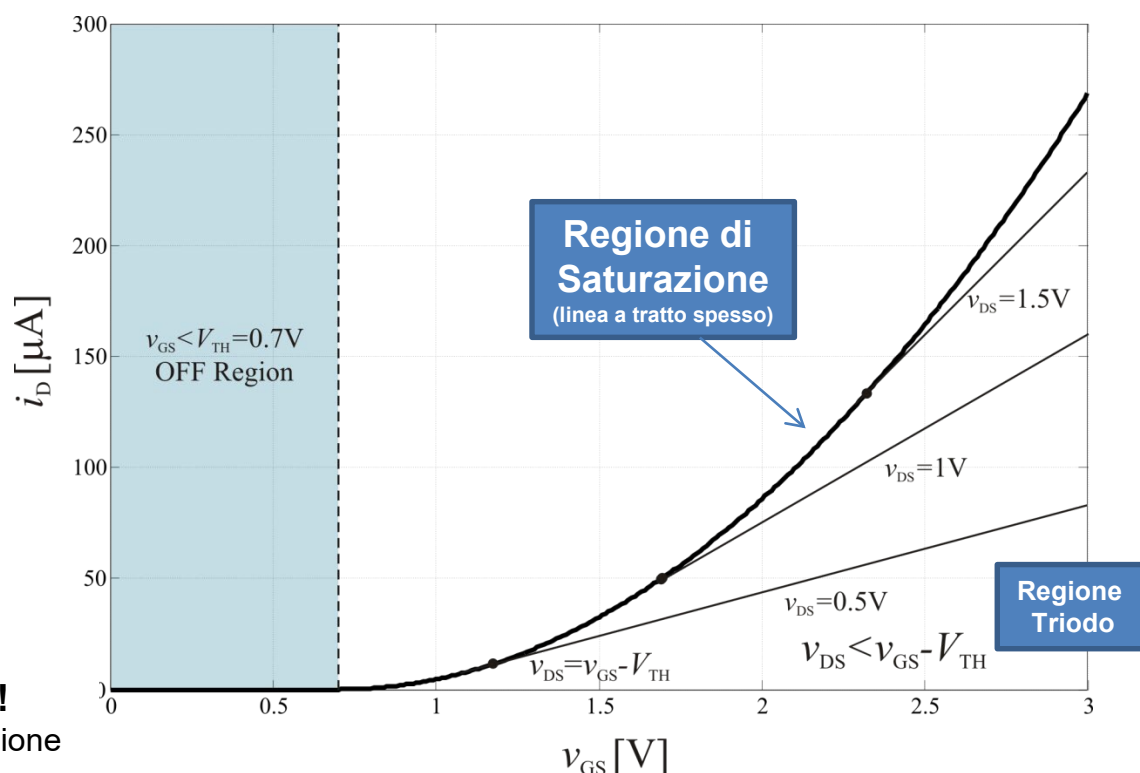
Transcaratteristica: $i_D = i_D(v_{GS})$

- $v_{GS} < V_{TH}$: regione OFF, $i_D = 0$
- $v_{GS} > V_{TH}$: per $v_{DS} > v_{GS} - V_{TH}$, $i_D = \frac{\beta}{2} (v_{GS} - V_{TH})^2$ cresce con v_{GS} in modo parabolico (tratto spesso in figura) indipendentemente da v_{DS} .
- $v_{GS} > V_{TH}$: quando v_{GS} cresce e $v_{GS} - V_{TH} > v_{DS}$, i_D cresce con v_{GS} in modo lineare e dipende da v_{DS}



**Il transistore nMOS in saturazione:
un vero blocco funzionale analogico!**

si comporta da gen. di corrente controllato in tensione



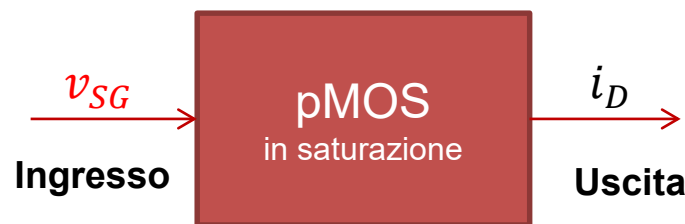
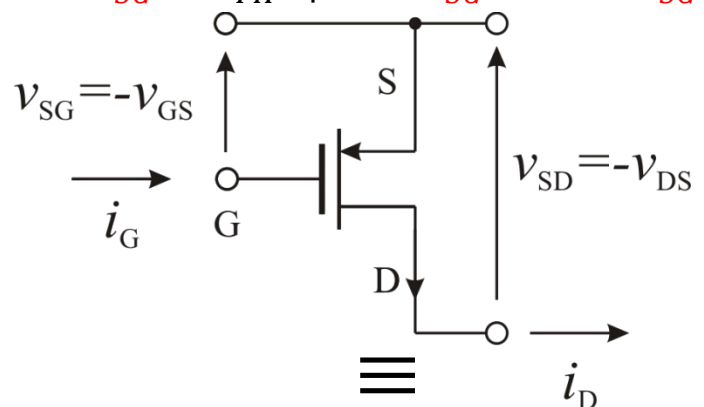
POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore pMOS: Transcaratteristica Statica

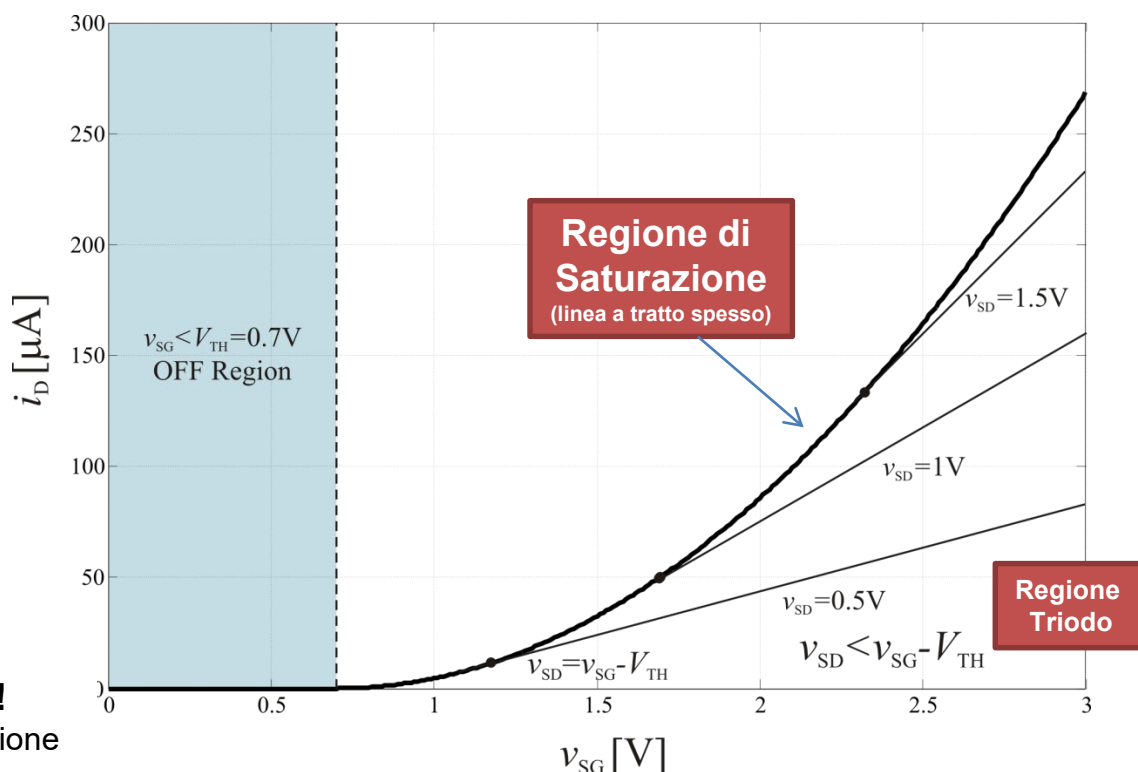
Transcaratteristica $i_D = i_D(v_{SG})$

- $v_{SG} < V_{TH}$: MOS OFF, $i_D = 0$
- $v_{SG} > V_{TH}$: per $v_{SD} > v_{SG} - V_{TH}$, $i_D = \frac{\beta}{2} (v_{SG} - V_{TH})^2$ ha andamento parabolico (tratto spesso in figura) indipendentemente da v_{SD} .
- $v_{SG} > V_{TH}$: quando v_{SG} cresce e $v_{SG} - V_{TH} > v_{SD}$, i_D cresce con v_{SD} in modo lineare e dipende da v_{SD}



**Il transistore pMOS in saturazione:
un vero blocco funzionale analogico!**

si comporta da gen. di corrente controllato in tensione



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistori MOS: Datasheet (I)

BS170

Small Signal MOSFET 500 mA, 60 Volts N-Channel TO-92 (TO-226)

Features

- This is a Pb-Free Device*

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain – Source Voltage	V_{DS}	60	Vdc
Gate–Source Voltage	V_{GS}	± 20	Vdc
– Continuous	V_{GSM}	± 40	Vpk
– Non-repetitive ($t_p \leq 50 \mu s$)			
Drain Current (Note)	I_D	0.5	Adc
Total Device Dissipation @ $T_A = 25^\circ C$	P_D	350	mW
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-55 to $+150$	$^\circ C$

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

NOTE: The Power Dissipation of the package may result in a lower continuous drain current.

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.



ON Semiconductor®

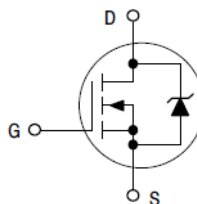
www.onsemi.com

Nei datasheet dei transistori sono riportati i valori massimi di V_{DS} , V_{GS} , I_D e temperatura di funzionamento

500 mA, 60 Volts

$R_{DS(on)} = 5.0 \Omega$

N-Channel



TO-92 (TO-226)
CASE 29
STYLE 30



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistori MOS: Datasheet (II)

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Gate Reverse Current ($V_{GS} = 15\text{ Vdc}$, $V_{DS} = 0$)	I_{GSS}	–	0.01	10	nAdc
Drain-Source Breakdown Voltage ($V_{GS} = 0$, $I_D = 100\text{ }\mu\text{Adc}$)	$V_{(BR)DSS}$	60	90	–	Vdc
ON CHARACTERISTICS (Note 1)					
Gate Threshold Voltage ($V_{DS} = V_{GS}$, $I_D = 1.0\text{ mA}$)	$V_{GS(Th)}$	0.8	2.0	3.0	Vdc
Static Drain-Source On Resistance ($V_{GS} = 10\text{ Vdc}$, $I_D = 200\text{ mAdc}$)	$r_{DS(on)}$	–	1.8	5.0	Ω
Drain Cutoff Current ($V_{DS} = 25\text{ Vdc}$, $V_{GS} = 0\text{ Vdc}$)	$I_{D(off)}$	–	–	0.5	μA
Forward Transconductance ($V_{DS} = 10\text{ Vdc}$, $I_D = 250\text{ mAdc}$)	g_{fs}	–	200	–	mmhos
SMALL-SIGNAL CHARACTERISTICS					
Input Capacitance ($V_{DS} = 10\text{ Vdc}$, $V_{GS} = 0$, $f = 1.0\text{ MHz}$)	C_{iss}	–	–	60	pF

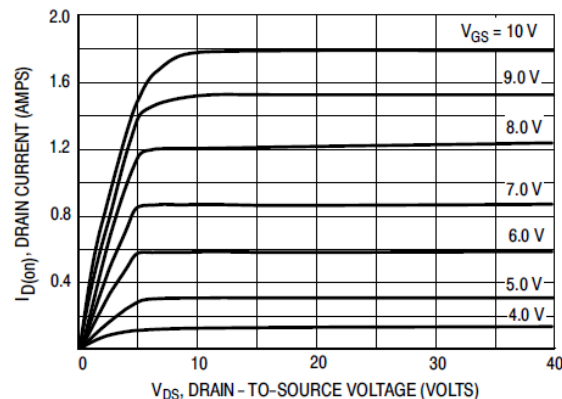


Figure 5. Output Characteristics

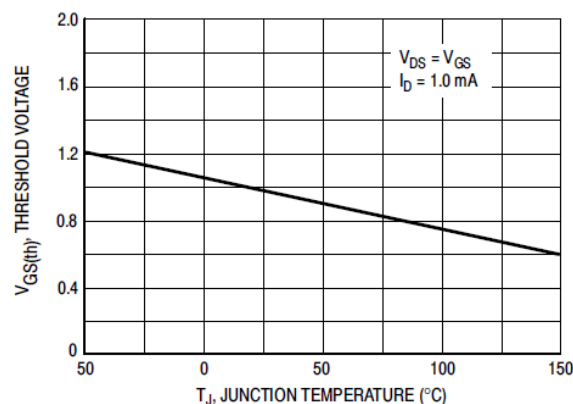


Figure 3. $V_{GS(th)}$ Normalized versus Temperature

Le caratteristiche elettriche dei transistori reali possono deviare dai modelli teorici sono soggetti a tolleranze di fabbricazione.

I datasheet riportano valori *tipici* oppure *massimi/minimi* (condizioni di caso peggiore)

Spesso i costruttori forniscono anche i modelli SPICE dei dispositivi basati su misure, molto più accurati del modello considerato nel corso ma comunque approssimati



POLITECNICO
DI TORINO

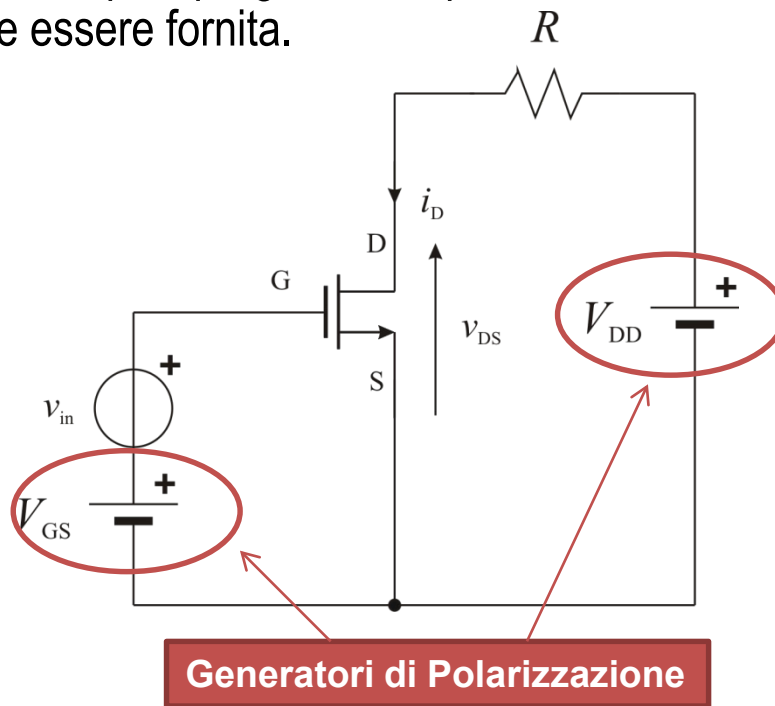
DET
Department of Electronics and Telecommunications

Transistore MOS in applicazioni analogiche (I)

- Il transistore MOS si comporta da blocco funzionale analogico solo in *regione di saturazione*.
- Occorre **polarizzare** il transistore MOS in regione di saturazione, applicando opportune tensioni/correnti continue sovrapposte al segnale da elaborare.
- I generatori di polarizzazione **forniscono energia** che può essere trasferita al segnale.
 - Globalmente il transistore è un dispositivo **passivo**, (potenza assorbita > potenza erogata).
 - **Per il segnale**, può avere un comportamento **attivo** (potenza di segnale erogata > potenza di segnale assorbita).
- Della polarizzazione si occupa il progettista, a partire dalla **tensione di alimentazione** di valore specificato che deve essere fornita.

Porta d'ingresso

$$v_{GS} = v_{in} + V_{GS}$$



Porta d'uscita

$$v_{DS} = V_{DD} - Ri_D$$

Retta di carico

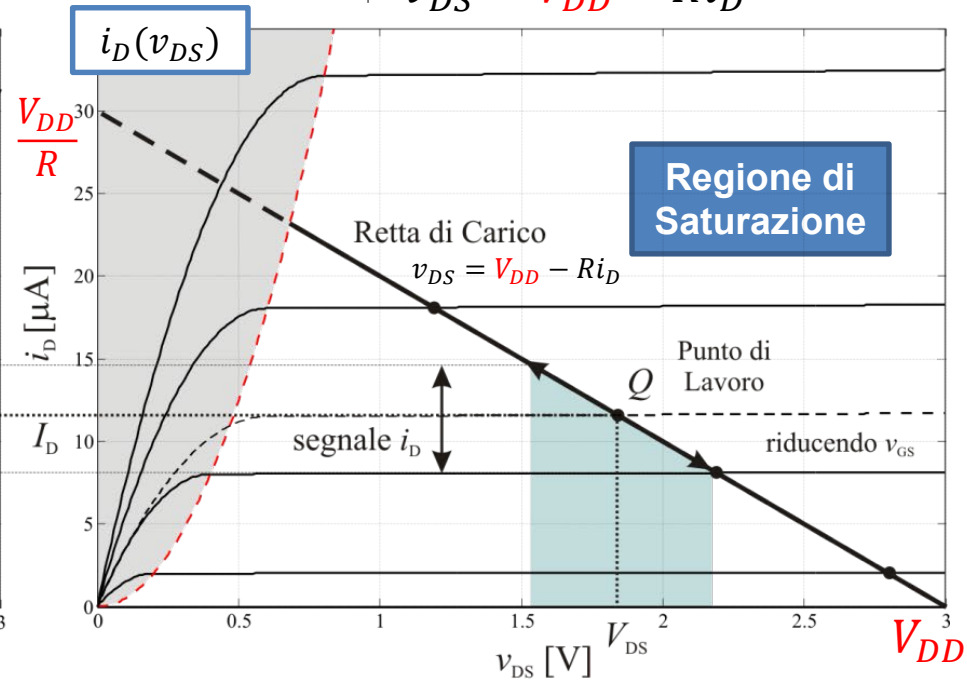
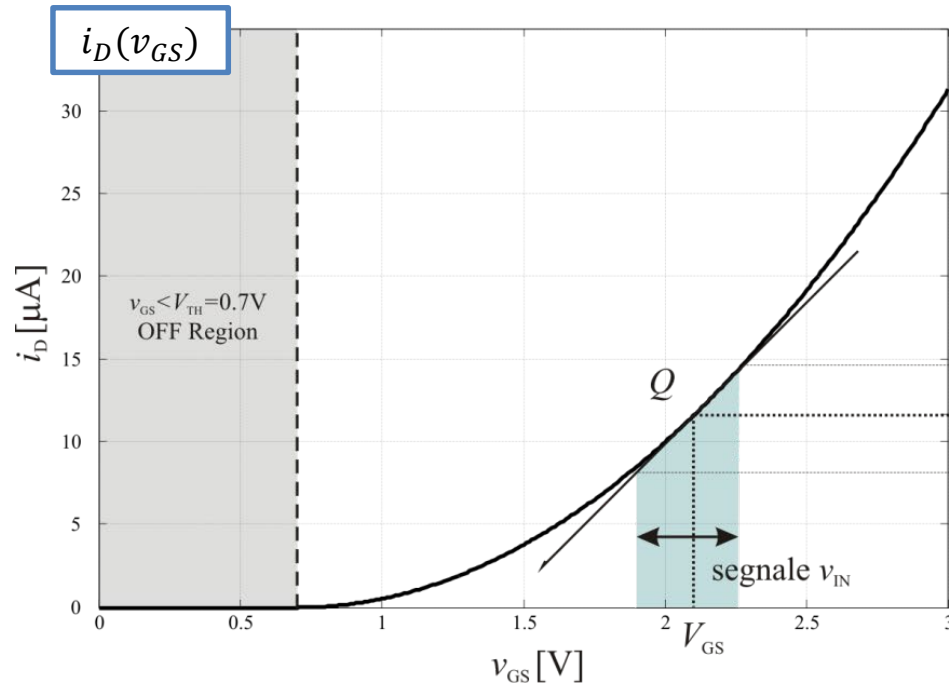
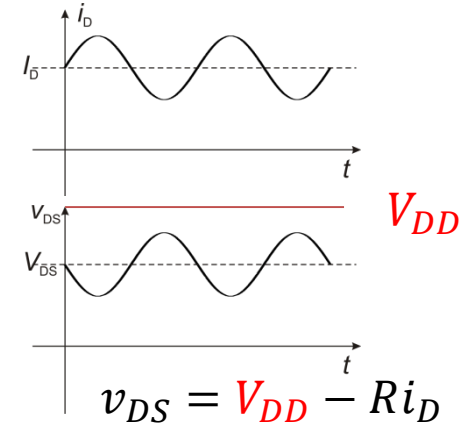
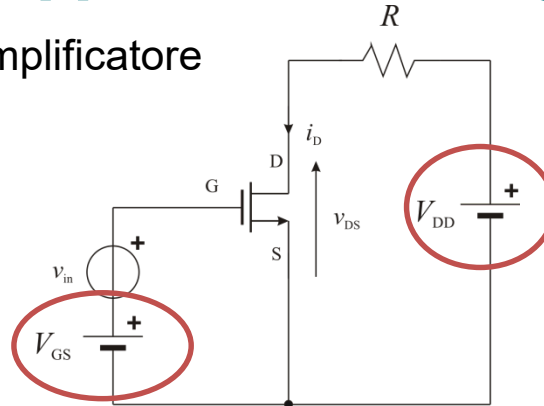
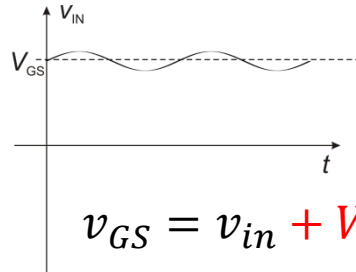


POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore MOS in applicazioni analogiche (II)

Può essere utilizzato come amplificatore

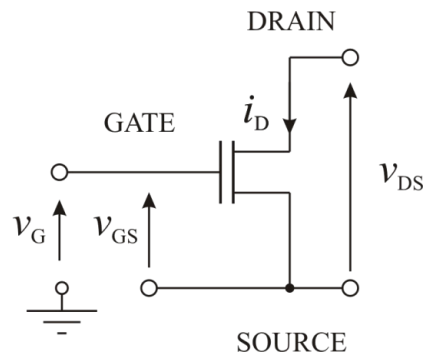


POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore MOS per applicazioni digitali

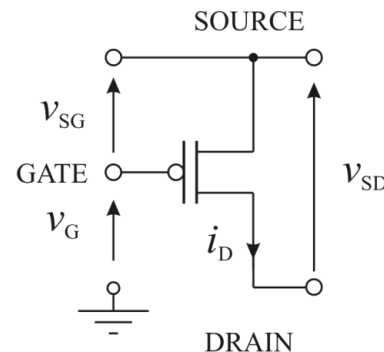
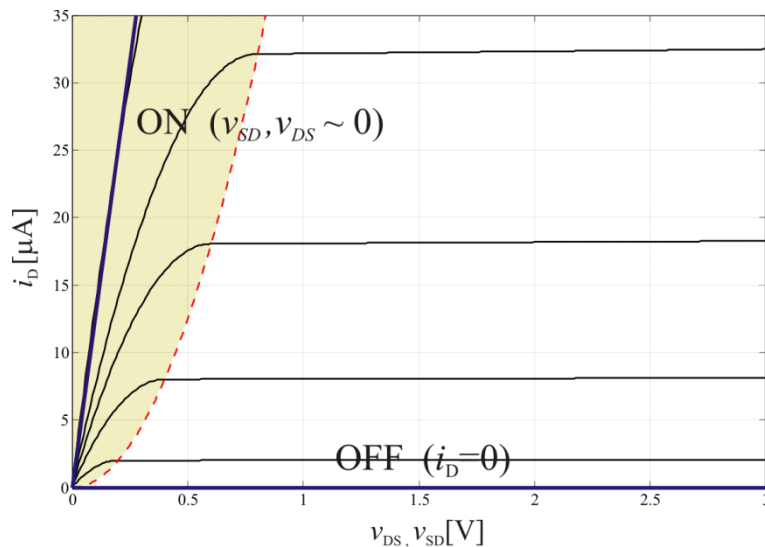
- v_G può assumere due valori: **alto** ($v_G = V_{DD}$, V_{DD} è la tensione più alta nel circuito, alimentazione positiva) o **basso** ($v_G = 0V$, o la tensione più bassa disponibile).
- Il MOS è utilizzato nelle regioni ON o OFF, come interruttore controllato da v_G



nMOS

$$v_{GS} = v_G - v_S$$

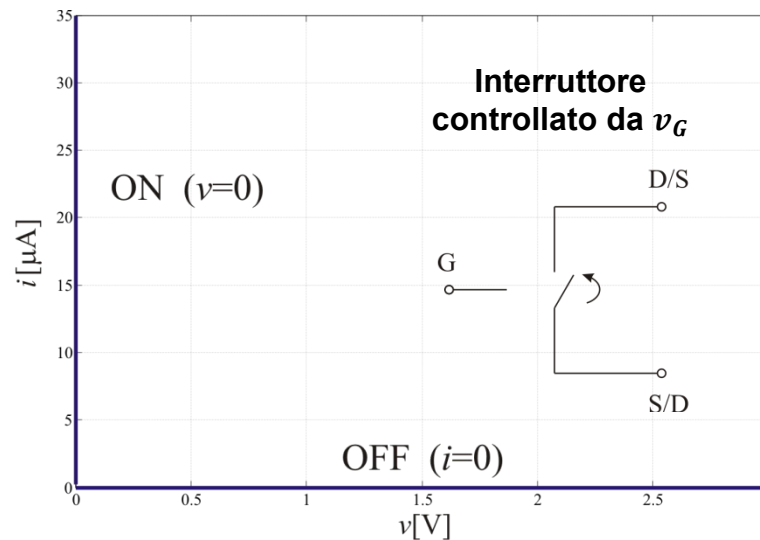
per $v_G = V_{DD}$: **ON**
per $v_G = 0$: **OFF**



pMOS

$$v_{SG} = v_S - v_G$$

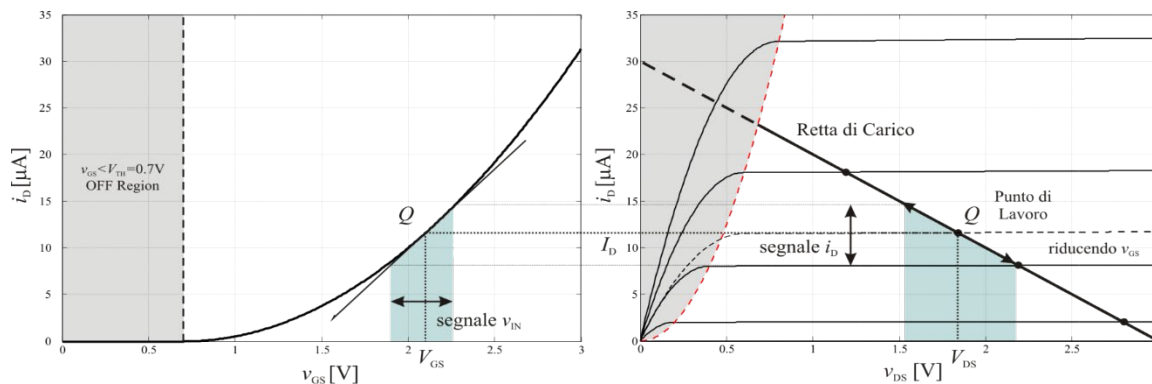
per $v_G = V_{DD}$: **OFF**
per $v_G = 0$: **ON**



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Analogici con Transistori MOS



$$\begin{cases} v_{DS} = V_{DD} - Ri_D \\ i_D = \frac{\beta}{2}(v_{GS} - V_{TH})^2 \end{cases}$$

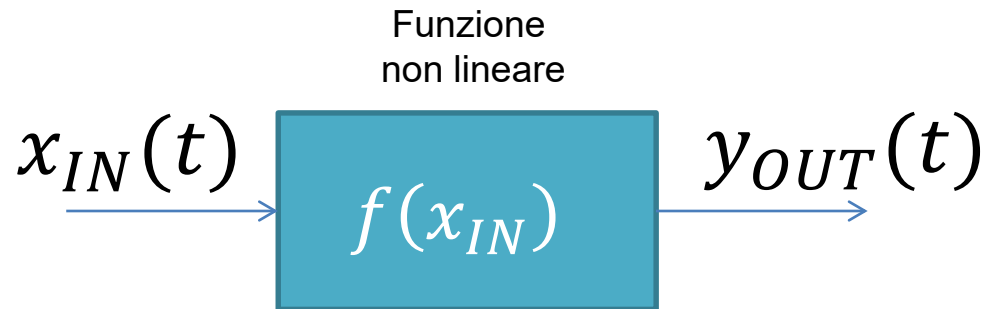
- Il transistorore MOS è un dispositivo non-lineare a due porte
 - quattro variabili i_G, v_{GS}, i_D, v_{DS}
- La soluzione del sistema di equazioni è complicata e richiede una analisi *non lineare*
 - Soluzioni approssimate (ad esempio grafiche) sono possibili ma non accurate
 - La soluzione esatta può essere ottenuta per via numerica (Spice), ma richiede importanti risorse di calcolo ed è lunga
- Quando però non interessa il comportamento non-lineare nel suo complesso (perché l'ampiezza dei segnali in gioco è ridotta), ma è necessaria una maggiore accuratezza in una regione ristretta della caratteristica è opportuno un approccio completamente diverso:

Analisi di piccolo segnale



Linearizzazione e piccolo segnale

- L'approccio, basato sullo sviluppo in serie di Taylor noto dai corsi di Analisi è generalizzabile a qualsiasi elemento circuitale che presenti relazioni costitutive non-lineari.



$$x_{IN}(t) = X_{IN} + x_{in}(t)$$

↓ ↓ ↓

grandezza componente variazioni
totale di polarizzazione

$$y_{OUT}(t) = Y_{OUT} + y_{out}(t)$$

↓ ↓ ↓

grandezza componente variazioni
totale di polarizzazione



Linearizzazione e piccolo segnale

$$y_{OUT}(t) = f(x_{IN}(t)) = f(X_{IN} + x_{in}(t))$$

Sviluppo in serie di Taylor
arrestato al primo ordine

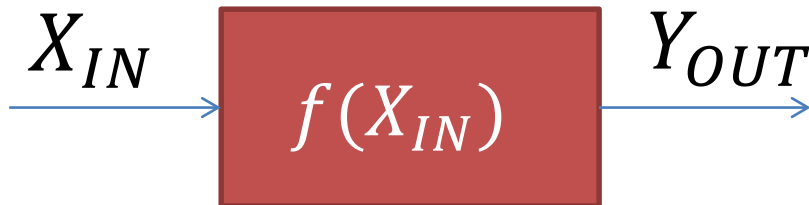
$$= f(X_{IN}) + \left. \frac{\partial f}{\partial x} \right|_{x=X_{IN}} x_{in}(t) + o(|x_{in}|)$$

$$= Y_{OUT} + y_{out}(t)$$

per determinare il punto di lavoro:

$$Y_{OUT} = f(X_{IN})$$

sistema non-lineare statico



per studiare le variazioni:

$$y_{out}(t) = \alpha x_{in}$$

sistema linearizzato

$\alpha = \left. \frac{\partial f}{\partial x} \right|_{x=X_{IN}}$ dipende dal punto di lavoro



Analisi di Circuiti Analogici con Transistori MOS

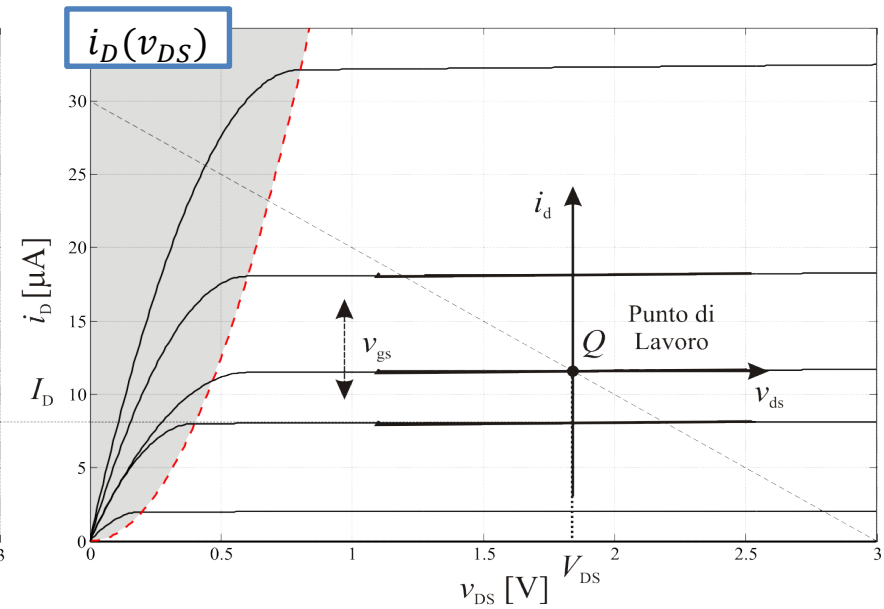
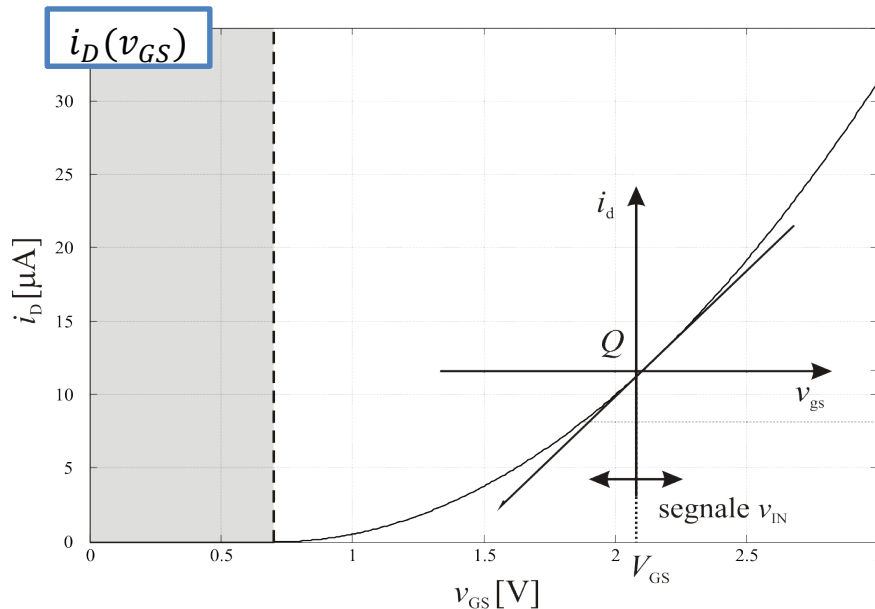
- Quando le grandezze di interesse in un dispositivo non-lineare variano di poco nell'intorno di un punto Q della caratteristica, detto **punto di lavoro** o **punto di funzionamento a riposo**, è possibile linearizzarne la caratteristica in quel punto.
- Si approssima la caratteristica non-lineare con la tangente in Q

$$i_G = I_G + i_g = 0$$

$$v_{GS} = V_{GS} + v_{gs}$$

$$i_D = I_D + i_d$$

$$v_{DS} = V_{DS} + v_{ds}$$



Transistore MOS: Linearizzazione e Piccolo Segnale (I)

- Dispositivo a due porte: quattro variabili i_G, v_{GS}, i_D, v_{DS} . Si scelgono v_{GS} e v_{DS} come variabili indipendenti

$$\begin{array}{ll} \text{variabili} & \text{variabili} \\ \text{indipendenti} & \text{dipendenti} \end{array} \quad \left\{ \begin{array}{l} v_{GS} = V_{GS} + v_{gs} \\ v_{DS} = V_{DS} + v_{ds} \end{array} \right. \quad \left\{ \begin{array}{l} i_G = I_G + i_g \\ i_D = I_D + i_d \end{array} \right.$$

In generale:

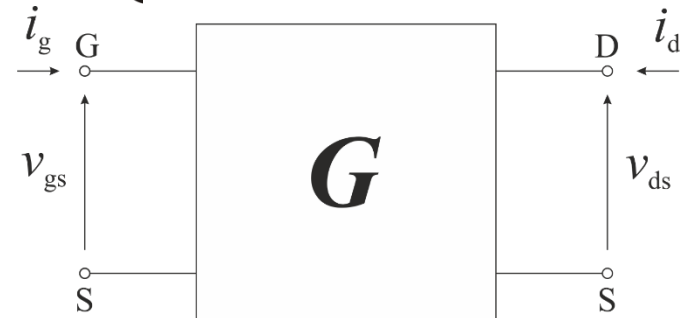
$$Q = (V_{GS}, V_{DS})$$

$$\left\{ \begin{array}{l} i_g = \left. \frac{\partial i_G}{\partial v_{GS}} \right|_Q v_{gs} + \left. \frac{\partial i_G}{\partial v_{DS}} \right|_Q v_{ds} \\ i_d = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q v_{gs} + \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q v_{ds} \end{array} \right.$$

$$\begin{array}{ll} g_i = \left. \frac{\partial i_G}{\partial v_{GS}} \right|_Q & g_r = \left. \frac{\partial i_G}{\partial v_{DS}} \right|_Q \\ g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q & g_o = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q \end{array}$$



$$\left\{ \begin{array}{l} i_g = g_i v_{gs} + g_r v_{ds} \\ i_d = g_m v_{gs} + g_o v_{ds} \end{array} \right.$$



doppio bipolo *lineare*
descritto con parametri **G**



Transistore MOS: Linearizzazione e Piccolo Segnale (II)

- Dispositivo a due porte: quattro variabili i_G, v_{GS}, i_D, v_{DS} . Si scelgono v_{GS} e v_{DS} come variabili indipendenti (parametri **G**)

$$\begin{array}{ll} \text{variabili} & \text{variabili} \\ \text{indipendenti} & \text{dipendenti} \end{array} \quad \left\{ \begin{array}{l} v_{GS} = V_{GS} + v_{gs} \\ v_{DS} = V_{DS} + v_{ds} \end{array} \right. \quad \left\{ \begin{array}{l} i_G = I_G + i_g \\ i_D = I_D + i_d \end{array} \right.$$

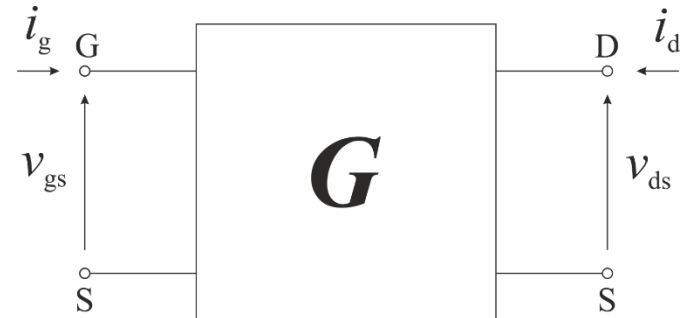
Transistore MOS:

$$Q = (V_{GS}, V_{DS})$$

$$\left\{ \begin{array}{l} i_g = \frac{\partial i_G}{\partial v_{GS}} \Big|_Q v_{gs} + \frac{\partial i_G}{\partial v_{DS}} \Big|_Q v_{ds} = 0 \\ i_d = \frac{\partial i_D}{\partial v_{GS}} \Big|_Q v_{gs} + \frac{\partial i_D}{\partial v_{DS}} \Big|_Q v_{ds} \end{array} \right.$$



$$\left\{ \begin{array}{l} i_g = g_i v_{gs} + g_r v_{ds} = 0 \\ i_d = g_m v_{gs} + g_o v_{ds} \end{array} \right.$$



doppio bipolo **lineare**
descritto con parametri **G**

$$g_i = \frac{\partial i_G}{\partial v_{GS}} \Big|_Q = 0 \quad g_r = \frac{\partial i_G}{\partial v_{DS}} \Big|_Q = 0$$

$$g_m = \frac{\partial i_D}{\partial v_{GS}} \Big|_Q \quad g_o = \frac{\partial i_D}{\partial v_{DS}} \Big|_Q$$

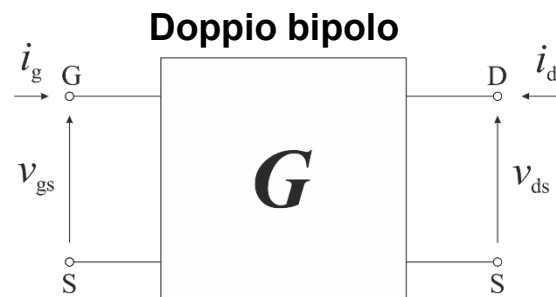


POLITECNICO
DI TORINO

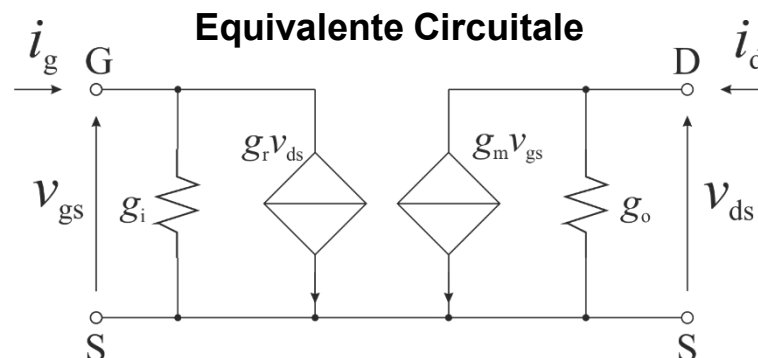
DET
Department of Electronics and Telecommunications

Transistore MOS: Linearizzazione e Piccolo Segnale (III)

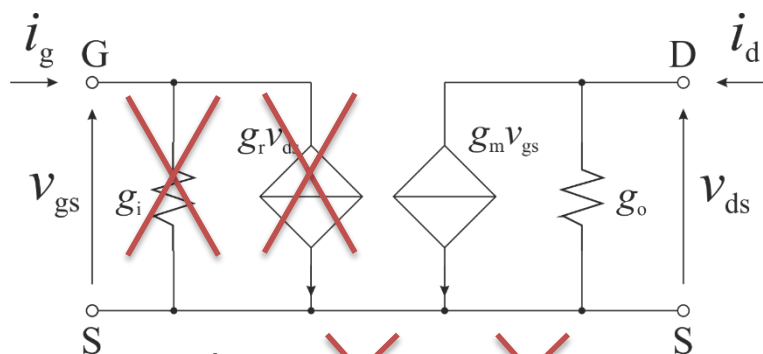
In generale...



$$\begin{cases} i_g = g_i v_{gs} + g_r v_{ds} \\ i_d = g_m v_{gs} + g_o v_{ds} \end{cases}$$



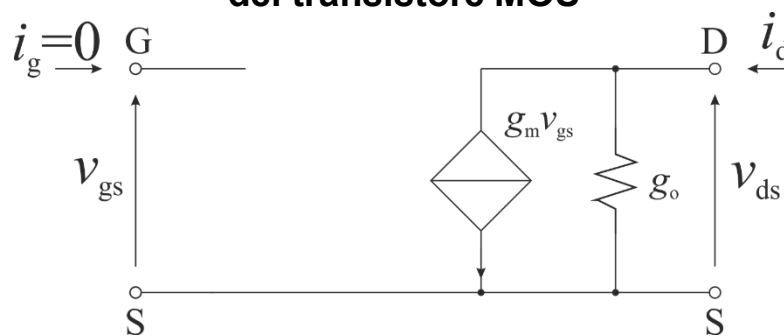
Per il transistore MOS...



$$\begin{cases} i_g = g_i v_{gs} + g_r v_{ds} \\ i_d = g_m v_{gs} + g_o v_{ds} \end{cases}$$



Circuito equivalente per piccolo segnale del transistore MOS



Restano da determinare i valori di g_m e g_o , che dipendono dal punto di lavoro Q...



POLITECNICO
DI TORINO

DET
Department of Electronics and Telecommunications

Transistore MOS: Linearizzazione e Piccolo Segnale (IV)

- Dispositivo a due porte: quattro variabili i_G, v_{GS}, i_D, v_{DS} . Si scelgono v_{GS} e v_{DS} come variabili indipendenti

$$\begin{array}{ll} \text{variabili} & \left\{ \begin{array}{l} v_{GS} = V_{GS} + v_{gs} \\ v_{DS} = V_{DS} + v_{ds} \end{array} \right. \\ \text{indipendenti} & \end{array} \quad \begin{array}{ll} \text{variabili} & \left\{ \begin{array}{l} i_G = I_G + i_g = 0 \quad \text{☺} \\ i_D = I_D + i_d \end{array} \right. \\ \text{dipendenti} & \end{array}$$

- In regione di saturazione*

$$i_D = \frac{\beta}{2} (v_{GS} - V_{TH})^2 (1 + \lambda v_{DS})$$

- Linearizzando in un intorno del punto di lavoro $Q = (V_{GS}, V_{DS})$

$$i_d = i_D - I_D = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q v_{gs} + \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q v_{ds} \longrightarrow i_d = g_m v_{gs} + g_o v_{ds}$$

doppio bipolo
lineare

$$g_m = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_Q = \beta (v_{GS} - V_{TH}) (1 + \lambda v_{DS})|_Q = \beta (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) = \frac{2I_D}{V_{GS} - V_{TH}} \cong \sqrt{2I_D \beta}$$

$$g_o = \left. \frac{\partial i_D}{\partial v_{DS}} \right|_Q = \lambda \frac{\beta}{2} (v_{GS} - V_{TH})^2|_Q = \lambda \frac{\beta}{2} (V_{GS} - V_{TH})^2 \cong \lambda I_D$$

Varie formule alternative
ed equivalenti di g_m

* è possibile linearizzare il transistore MOS anche nelle altre regioni (triode, sotto-soglia,...) ma ci si limita qui alla regione di saturazione perché è quella di maggiore interesse nelle applicazioni analogiche.



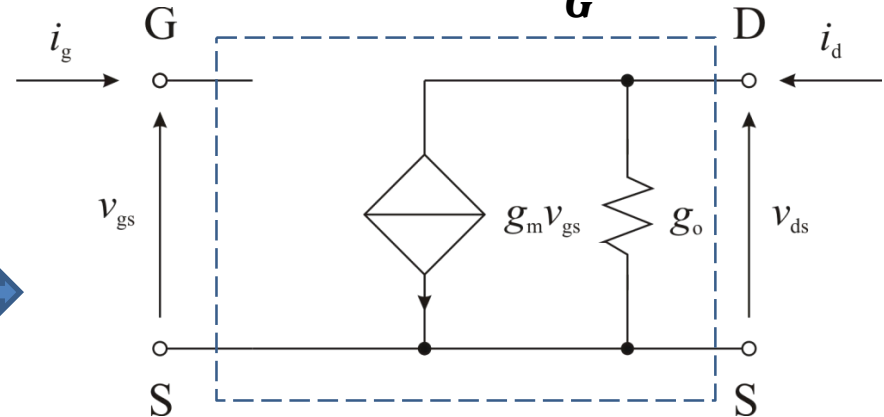
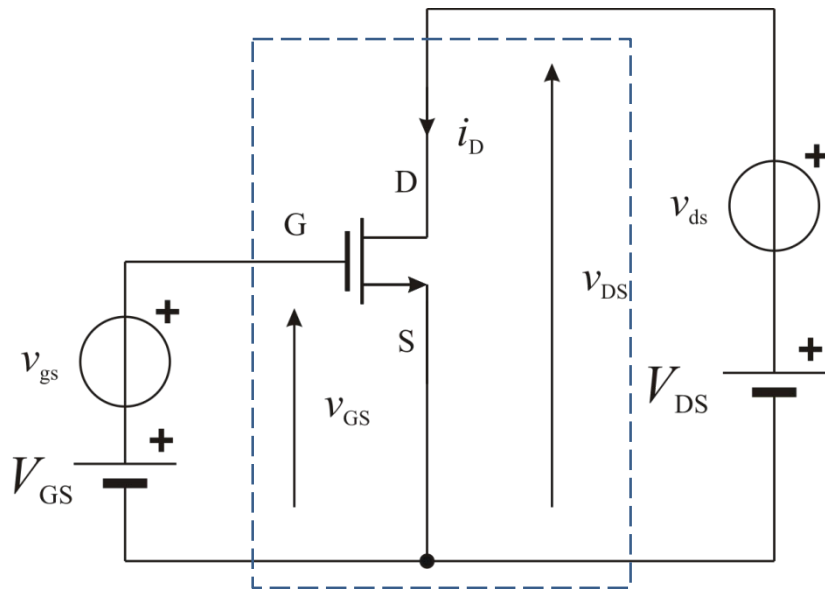
Circuito equivalente per il piccolo segnale: nMOS

- L'espressione linearizzata si può leggere in chiave circuitale.
- Per il solo piccolo segnale, un transistor MOS **polarizzato in regione di saturazione**, è approssimabile con un generatore di corrente controllato in tensione (quasi) ideale.

$$i_g = 0$$

$$i_d = g_m v_{gs} + g_o v_{ds}$$

$$\begin{pmatrix} i_g \\ i_d \end{pmatrix} = \underbrace{\begin{pmatrix} 0 & 0 \\ g_m & g_o \end{pmatrix}}_G \begin{pmatrix} v_{gs} \\ v_{ds} \end{pmatrix}$$



$$g_m = \frac{2I_D}{V_{GS} - V_{TH}} \cong \beta (V_{GS} - V_{TH}) \cong \sqrt{2I_D \beta}$$

$$g_o \cong \lambda I_D \text{ (e spesso si può considerare } \cong 0 \text{)}$$



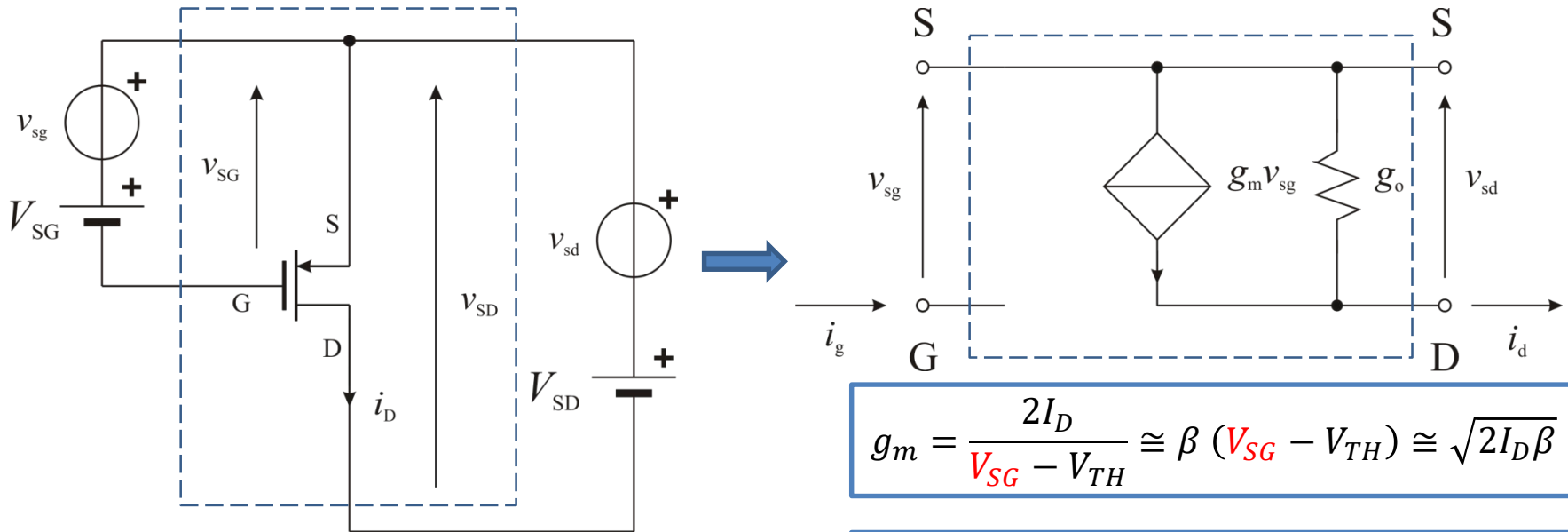
Circuito equivalente per il piccolo segnale: pMOS

- Per il transistor pMOS si procede in maniera analoga
- Il circuito equivalente per il piccolo segnale è analogo a quello del transistor nMOS

$$i_g = 0$$

$$i_d = g_m v_{sg} + g_o v_{sd}$$

$$\begin{pmatrix} i_g \\ i_d \end{pmatrix} = \underbrace{\begin{pmatrix} 0 & 0 \\ g_m & g_o \end{pmatrix}}_{\mathbf{G}} \begin{pmatrix} v_{sg} \\ v_{sd} \end{pmatrix}$$



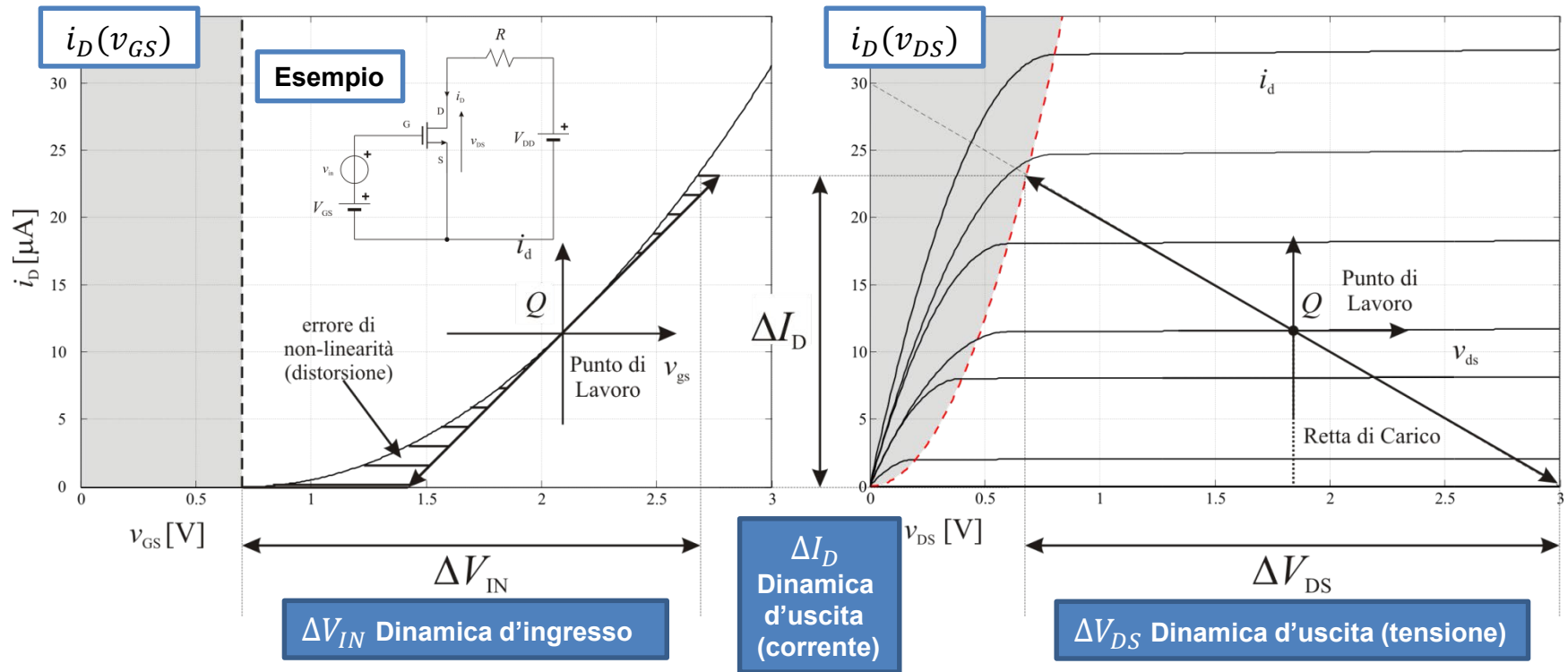
$$g_m = \frac{2I_D}{V_{SG} - V_{TH}} \cong \beta (V_{SG} - V_{TH}) \cong \sqrt{2I_D \beta}$$

$$g_o \cong \lambda I_D \text{ (e spesso si può considerare } \cong 0 \text{)}$$



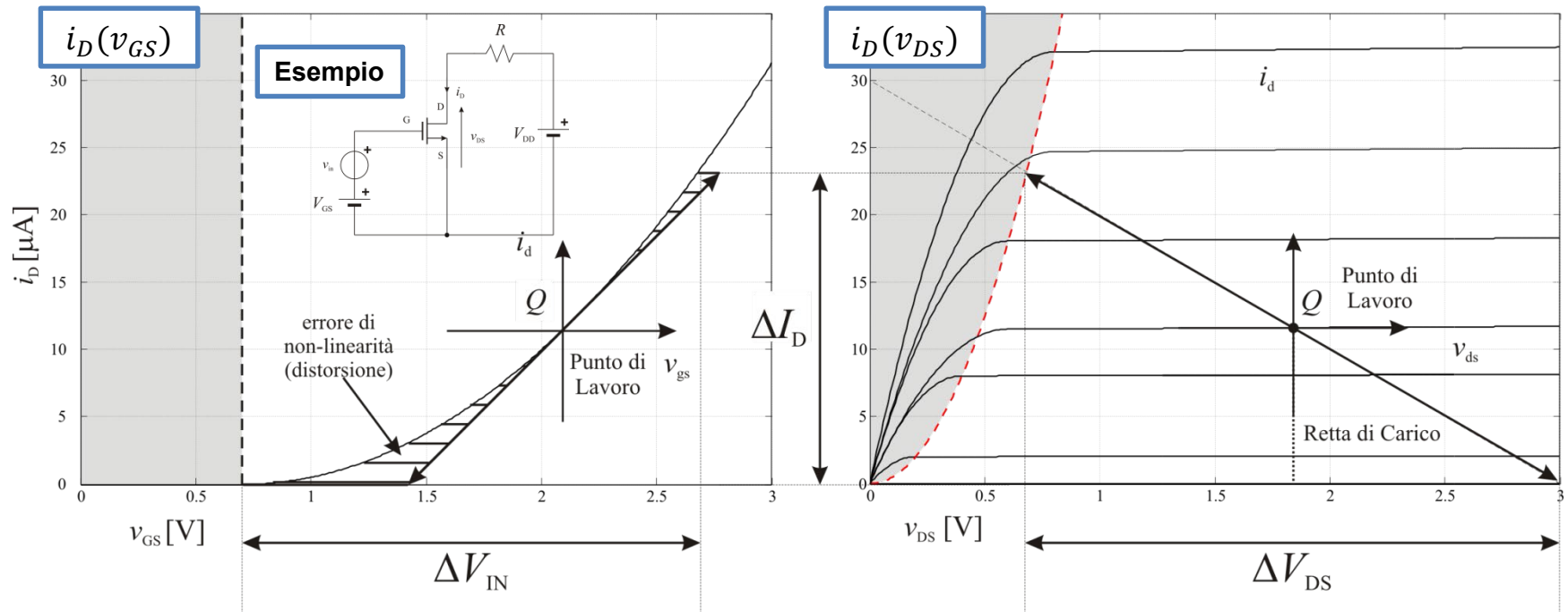
Piccolo Segnale: Limiti di Validità e Dinamica (I)

- La linearizzazione è un'approssimazione, tanto migliore quanto minori sono le variazioni.
 - è normalmente considerata accettabile se il transistor MOS rimane in **regione di saturazione**.
 - l'uscita di uno (o più) transistori dalla regione di saturazione comporta una variazione drastica di funzionamento e definisce i limiti della **dinamica** di un circuito analogico.
 - il punto di lavoro è normalmente scelto dal progettista per massimizzare la dinamica.



Piccolo Segnale: Limiti di Validità e Dinamica (II)

- La linearizzazione è un'approssimazione, tanto migliore quanto minori sono le variazioni da Q .
 - pur rimanendo in saturazione, il comportamento dei transistori MOS è comunque non-lineare.
 - questo effetto non voluto è detto **distorsione (di non-linearità)** e dà luogo ad un errore deterministico, tanto più grande quanto più grande è l'ampiezza del segnale.



Analisi di piccolo segnale con Transistori MOS

Si procede in tre passi

1) Si determina il *punto di lavoro* Q

- Si considerano solo le grandezze elettriche **costanti nel tempo**, ossia:
 - si spengono i generatori variabili nel tempo (ma non la componente continua se è non nulla)
 - essendo $\partial/\partial t = 0$ per grandezze costanti nel tempo:
 - i condensatori si sostituiscono con circuiti aperti
 - gli induttori si sostituiscono con corto circuiti
 - si considerano le caratteristiche *non-lineari statiche* degli elementi non-lineari, eventualmente i modelli semplificati di ampio segnale.
 - si analizza il circuito e si determina **punto di lavoro Q** degli elementi non-lineari



Analisi di piccolo segnale con Transistori MOS

1) Poiché il calcolo del punto Q richiede comunque una analisi non lineare, in questo corso verranno fatte ipotesi semplificative

→ negli esercizi sarà quasi sempre pre-assegnato o ricavabile senza calcoli laboriosi

- si formulano ipotesi sulla regione di funzionamento (quasi sempre **saturazione**)
- si analizza il circuito sulla base di queste ipotesi
- si **verifica** il funzionamento dei transistori MOS nella regione ipotizzata (tipicamente saturazione per applicazioni analogiche)

nMOS

in saturazione

$$v_{GS} > V_{TH}$$

$$v_{DS} > v_{GS} - V_{TH}$$

pMOS

in saturazione

$$v_{SG} > V_{TH}$$

$$v_{SD} > v_{SG} - V_{TH}$$



Analisi di piccolo segnale con Transistori MOS

- 2) Si costruisce il *circuito equivalente per il piccolo segnale*
- Si considerano solo le grandezze elettriche ***variabili nel tempo***, ossia:
 - si spengono i generatori costanti nel tempo, si considerano ***solo le componenti di segnale***
 - si considerano gli elementi reattivi (condensatori e induttori), se presenti.
- Per gli elementi non-lineari:
 - si determinano i parametri di piccolo segnale ***nel punto di lavoro trovato al passo 1)***.
 - si sostituiscono con i relativi ***circuiti equivalenti per il piccolo segnale***



Analisi di piccolo segnale con Transistori MOS

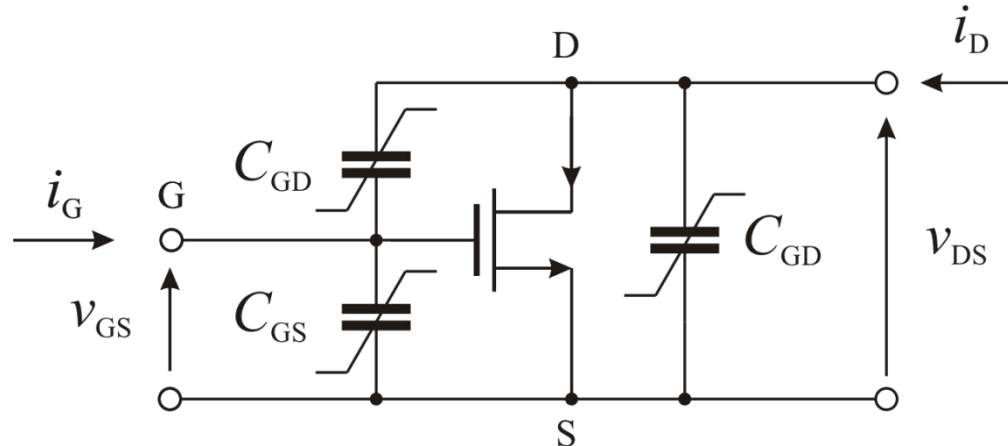
3) Si risolve il circuito di piccolo segnale valutando le richieste

- funzioni di trasferimento, impedenze di ingresso e di uscita e i relativi diagrammi di Bode
 - se il circuito è dinamico, si può analizzare nel dominio della frequenza (Trasf. di Laplace)
- le uscite per il piccolo segnale dati ingressi assegnati
 - Se le assunzioni che hanno portato alla linearizzazione sono valide, il circuito da analizzare è **lineare** e vale il principio di sovrapposizione degli effetti
 - I segnali complessivi sono la somma dei valori nel punto Q e dei segnali di piccola ampiezza



Transistore MOS: Effetti Reattivi (I)

- Per segnali che variano rapidamente, si manifestano effetti reattivi, descrivibili con capacità parassite in generale non-lineari (dipendono dal punto di lavoro).
- Il valore di queste capacità nel punto di lavoro entra nell'equivalente di piccolo segnale

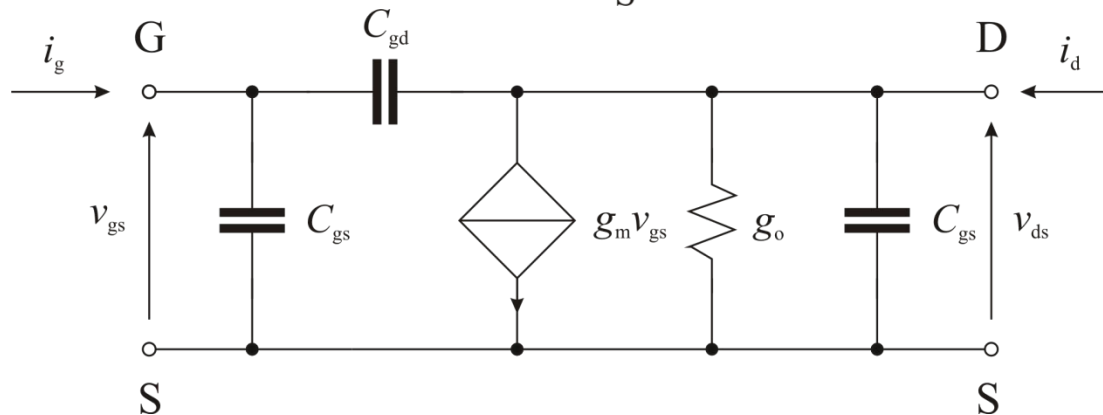


Capacità Nonlineari

$$C_{GD}(v_{GS}, v_{DS})$$

$$C_{GS}(v_{GS}, v_{DS})$$

$$C_{DS}(v_{GS}, v_{DS})$$



Capacità Lineari (nel punto di lavoro)

$$C_{gd} = C_{GD}(V_{GS}, V_{DS})$$

$$C_{gs} = C_{GS}(V_{GS}, V_{DS})$$

$$C_{ds} = C_{DS}(V_{GS}, V_{DS})$$



Transistore MOS: Effetti Reattivi (II)

- Analisi nel dominio delle trasformate di Laplace (circuito di piccolo segnale in saturazione)

A bassa frequenza $|s| \rightarrow 0$



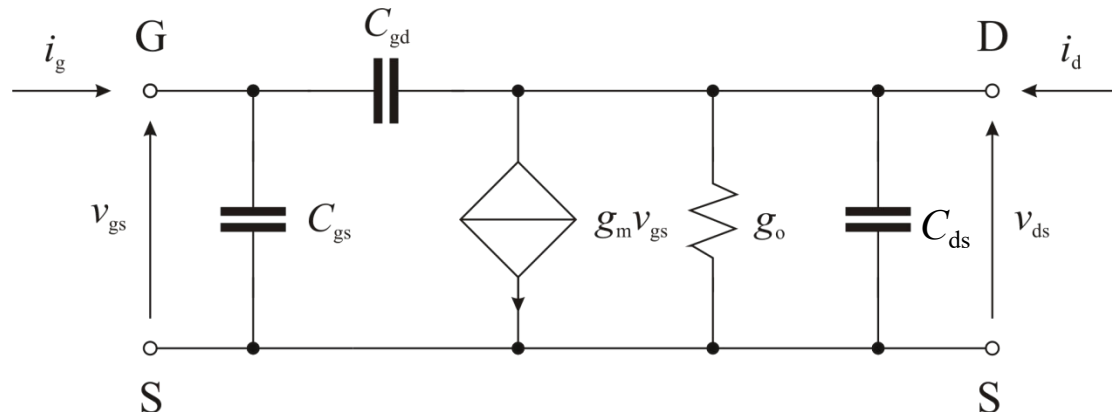
Il transistore nMOS in saturazione:
un vero blocco funzionale analogico!

$$\begin{aligned} I_g &= (sC_{gs} + sC_{gd})V_{gs} - sC_{gd}V_{ds} \\ I_d &= (g_m - sC_{gd})V_{gs} + (g_o + sC_{ds} + sC_{gd})V_{ds} \end{aligned}$$

$$\begin{pmatrix} I_g \\ I_d \end{pmatrix} = \underbrace{\begin{pmatrix} sC_{gs} + sC_{gd} & -sC_{gd} \\ g_m - sC_{gd} & g_o + sC_{ds} + sC_{gd} \end{pmatrix}}_{\mathbf{Y}} \begin{pmatrix} V_{gs} \\ V_{ds} \end{pmatrix}$$

Ad alta frequenza $|s| \rightarrow \infty$

La corrente di gate non è più nulla \rightarrow
Ammettenza di ingresso non nulla ☹
L'elemento Y12 diventa significativo \rightarrow
L'ingresso risente dell'uscita
Il MOS non è più unidirezionale ☹☹
La capacità C_{ds} carica l'uscita \rightarrow
Ammettenza d'uscita significativa ☹



Transistore MOS: Effetti Reattivi (III)

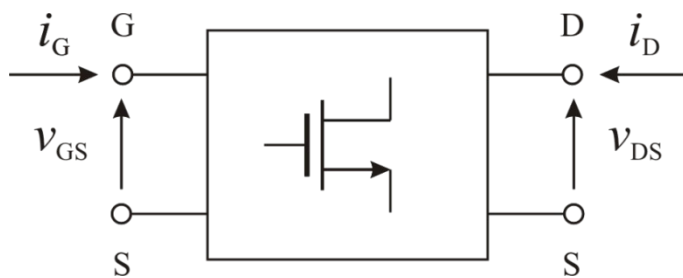
- Analisi nel dominio delle trasformate di Laplace (circuito di piccolo segnale in saturazione)

A bassa frequenza $|s| \rightarrow 0$



un vero blocco funzionale analogico!

Ad alta frequenza $|s| \rightarrow \infty$



Il transistor si comporta sempre meno come un blocco funzionale... ☹ ☹

$$\begin{aligned} I_g &= (sC_{gs} + sC_{gd})V_{gs} - sC_{gd}V_{ds} \\ I_d &= (g_m - sC_{gd})V_{gs} + (g_o + sC_{ds} + sC_{gd})V_{ds} \end{aligned}$$

$$\begin{pmatrix} I_g \\ I_d \end{pmatrix} = \underbrace{\begin{pmatrix} sC_{gs} + sC_{gd} & -sC_{gd} \\ g_m - sC_{gd} & g_o + sC_{ds} + sC_{gd} \end{pmatrix}}_{Y(s)} \begin{pmatrix} V_{gs} \\ V_{ds} \end{pmatrix}$$

