

ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN
KHOA KỸ THUẬT MÁY TÍNH



NGUYỄN XUÂN LỘC - 22520793
DƯƠNG HIỀN GIA KHANG – 22520610

ĐỒ ÁN GIỮA KỲ
THIẾT KẾ VI MẠCH SỐ - CE222.P21
ĐỀ TÀI
SRAM 6T 4x4 BIT

GIẢNG VIÊN HƯỚNG DẪN
NGÔ HIẾU TRƯỜNG

TP. HỒ CHÍ MINH, 2025

LỜI CẢM ƠN

Lời đầu tiên chúng em xin gửi lời cảm ơn chân thành và sâu sắc đến Thầy Ngô Hiếu Trường - giảng viên hướng dẫn môn Thiết kế vi mạch số-CE222.P21 người đã đồng hành và hỗ trợ chúng em trong suốt quá trình thực hiện đồ án này. Lời chỉ dẫn tận tình và những lời góp ý quý báu của Thầy không chỉ giúp chúng em hoàn thành nhiệm vụ mà còn mở ra cho chúng em nhiều góc nhìn mới mẻ về môn học vi mạch số.

Ngoài ra, em cũng xin cảm ơn thầy đã tạo điều kiện thuận lợi, cung cấp tài liệu, hướng dẫn chi tiết cũng như động viên, khích lệ em trong những lúc khó khăn. Sự hỗ trợ và đồng hành của thầy/cô là động lực lớn lao giúp em hoàn thành tốt đồ án này.

Chúng em cũng xin gửi lời cảm ơn đến thành viên còn lại trong nhóm vì đã làm việc chăm chỉ, đồng lòng vượt qua mọi khó khăn để hoàn thành đồ án này.

Mỗi người một vai trò, mỗi người một nhiệm vụ, nhưng tất cả đều hướng tới mục tiêu chung và đã cùng nhau tạo nên một sản phẩm chất lượng.

Một lần nữa, chúng em xin chân thành cảm ơn Thầy Ngô Hiếu Trường. Chúng em hy vọng rằng kết quả của đồ án sẽ không chỉ là một thành quả học tập mà còn là bước đệm vững chắc cho những nghiên cứu và ứng dụng về Vi mạch số trong tương lai.

Chúng em xin trân trọng cảm ơn!

TPHCM, Tháng 5 năm 2025

Sinh viên thực hiện

Nguyễn Xuân Lộc

Dương Hiền Gia Khang

CHƯƠNG 1: MỞ ĐẦU

1. Đặt vấn đề

Bộ nhớ là một yếu tố quan trọng trong máy tính và được sử dụng để lưu trữ dữ liệu hoặc thông tin dưới dạng biểu đồ nhị phân. Do đó, việc lưu trữ chương trình trong bộ nhớ là cần thiết để tạm thời và lâu dài lưu trữ dữ liệu trong môi trường kỹ thuật số. Bộ nhớ chia thành hai loại chính, đó là ROM và RAM. RAM cũng được chia thành hai dạng chính, đó là SRAM và DRAM. SRAM (bộ nhớ truy cập ngẫu nhiên tĩnh) có hai khía cạnh quan trọng về thiết kế: tản điện và truyền trễ trong quá trình đọc và ghi vào ô nhớ. Biên độ nhiễu của SRAM cũng cần được xem xét đến. Công suất tiêu thụ, sự ổn định và hiệu suất của SRAM 6T đóng vai trò quan trọng trong thế giới vi xử lý và sẽ được tìm hiểu chi tiết trong bài báo cáo này.

2. Mục tiêu

Mục tiêu của bài báo cáo này là tìm hiểu về bộ nhớ SRAM 6T, mô phỏng, phân tích cũng như đánh giá được công suất, độ trễ trong quá trình đọc và ghi của SRAM 6T qua công cụ Galaxy Custom Designer của Synopsys với bộ thư viện 90nm.

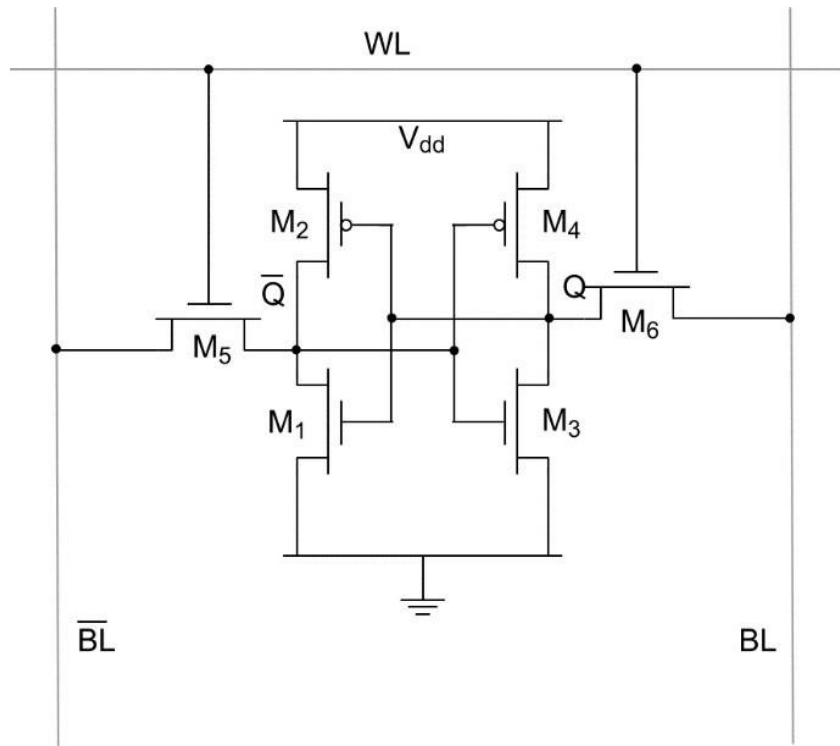
3. Nội dung nghiên cứu

- Tìm hiểu các khái niệm về SRAM 6T, cấu tạo, nguyên lý làm việc
- Các ứng dụng của SRAM 6T
- Phân loại cơ bản của SRAM
- Thiết kế SRAM trên Galaxy Custom Designer

CHƯƠNG 2: NỘI DUNG

Ô nhớ SRAM 6T

Cấu tạo



Ô nhớ SRAM 6T được cấu tạo từ 6 transistor CMOS: 4 transistor M3 và M5, M4 và M6 tạo thành cặp inverter dùng để lưu trữ trạng thái ô nhớ, 2 transistor ở hai bên dùng để truy xuất dữ liệu trong ô nhớ được điều khiển bởi tín hiệu WL. BL và BLB dùng để đọc – ghi giá trị của ô nhớ.

a) Chế độ đọc:

Để thực hiện chế độ đọc, các đường bit phải được sạc trước thả nổi ở mức cao. Mức điện áp tại 2 nút lưu trữ là đối lập nhau, nút có mức điện áp “0” sẽ kéo đường bit tương ứng xuống đất. Khi đó, BL và BLB có mức logic đối lập nhau. Mạch đọc đọc mức logic lưu trữ tại ô nhớ bằng cách kiểm tra trạng thái của 2 đường bit. Nếu BL = 0 và BLB = 1 thì ô nhớ lưu trữ bit “0”, ngược lại nếu BL = 1, BLB = 0 thì ô nhớ lưu trữ bit “1”.

b) Chế độ ghi

Để thực hiện chế độ ghi, mạch ghi sẽ phân cực ngược 2 đường bit. Khi có tín hiệu WL = 1, mức logic được nạp từ đường bit vào nút lưu trữ thông qua transistor truy cập M1, M2. Nếu BL = 0 và BLB = 1 thì Q được xả bởi BL xuống 0 và QB được nạp lên 1 bởi BLB, ngược lại nếu BL = 1, BLB = 0 thì Q được nạp lên 1 và QB được xả xuống 0.

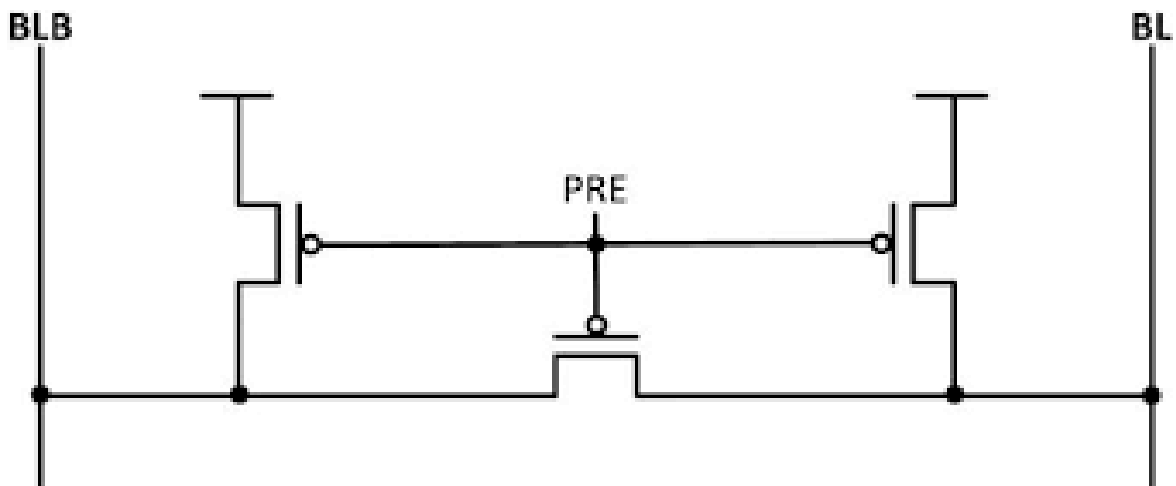
Sơ đồ dạng sóng:



Theo hình : Khi có tín $WL = 1$, tại ô nhớ lưu trữ giá trị "0" tương ứng với $BL = 0$, $BLB = 1$, tại ô nhớ lưu trữ giá trị "1" tương ứng với $BL = 1$, $BLB = 0$. Khi tín hiệu WL tắt, ô nhớ lưu trữ giá trị trước đó mà không quan tâm đến giá trị của BL và BLB . Dạng sóng mô phỏng đúng với phân tích lý thuyết.

Precharge

Cấu tạo



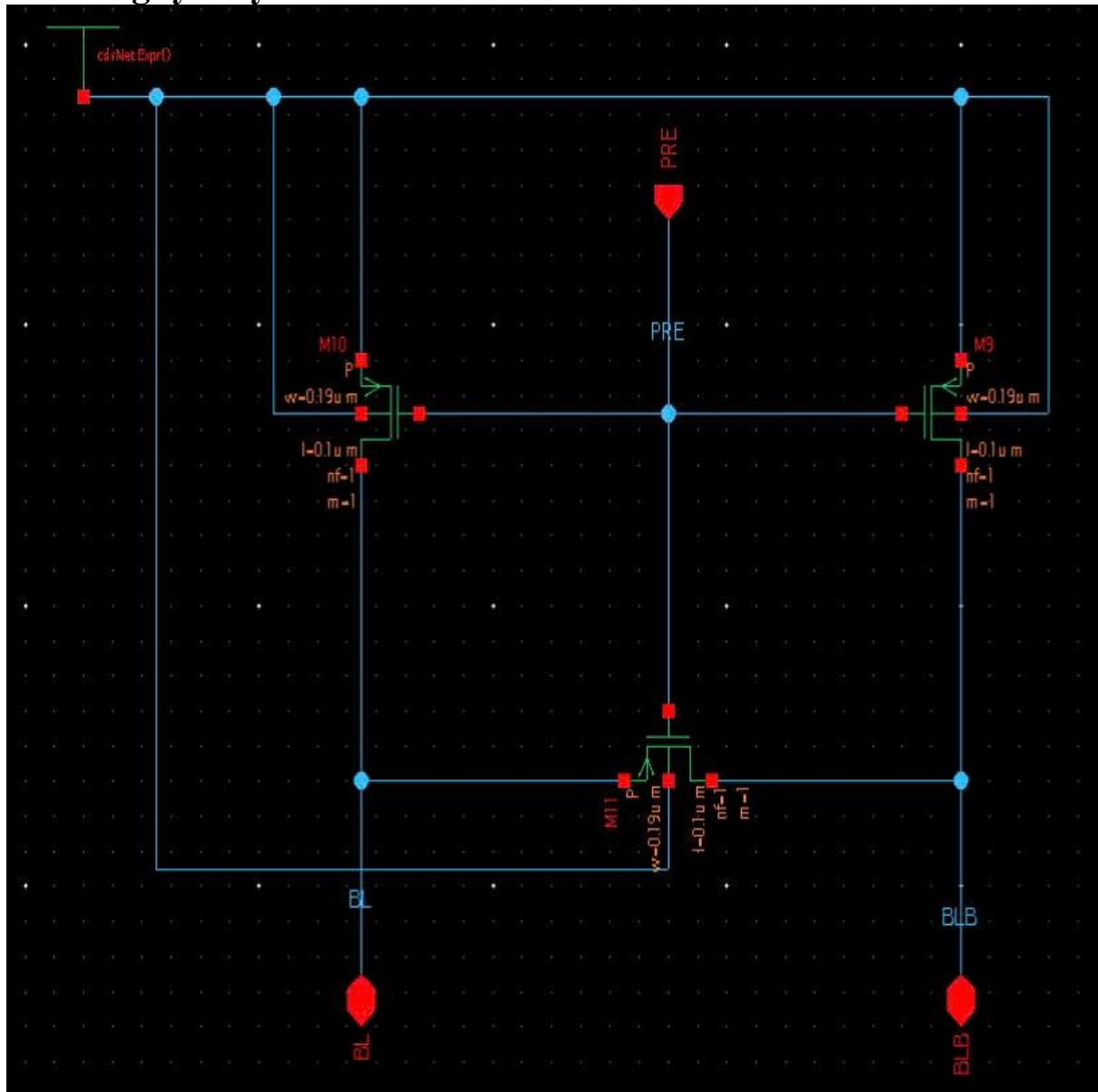
Mạch nạp trước hay còn gọi là mạch pre-charge có chức năng sạc hai đường bit có cùng mức điện áp trước khi chốt địa chỉ. Mạch nạp trước cấu tạo gồm 3 transistor PMOS: trái phải có nhiệm vụ sạc, dưới có nhiệm vụ cân bằng điện áp 2 đường bit.

Nguyên lý hoạt động

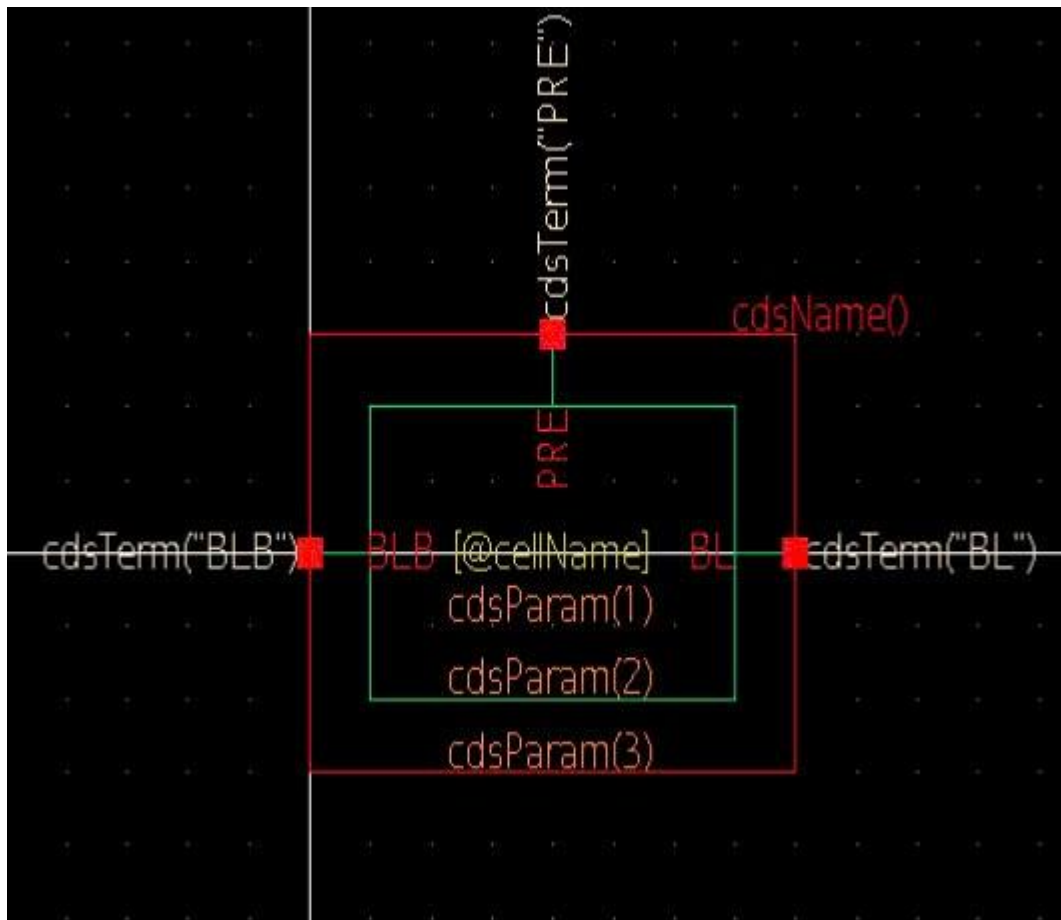
Mạch nạp trước hoạt động khi có tín hiệu $PRE = 0$. Khi $PRE = 1$, nếu điện áp

giữa hai dòng bit chênh lệch nhau thì PMOS dưới sẽ thực hiện việc phóng điện đối với bên có điện áp cao hơn và nạp điện cho bên có điện áp thấp hơn cho đến khi mức điện áp được cân bằng (có giá trị gần bằng nhau). Khoảng thời gian thực hiện việc

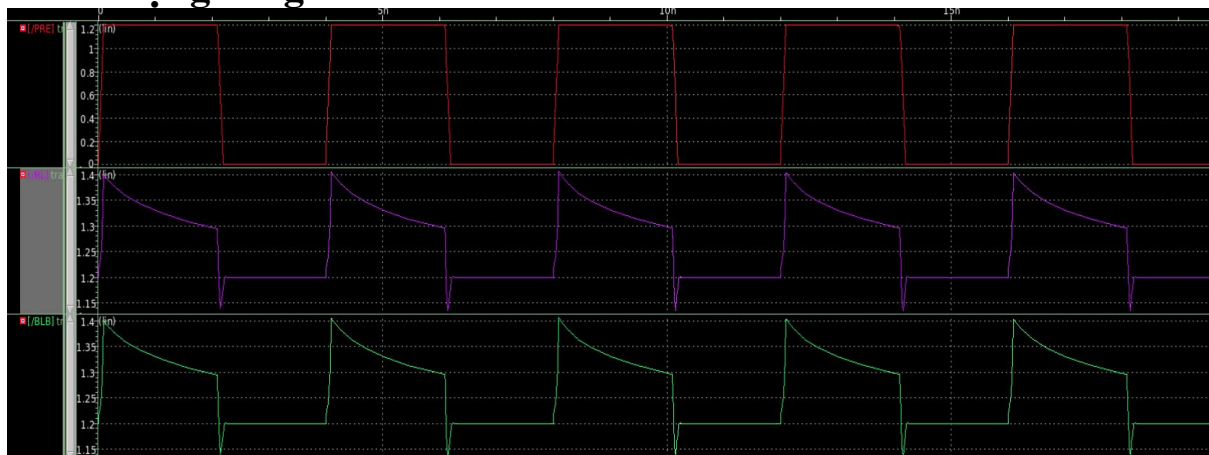
Sơ đồ nguyên lý:



Đóng gói:



Sơ đồ dạng sóng:

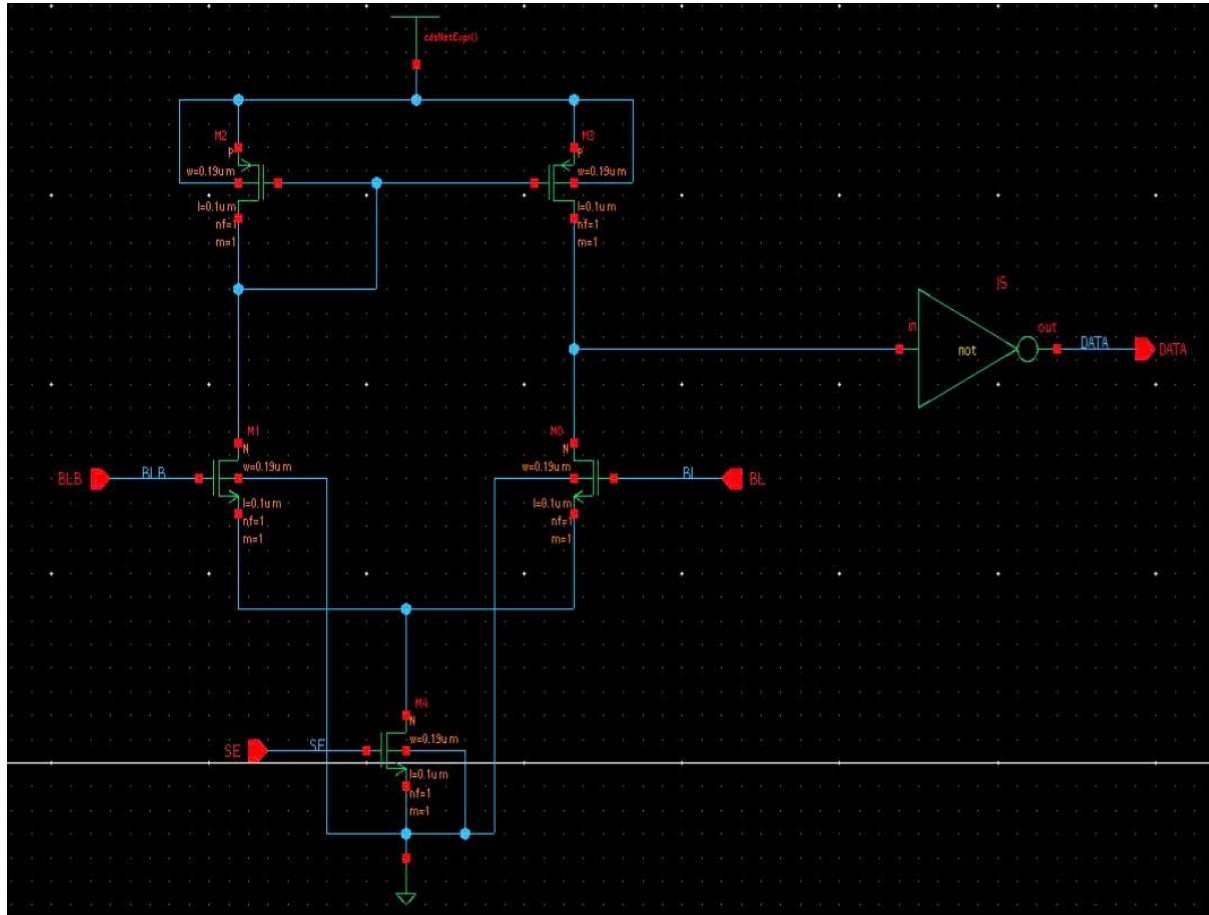


khi $PRE = 0$, hai đường bit được sạc nên lên mức 1.2V(VDD)

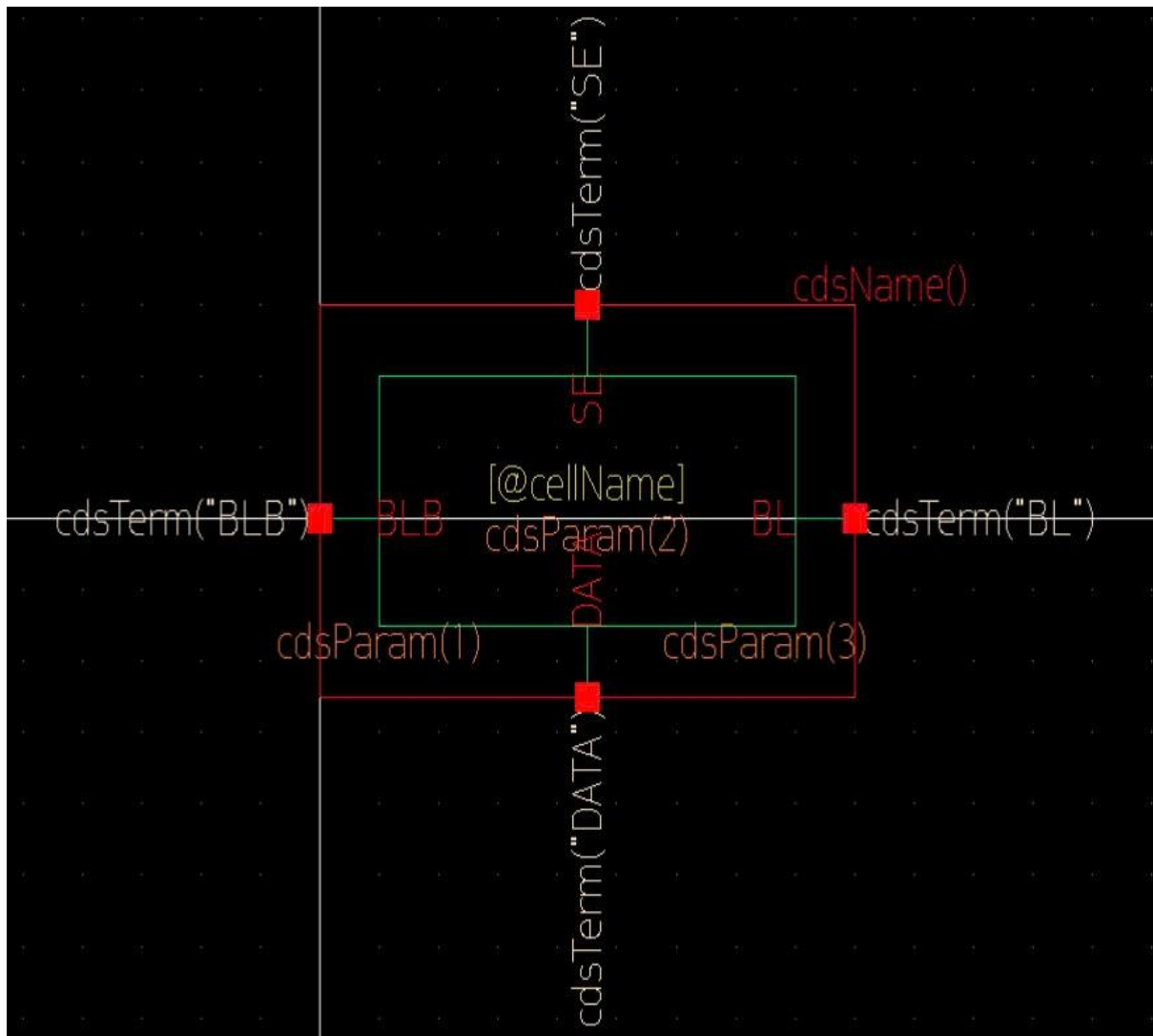
Mạch đọc (sense amplifier)

Cấu tạo

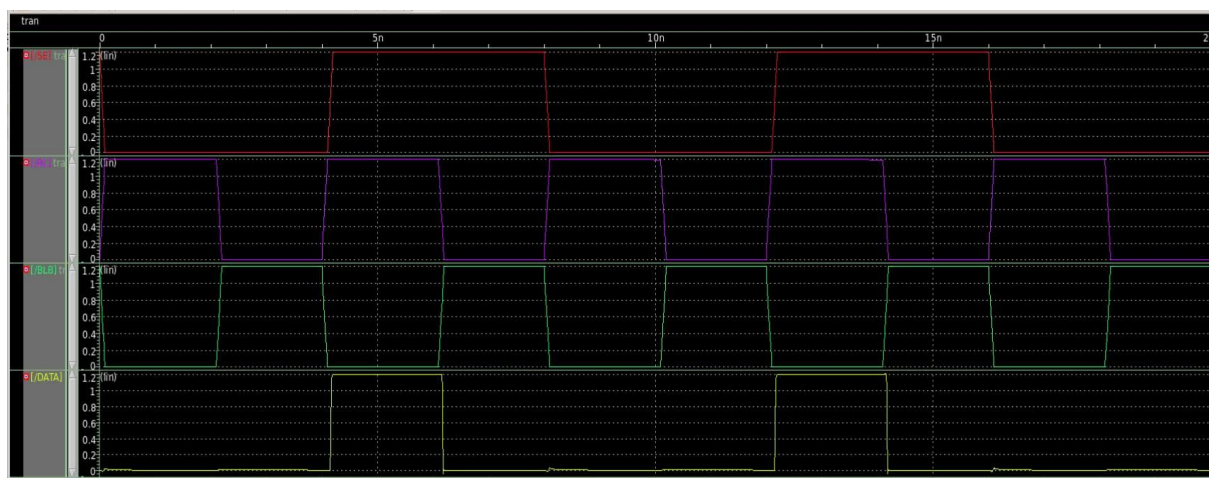
Sơ đồ nguyên lý



Đóng gói



Sơ đồ dạng sóng

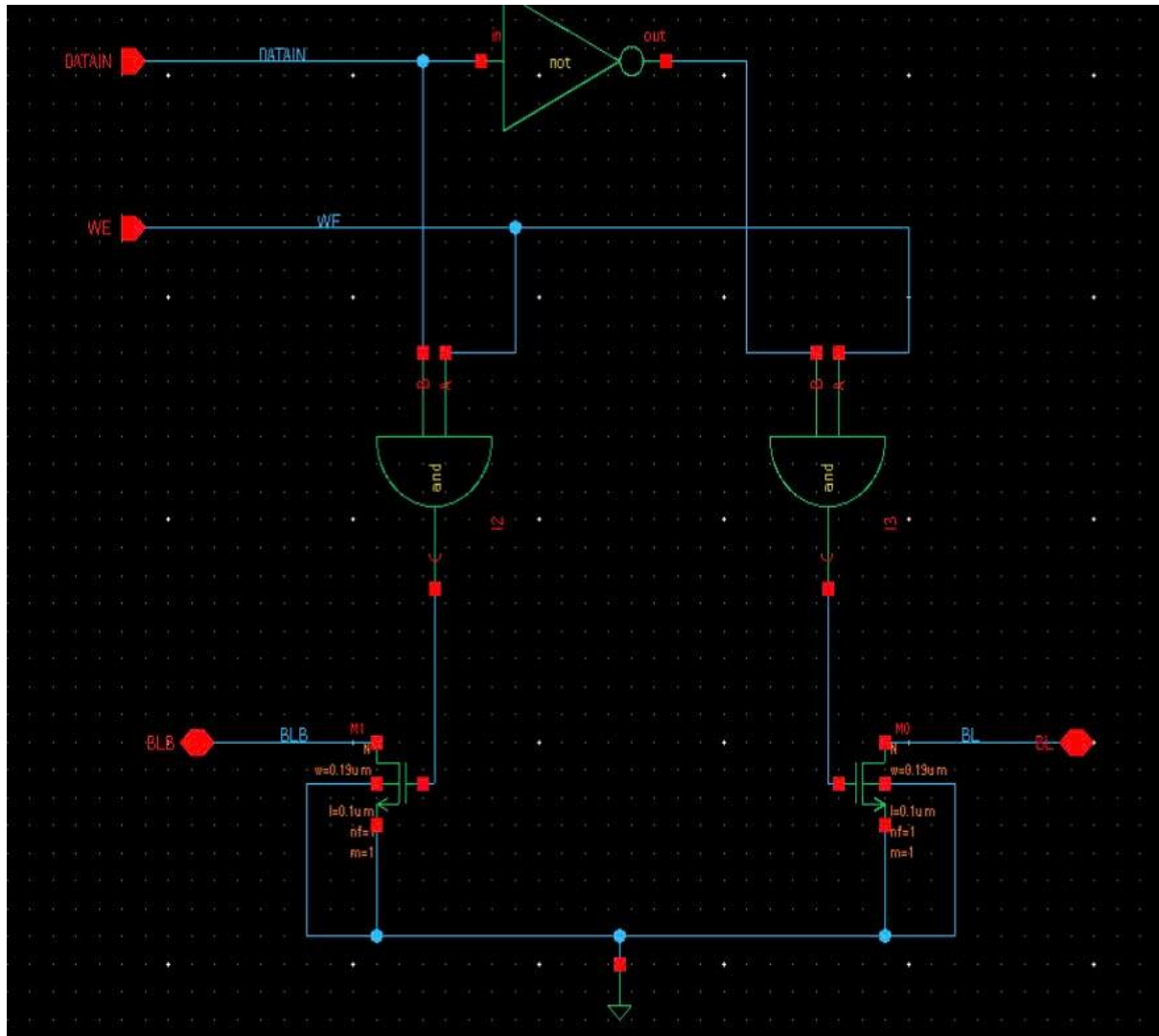


khi SE = 1 (cho phép đọc), Q sẽ có ngõ ra tương ứng với BL và BLB. Khi BL = 1 và BLB = 0 thì Q = 1, ngược lại BL = 0 và BLB = 1 thì Q = 0.

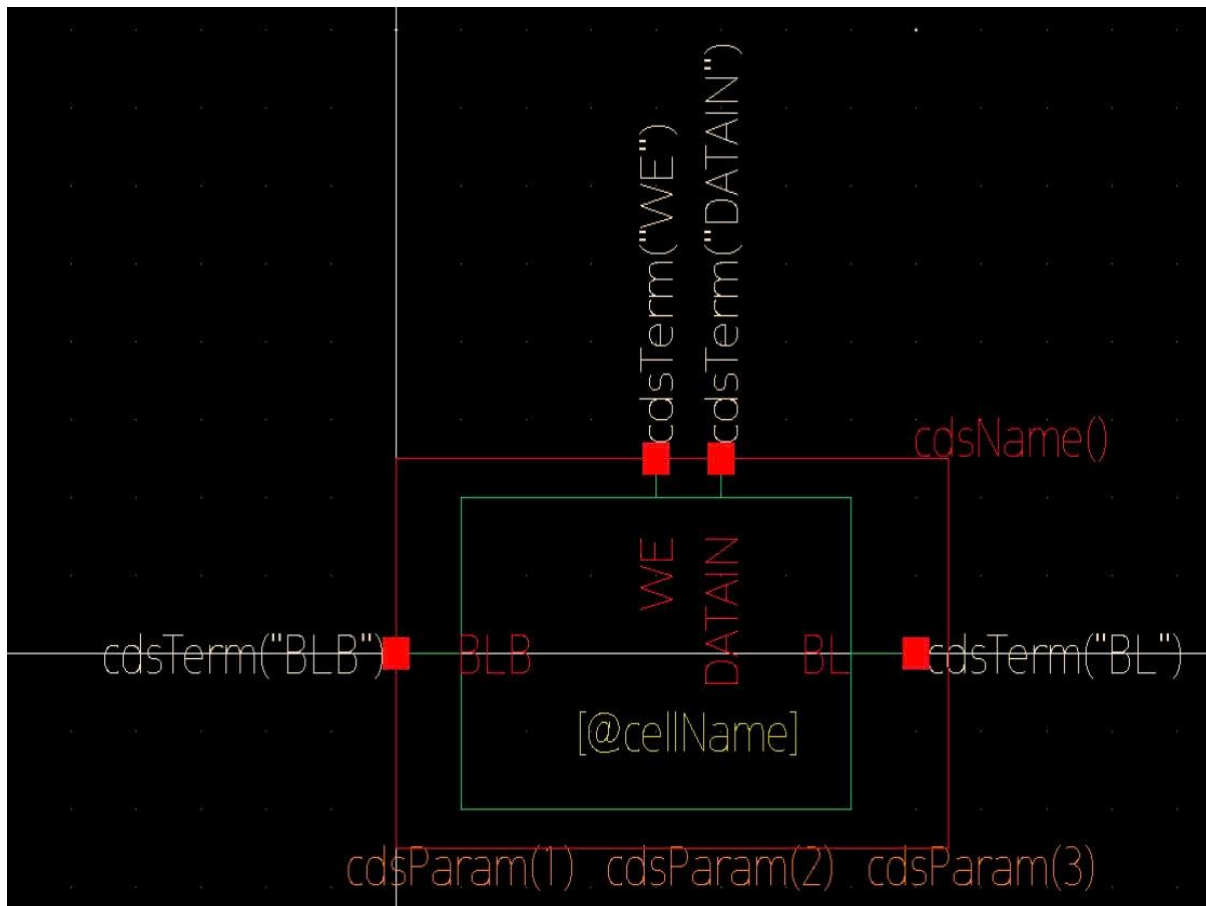
Mạch ghi

Cấu tạo

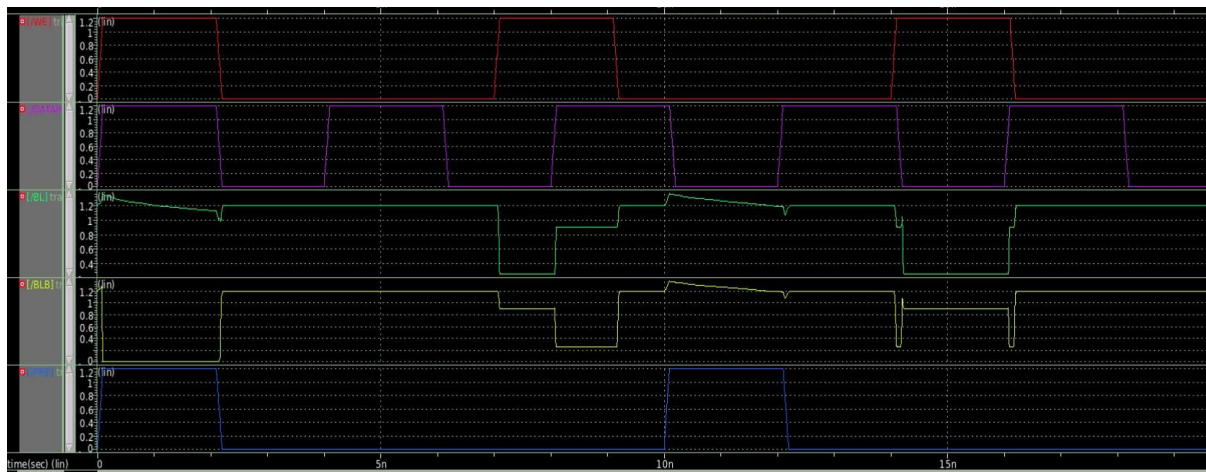
Sơ đồ nguyên lý



Đóng gói



Sơ đồ dạng sóng

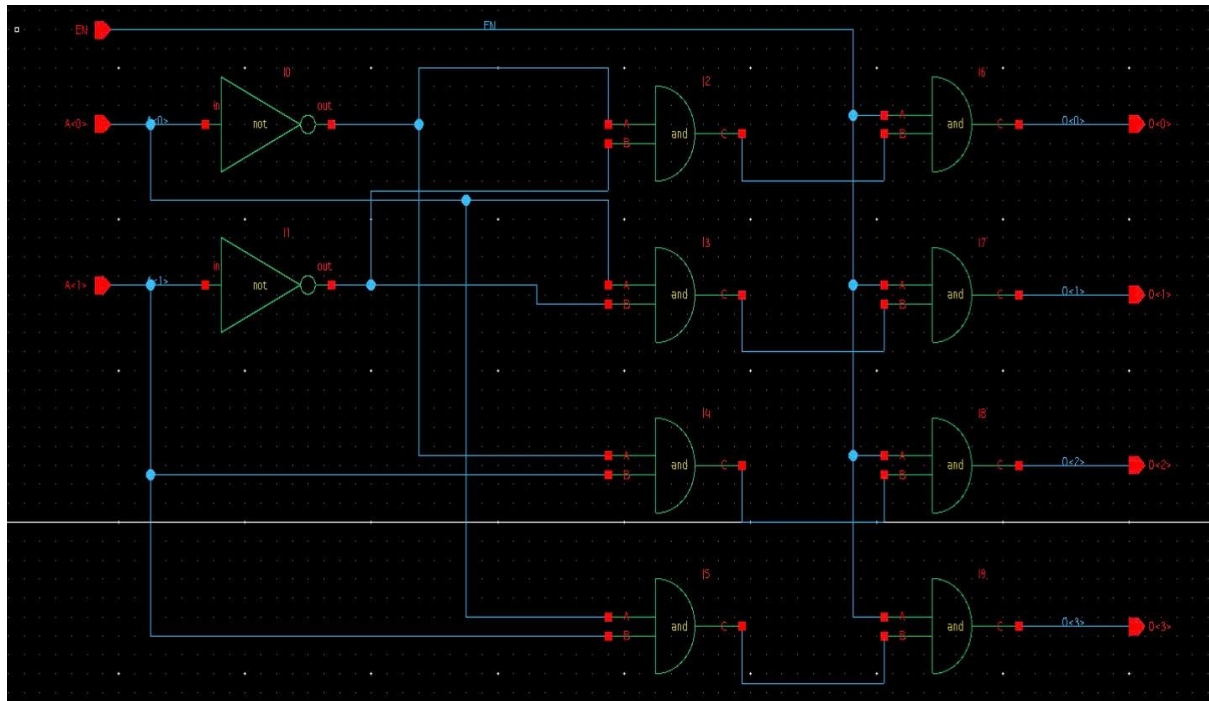


Theo hình, khi WE = 0 (chưa cho phép ghi) thì không tác động đến BL và BLB và không quan tâm đến DATA_IN. BL = BLB = 1 là do PRE = 0. Khi WE = 1 (cho phép ghi), BL và BLB có trạng thái đối lập nhau. Khi đó BL có cùng trạng thái với DATA_IN đúng theo bảng trạng thái

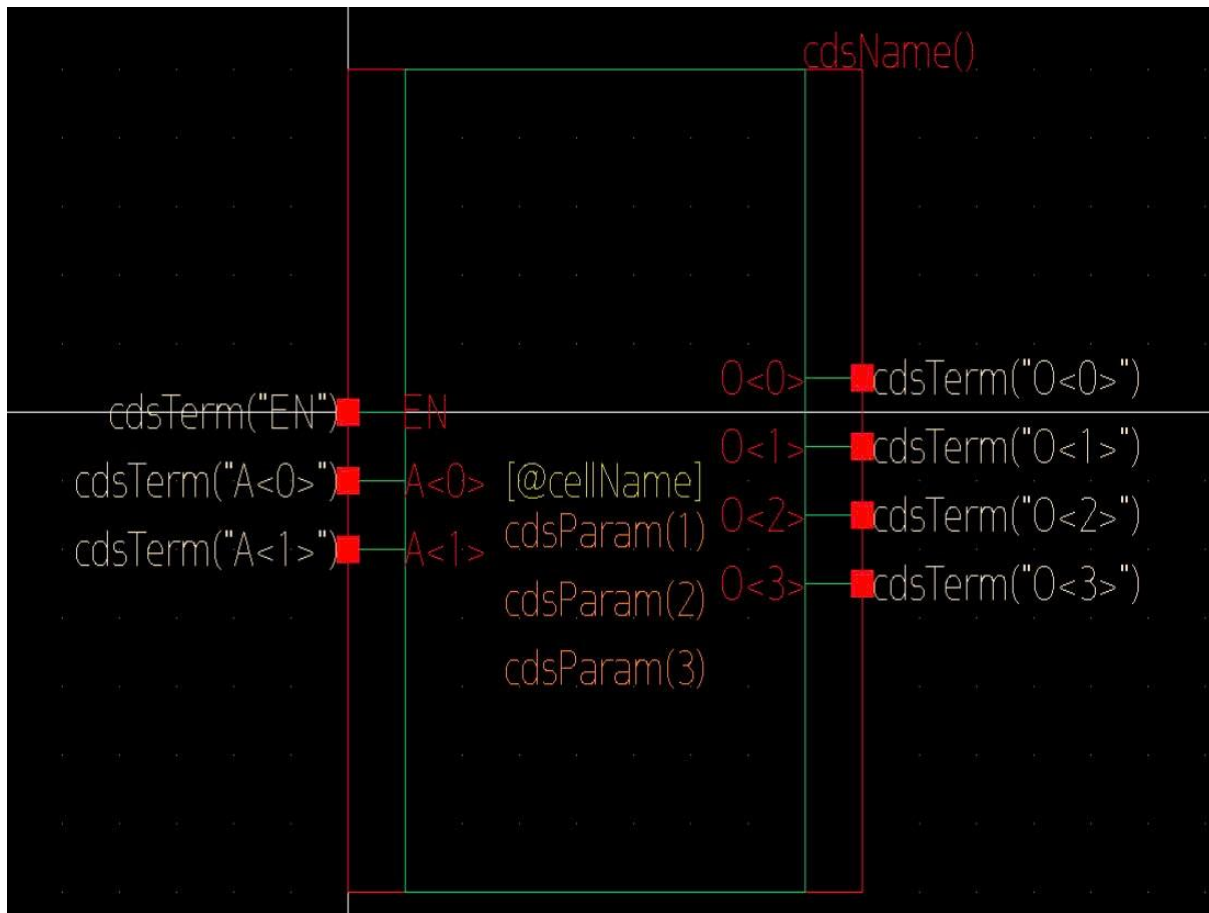
DECODER

Cấu tạo

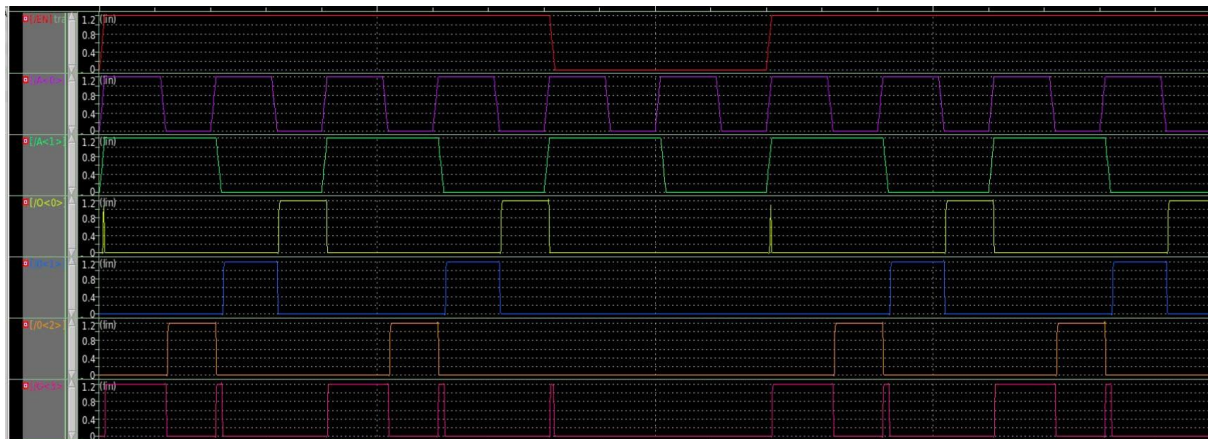
Sơ đồ nguyên lý



Đóng gói



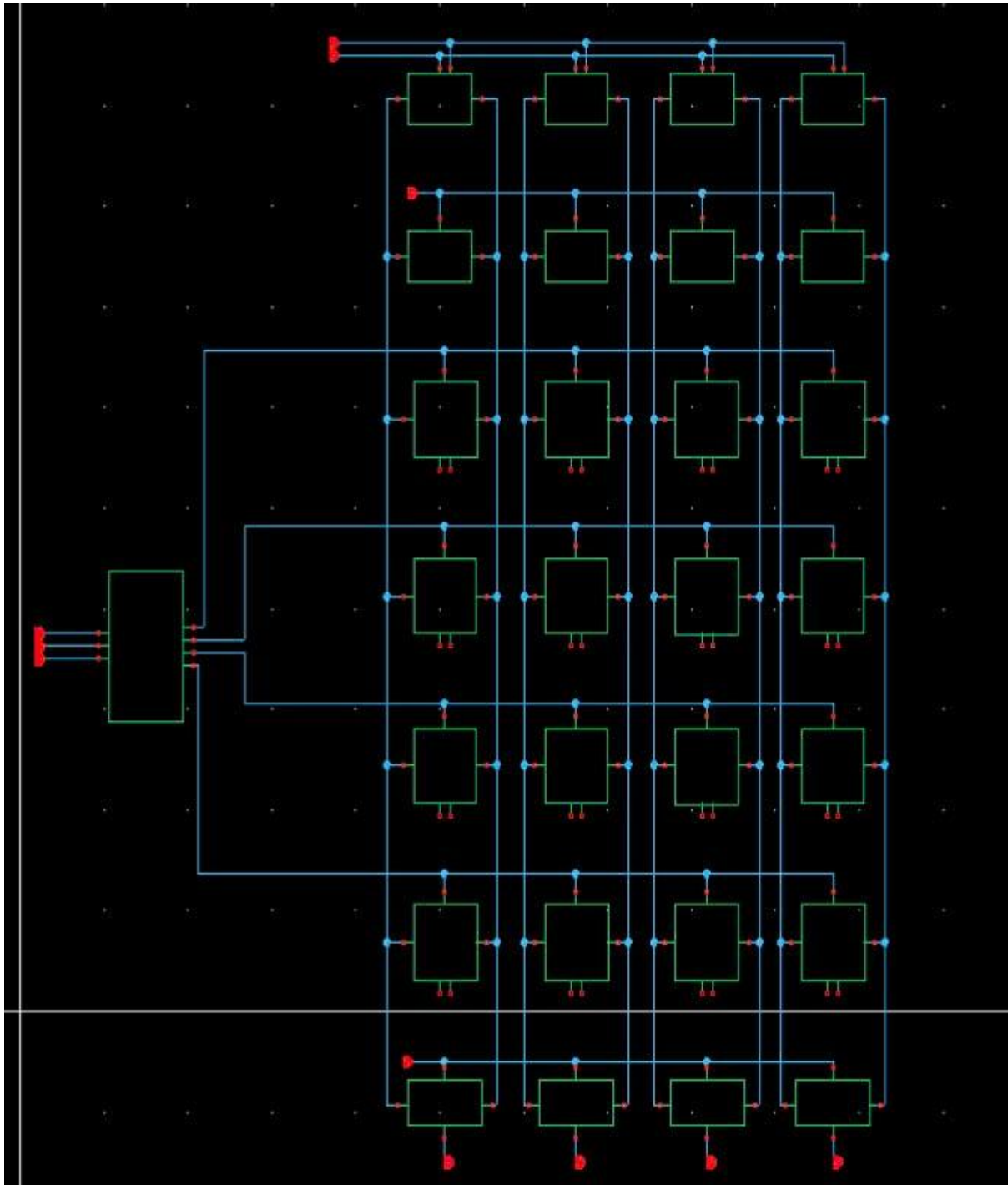
Sơ đồ dạng sóng



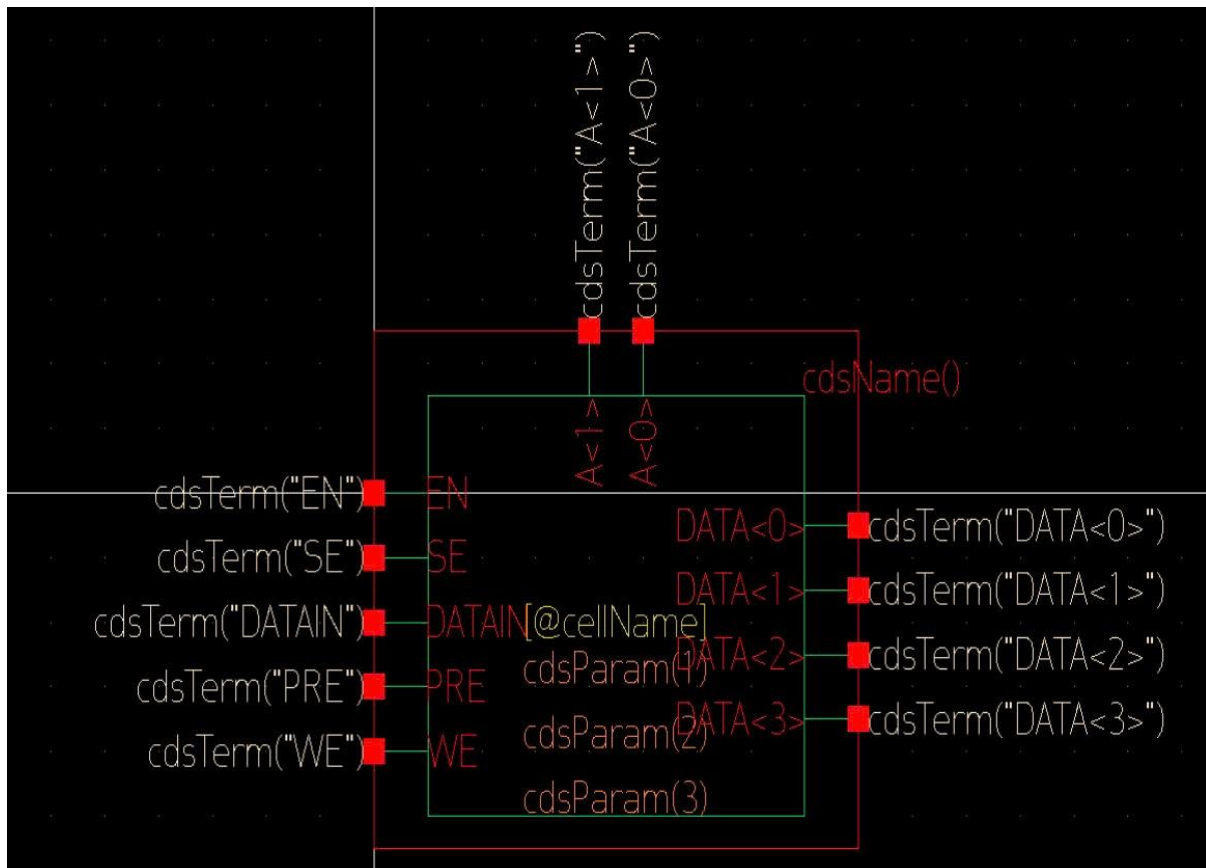
SRAM

Cấu tạo

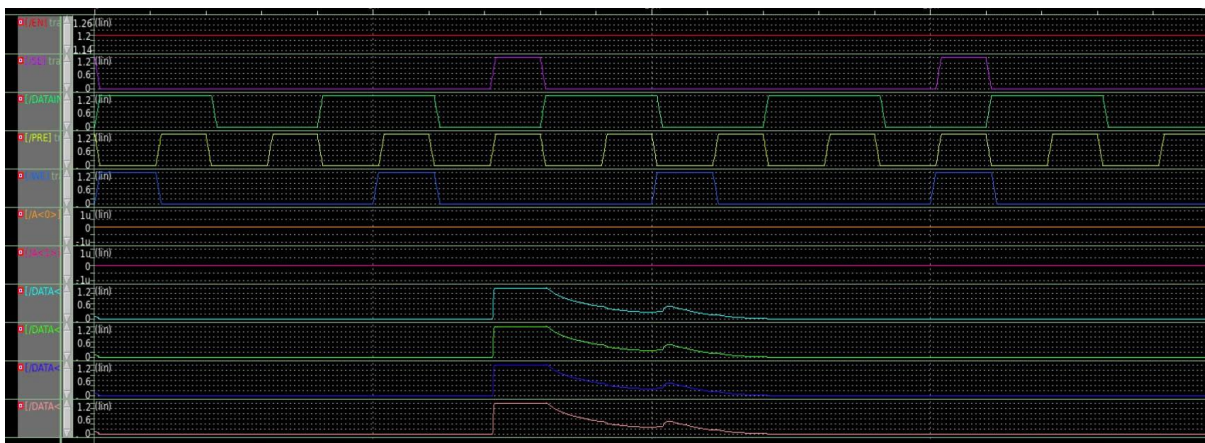
Sơ đồ nguyên lý



Đóng gói



Sơ đồ dạng sóng



Theo hình từ đầu đến A và từ B đến C, lúc này $PRE = 0$, mạch đang được sạc trước. $WE = 1$ (cho phép ghi giá trị $DATA_IN = 1$), $A0 = A1 = 0$ tương ứng với đường WL00 được kích, $DATA_IN = 1$ được ghi vào ô nhớ. Từ C đến D, SE tích cực $A0 = A1 = 0$ tương ứng với đường WL00 được kích, mạch đọc trạng thái của hàng 00. Dạng sóng mô phỏng đúng với lý thuyết được phân tích.

