

Υλοποίηση Ελεγκτή VGA

Εργαστήριο Ψηφιακών Συστημάτων (2023-24)

Ιωάννης Αθανασιάδης 03491

13/01/2024

Μέρος Α – Υλοποίηση VRAM

Για την υλοποίηση της **Video-RAM** χρησιμοποιούμε τρεις *block-RAM* των **16K**, μία για κάθε χρώμα του **RGB**, έτσι διαμορφώνουμε μία εικόνα με διαστάσεις **128x96**.

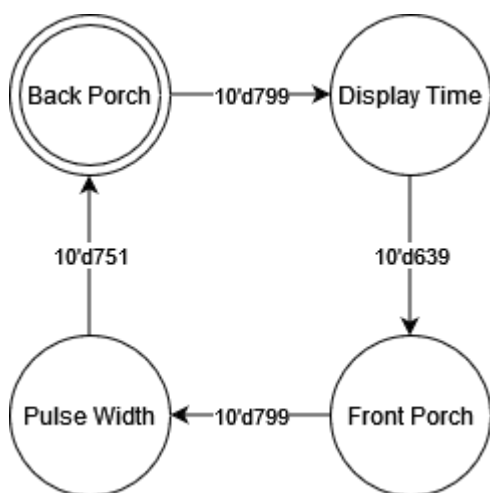
Για *top module* χρησιμοποιούμε το `vram_module`

Μονάδα `vram_module`

Μέρος Β – Υλοποίηση HSYNC και οριζοντίου μετρητή pixel

Για την δημιουργία του οριζόντιου συγχρονισμού **HSYNC** διαμορφώνουμε μία **μηχανή καταστάσεων** για τις διάφορες καταστάσεις, όπως τα *porch* που υπάρχουν πριν και μετά τον χρόνο προβολής των *pixel*.

Πιο συγκεκριμένα, δημιουργούμε ένα παλμό **pixel_clk**, με έχει συχνότητα **25 MHz**, ο οποίος “προχωράει” τον μετρητή καταστάσεων που έχουμε.



State	Horiz. Sync	
	Time	pixel_clk
display time hsync	25.6 μs	640
back porch hsync	1.92 μs	48
front porch hsync	640 ns	16
pulse width	3,84 μs	96

Επιπλέον, στην κατάσταση του **display time** χρησιμοποιούμε έναν νέο μετρητή για τα *pixel* μέσω του οποίου γίνεται το **upscaling** από την ανάλυση της εικόνας μας στην ανάλυση του **VGA** που είναι πέντε φορές μεγαλύτερη. Αυτό γίνεται μετρώντας **πέντε παλμούς** του **pixel_clk** για να προχωρήσουμε στην επόμενη διεύθυνση της **VRAM**.

Ο λόγος που επιλέγεται μια τέτοια υλοποίηση είναι καθαρά για την ευκολία του σχεδιαστή και όχι για λόγους βελτιστοποίησης που κυκλώματος.

Σημείωση: το σήμα **pixel_clk** σε καμία περίπτωση δεν μπορεί να χρησιμοποιηθεί ως αντικατάστατο του πραγματικού ρολογιού, *clk*, που δημιουργείται από τον ταλαντωτή της **FPGA**.

Σημείωση: στο σχεδιάγραμμα της μηχανής καταστάσεων η συνθήκη αλλαγής κατάστασης είναι η τιμή του μετρητή καταστάσεων,

π.χ. στο βέλος θα έπρεπε να γράφει `counter == 10'd799`

Μέρος Γ – Υλοποίηση VSYNC και κατακόρυφου μετρητή pixel

Ο κατακόρυφος συγχρονισμός *VSYNC* λειτουργεί με παρόμοια λογική με εκείνη του *HSYNC*. Οι βασικές διαφορές είναι ότι αντί για *pixel_clk* **μετράμε** σε **παλμούς *HSYNC***, έτσι έχουμε διαφορετικές τιμές στον **μετρητή καταστάσεων** εφόσον έχουμε διαφορετικούς χρόνους στην **μηχανική καταστάσεων**.

State	Vertical Sync	
	Time	HSYNC pulses
display time vsync	15.36 ms	480
back porch vsync	928 μs	29
front porch vsync	320 μs	10
pulse width	64 μs	2

