

Flip-Flop e contatori

Gruppo AA

Luca Ciambriello, Gianfranco Cordella, Leonardo Bertini

6 Aprile 2017

1 Scopo e strumentazione

Lo scopo dell'esperimento Ã quello di costruire alcuni circuiti logici sequenziali e osservarne le caratteristiche . Si sono usati nell'esperienza ,oltre all'usuale oscilloscopio e ad arduino, anche due circuiti integrati NAND (SN74LS00), uno XOR (SN74LS86),due Dual-latch (SN74LS74) e un contatore a 4-bit (SN74LS93). Abbiamo inoltre utilizzato 4 diodi led , un DIP switch a 4 interruttori e un pulsante a doppio contatto, oltre a 4 resistenze, i cui valori misurati con il tester sono $R_1 = 319 \pm 4 \Omega$ $R_2 = 329 \pm 4 \Omega$ $R_3 = 324 \pm 4 \Omega$ $R_4 = 330 \pm 4 \Omega$.

2 Flip-Flop D-Latch

Si Ã montato il circuito in figura (??) utilizzando entrambi gli integrati SN74LS00. Il primo integrato Ã servito per implementare le 4 porte NAND mentre dell'altro integrato Ã stata usata una sola porta NAND per realizzare un NOT. Si Ã prelevato il segnale, da mandare in ingresso a questo circuito, dall'uscita Y_1 di arduino (onda quadra). Si Ã collegato l'ENABLE a massa tramite un interruttore del DIP Switch , in modo da osservare l'uscita del circuito al variare dello stato dell'ENABLE. Il ruolo del NOT Ã quello di evitare lo stato NOT-ALLOWED ovvero di avere due segnali bassi all'uscita di U_1a e U_1d . Dallo schema circuitale prima indicato , si puÃ notare che se l'ENABLE Ã basso allora le uscite di U_1a e U_1d sono entrambe alte e quindi entrambe le uscite sono nello stato HOLD ovvero non oscillano ;in particolare Q Ã alta mentre Qbar Ã bassa. Qbar Ã mostrato in figura (??), in cui l'offset dell'uscita Ã $130 \pm 10 \text{mV}$. Tale errore di lettura Ã dovuto all'ampiezza della traccia sull'oscilloscopio. Nel caso in cui l'ENABLE Ã alto le uscite di U_1a e U_1d sono sempre opposte e quindi le uscite sono $Q=D$ e $Qbar=\bar{D}$. Tale comportamento Ã confermato dai grafici in figura (??) e figura (??), che quindi verificano anche la tabella di veritÃ del circuito.

Abbiamo poi misurato il ritardo temporale tra segnale in ingresso e in uscita (Q). Tale ritardo corrisponde alla distanza temporale, tra il 50% dell'incremento massimo di entrambi i segnali, durante la fase di salita. Si Ã ottenuto $27.0 \pm 0.2 \text{ns}$.

3 Shift register con D-Latch

Abbiamo realizzato il circuito in figura (??) , collegando a massa i preset tramite il pulsante e l'ingresso DATA a massa tramite il Dip Switch. Come CLOCK si Ã usata ancora l'uscita Y_1 di arduino e abbiamo agito sul potenziometro in modo da ottenere una frequenza intorno ai 10 Hz. Quando il preset Ã nello stato basso le uscite sono tutte alte mentre appena diventa alto le uscite iniziano a spegnersi se DATA Ã nel livello basso; altrimenti rimangono accese.??????

4 Grafici ed immagini

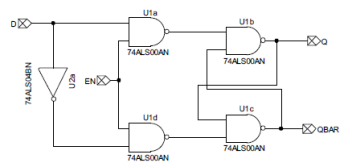


Figure 1

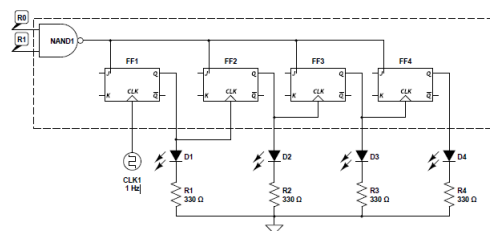


Figure 2

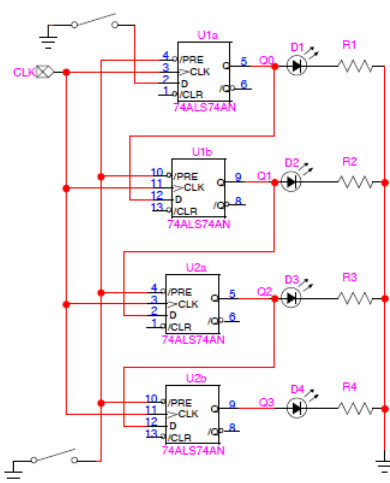


Figure 3: .