

Flip-Flop e contatori

Gruppo AA

Luca Ciambriello, Gianfranco Cordella, Leonardo Bertini

6 Aprile 2017

1 Scopo e strumentazione

Lo scopo dell'esperimento è quello di costruire alcuni circuiti logici sequenziali e osservarne le caratteristiche. Si sono usati nell'esperienza, oltre all'usuale oscilloscopio e ad arduino, anche due circuiti integrati NAND (SN74LS00), uno XOR (SN74LS86), due Dual-latch (SN74LS74) e un contatore a 4-bit (SN74LS93). Abbiamo inoltre utilizzato 4 diodi led, un DIP switch a 4 interruttori e un pulsante a doppio contatto, oltre a 4 resistenze, i cui valori misurati con il tester sono $R_1 = 319 \pm 4 \Omega$, $R_2 = 329 \pm 4 \Omega$, $R_3 = 324 \pm 4 \Omega$, $R_4 = 330 \pm 4 \Omega$.

2 Flip-Flop D-Latch

Si è montato il circuito in figura (1) utilizzando entrambi gli integrati SN74LS00. Il primo integrato è servito per implementare le 4 porte NAND mentre dell'altro integrato è stata usata una sola porta NAND per realizzare un NOT. Si è prelevato il segnale, da mandare in ingresso a questo circuito, dall'uscita Y_1 di arduino (onda quadra). Si è collegato l'ENABLE a massa tramite un interruttore del DIP Switch, in modo da osservare l'uscita del circuito al variare dello stato dell'ENABLE. Il ruolo del NOT è quello di evitare lo stato NOT-ALLOWED ovvero di avere due segnali bassi all'uscita di U_1a e U_1d . Dallo schema circuitale prima indicato, si può notare che se l'ENABLE è basso allora le uscite di U_1a e U_1d sono entrambe alte e quindi entrambe le uscite sono nello stato HOLD ovvero non oscillano; in particolare Q è alta mentre Qbar è bassa. Qbar è mostrato in figura (4), in cui l'offset dell'uscita è $130 \pm 10 \text{mV}$. Tale errore di lettura è dovuto all'ampiezza della traccia sull'oscilloscopio.

Nel caso in cui l'ENABLE è alto le uscite di U_1a e U_1d sono sempre opposte e quindi le uscite sono $Q=D$ e $Q\text{Bar}=\bar{D}$. Tale comportamento è confermato dai grafici in figura (2) e figura (3), che quindi verificano anche la tabella di verità del circuito.

Abbiamo poi misurato il ritardo temporale tra segnale in ingresso e in uscita (Q). Tale ritardo corrisponde alla distanza temporale, tra il 50% dell'incremento massimo di entrambi i segnali, durante la fase di salita. Si è ottenuto $27.0 \pm 0.2 \text{ns}$.

3 divisore di frequenza

È stato realizzato il circuito in figura (5), composto da 4 flip-flop jk (contenuti nell'integrato 74LS93). Tutti i flip flop hanno all'ingresso J il segnale in uscita dalla porta NAND1 e l'uscita Q di ognuno funge da clock per il flip-flop successivo. Per visualizzare i valori delle uscite dei flip-flop nel tempo, è stata collegata ciascuna uscita alla terra tramite un diodo led (per osservare tramite l'accensione il passaggio di corrente) e una resistenza $\sim 330 \Omega$ (per limitare la corrente). Perché il circuito funzionasse è stato necessario porre almeno uno dei due ingressi R0 e R1 del NAND1 a massa, lasciando l'altro eventualmente flottante.

È stato inviato, tramite arduino, un segnale di clock di frequenza $\sim 1 \text{Hz}$, in particolare $f = 1.02 \pm 0.01 \text{Hz}$, ricavato a partire dalla misura del periodo all'oscilloscopio con i cursori, con errore dato dalla parte di lettura. Si è osservato che le 4 uscite Q dei flip flop assumono valori corrispondenti, in logica binaria, ai numeri da 0 a 15 in maniera ordinata e crescente. Nel circuito (in figura (5)) le uscite sono ordinate in modo tale che l'uscita del FF4 rappresenti la cifra più significativa, mentre quella del FF1 quella

meno significativa.

Sempre con arduino è stato inviato un segnale di frequenza più elevata ~ 50 kHz ($f = 50.5 \pm 0.5$ kHz ricavato ancora dalla misura del periodo all'oscilloscopio). Sono state visualizzate le uscite all'oscilloscopio. E' stato osservato così che la frequenza dell'uscita Q1 del primo FF1 è la metà di quella del clock(figura (6)), mentre per il flip-flop successivi ciascuna uscita (Q2, Q3, Q4 da sinistra a destra) ha una frequenza dimezzata rispetto a quella precedente(figura (7); figura (8); figura (9)).

E' stato misurato per ciascuna uscita il ritardo del segnale rispetto a quello di clock. La misura è stata effettuata valutando l'intervallo temporale che intercorreva tra gli istanti in cui i due segnali raggiungevano la metà del loro valore massimo, in corrispondenza del loro fronte di discesa. In corrispondenza del fronte di salita del clock l'uscita ha un fronte di discesa; il tempo di ritardo, misurato all'oscilloscopio, risultava circa lo stesso di quello corrispondente al fronte di discesa del clock (comportamento simmetrico).

	Ritardo [ns]	errore
Q_1	14.4	0.4
Q_2	26	1
Q_3	38	1
Q_4	50	1

Tabella 1: Ritardi dei segnali in uscita

Dai dati si può osservare che ciascun flip flop determina un ritardo di ~ 12 ns rispetto al suo ingresso figura (12).

Infine si è modificato il circuito in modo tale che le uscite si azzerassero una volta raggiunto il numero 10. E' stato realizzato un reset asincrono, cioè che non era azionato dal clock, ma che agiva in base agli output dei flip flop. Sono state quindi prelevate le uscite Q2 e Q4 ed inviate all'ingresso di una porta AND. L'uscita di quest'ultima è stata inviata su uno dei reset R0 o R1, lasciando l'altro flottante. In questo modo non appena veniva raggiunto il 10 Q2 e Q4 assumevano il valore alto portando alta l'uscita dell'AND (che in tutti gli altri casi è bassa), che veniva portata all'ingresso della NAND1, la cui uscita diventava bassa. Così facendo gli ingressi J dei flip flop JK erano bassi mentre quelli K, flottanti, alti e quindi venivano tutti resettati. Sono visualizzati così i numeri che vanno da 0 a 9. Il periodo in Q4, misurato all'oscilloscopio, è il decuplo di quello di clock (640 ± 4 ms per un ingresso di 64.0 ± 0.4 ms).

La porta AND è stata realizzata, come per il flip-flop D-latch, con due NAND dell'integrato SN74LS00: i due ingressi sono stati inviati agli ingressi del primo NAND e la sua uscita all'ingresso del secondo NAND, lasciando l'altra flottante. L'uscita del secondo NAND rappresenta l'uscita dell'AND.

4 Shift register con D-Latch

Abbiamo realizzato il circuito in figura (??), collegando a massa i preset tramite il pulsante e l'ingresso DATA a massa tramite il Dip Switch. Come CLOCK si è usata ancora l'uscita Y_1 di arduino con una frequenza intorno ai 1 Hz. Quando il preset è nello stato basso le uscite sono tutte alte, mentre appena diventa alto le uscite iniziano a spegnersi o ad accendersi in base all'input DATA: lo shift register acquisisce il valore che assume DATA in corrispondenza del fronte di salita del clock. Ad ogni colpo di clock questo valore viene trasferito ordinatamente dall'uscita Q0 fino a quella Q3.

5 Generatore di sequenza pseudo casuali

E' stato utilizzato il circuito della sezione precedente ed è stata apportata una modifica, inserendo uno XOR appartenente all'integrato SN74LS86: figura (11). All'ingresso dello XOR sono state inviate le uscite del terzo e del quarto D-latch, e la sua uscita è stata inviata all'ingresso DATA del primo flip flop.

E' stata dunque osservata la sequenza dei valori in uscita nel tempo, tramite l'osservazione dei diodi led inviando un clock a bassa frequenza ~ 1 Hz. La successione osservata è riportata in tabella (2). I segnali Q1,Q2,Q3,Q4 sono prelevati rispettivamente agli ingressi dei diodi D1,D2,D3,D4.

Q1	Q2	Q3	Q4
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1
1	0	0	0
0	1	0	0
0	0	1	0
1	0	0	1
1	1	0	0
0	1	1	0
1	0	1	1
0	1	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Tabella 2: Sequenza pseudocasuale osservata

La successione ha periodo 15 ed è completa.

Sono state generate altre sequenze pseudo-casuali. In particolare sono stati prelevati gli ingressi dello XOR non dalle uscite 3 e 4 ma da quelle 1 e 4. Anche in questo caso si osserva una sequenza completa. Si osservano invece sequenze non complete (periodo minore di 15) prelevando gli ingressi dalle uscite 2 e 4, oppure da 2 e 3 o da 1 e 2.

Infine è stato realizzato un tap usando una porta NAND i cui ingressi sono stati presi da Q3 e Q4. Anche in questo caso si osserva una sequenza completa, anche se non può essere considerata pseudocasuale in quanto ad ogni colpo di clock cambia stato una sola uscita e ciò avviene ordinatamente dalla porta Q1 a quella Q4.

6 Conclusioni

E' stato osservato il comportamento dei flip flop. Nella prima parte è stato analizzato il comportamento interno del flip flop d-latch. In seguito sono stati utilizzati flip flop d-latch e jk per realizzare circuiti più complessi. In tutti i casi è stato osservato un comportamento che risulta in accordo con quanto atteso.

7 Grafici ed immagini

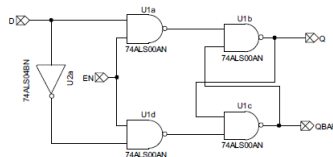


Figura 1: Schema circuitale del Flip-Flop D-Latch.

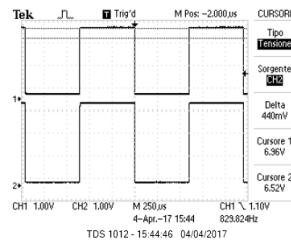


Figura 2: Il segnale in alto è l'ingresso ,mentre l'atro l'uscita Q.

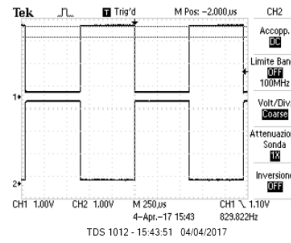


Figura 3: Il segnale in alto è l'ingresso ,mentre l'atro l'uscita Qbar.

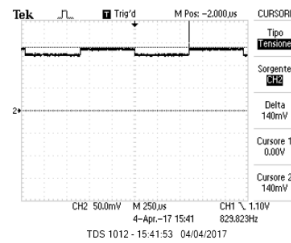


Figura 4: Uscita Qbar con ENABLE nel livello basso

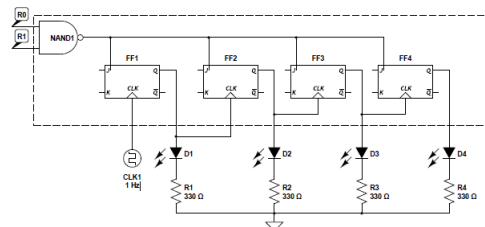


Figura 5

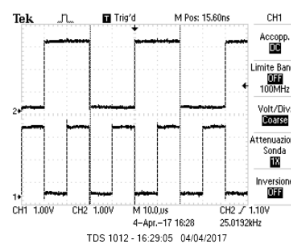


Figura 6: Il segnale in basso è il clock, mentre quello in alto è l'ingresso del diodo D1.

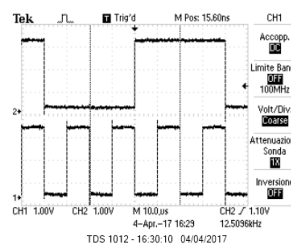


Figura 7: Il segnale in basso è il clock, mentre quello alto è l'ingresso del diodo D2

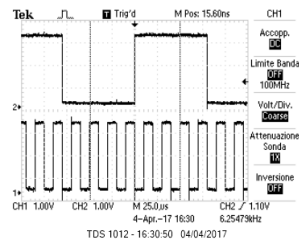


Figura 8: Il segnale in basso è il clock, mentre quello alto è l'ingresso del diodo D3

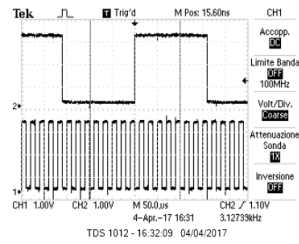


Figura 9: Il segnale in basso è il clock, mentre quello alto è l'ingresso del diodo D4

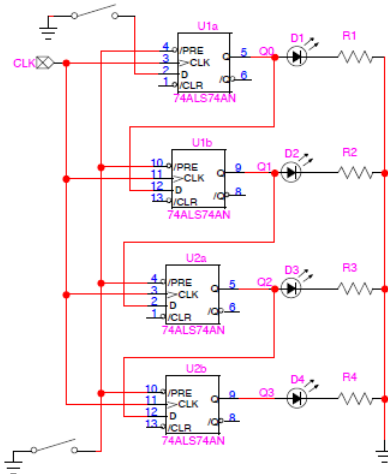


Figura 10: Schema circuitale usato per realizzare uno shift register con D-Latch

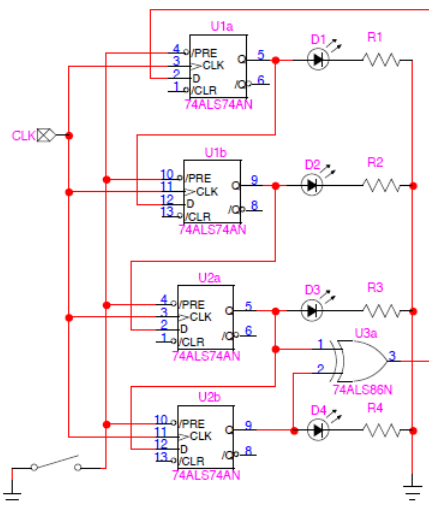


Figura 11: Schema circuitale usato per realizzare un generatore di sequenze pseudo casuali

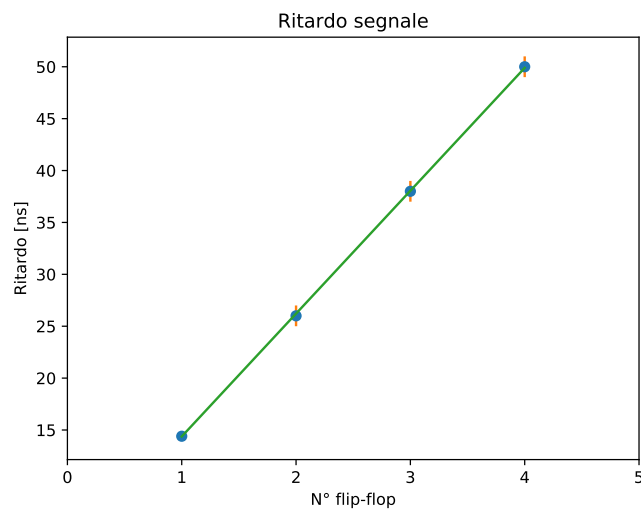


Figura 12: Ritardi delle uscite Q1,Q2,Q3,Q4 rispetto al CLOCK.