

## 真 OO无双 之 真乱舞书

寫程式是很快樂的一件事 Since Sep.15,2006

(原創) 由C語言學習Verilog的思維轉換 (C/C++) (C) (IC Design) (Verilog)

## Abstract

Verilog由於在語法上向C靠攏，若熟悉C語言，學Verilog倍感親切，但也由於語法類似，若把Verilog當成C語言來思考，怎很難抓到硬體的精神。

## Introduction

Verilog有3點思維與C語言不一樣

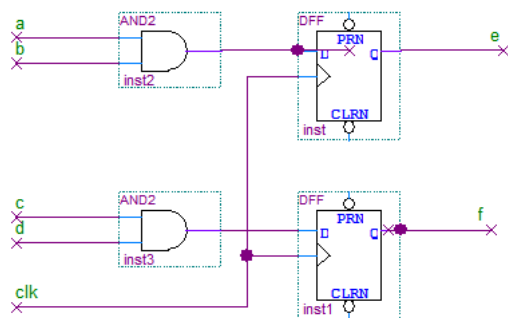
## 1.軟體是循序的，而硬體是並行的

C語言是一行一行的執行，就算組合語言也是一樣，或許你會說threading，但在微觀下仍是循序地執行。但硬體電路就不一樣，電路只要一插上電，所有電路就同時工作。

如以下的Verilog

```
1 always@(posedge clk) begin
2   e <= a & b;
3   f <= c & d;
4 end
```

雖然看起來是 e <= a & b; 在 f <= c & d;前面，但實際上合成電路後如下圖所示



由上圖得知，e和f並沒有先後之分，是並行的。

## 2.硬體要循序，要靠clock和FSM

或許你會說，『我的演算法就是要循序一步一步的做，如C語言那樣，那怎麼辦?』，若Verilog要這樣，就得靠clock並且搭配FSM，當一個state完成後，進入下一個state，這樣就能依照clock的進行，而達成循序的要求。

## 3.Verilog程式碼沒有先後之分

除了blocking assignment有先後執行順序，而非blocking assignment同時執行外，Verilog的程式沒有前後順序之分，所以才稱為**硬體『描述』語言**，而非**硬體『程式』語言**，先寫的不代表先執行，後寫的也不代表後執行，只是代表硬體的架構的描述，也就是說，將原來的電路圖，變成文字描述而已。

## 4.多用RTL Viewer和ModelSim觀察自己寫的code

Verilog寫法小小的差異，合成出來的硬體就可能有天壤之別，多用RTL Viewer觀察合成出來的硬體是否和自己預期的一樣，並多用ModelSim觀察跑出來的波形，這樣會增加你對Verilog的掌握度。

## Conclusion

很多人學了Verilog，還是把它當C語言寫，事實上他們只是語法類似，但背後的思維並不一樣，唯有『心中有硬體』，才能設計出好的電路。

## Reference

王錕、卓興旺 2007，基於Verilog HDL的數字應用設計，國防工業出版社

分类: Verilog,SOC,C/C++,C

好文要頂

关注我

收藏該文



真 OO无双

关注 - 0

粉丝 - 1058

+加关注

« 上一篇: (原創) 如何對CentOS最佳化設定? (OS) (Linux) (CentOS)

» 下一篇: (轉貼) Fujitsu LifeBook P7010K規格 (NB) (P7010)

posted on 2008-06-17 21:04 真 OO无双 阅读(10703) 评论(4) 编辑 收藏

## 评论

## 导航

博客园

首页

新随笔

联系

订阅 XML

管理

## 公告



我是一個小小的數位IP開發，業餘則喜歡Embedded System OOP相關技術。我這維生，只是記下來任何廣告。所有文章與

昵称: 真 OO无双

园龄: 12年8个月

粉丝: 1058

关注: 0

+加关注

## 随笔分类 (2076)

μC/OS-II(9)

.NET(112)

ARM(1)

ASP.NET(9)

boost(7)

C(80)

C#(46)

C/C++(285)

C++/CLI(33)

C2H(3)

CentOS(12)

CSS(7)

Data Structure(1)

Database(12)

DE2(55)

DE2-70(42)

Debussy(6)

Design Pattern(22)

DirectX(6)

DSP Builder(1)

English(4)

Excel(1)

Firefox(1)

g++(3)

gcc(4)

GDI+(15)

HTML(3)

IE(3)

Image Processing(

iOS(2)

iPad(2)

iPhone(7)

ISE(1)

iTunes(1)

Japanese(3)

Java(15)

JavaScript(9)

Linux(42)

Matlab(1)

MegaCore (10)

Misc(18)

ModelSim(13)

NB(34)

NC-Verilog(4)

NEEK

News(77)

Nios II(75)

nLint(1)

N-Tier(7)

# 1楼 2008-06-18 13:37 Rivers Zhao

萧, 好久没看到你的blog了,顶一下先

支持(0) 反对(0)

# 2楼 2008-06-27 14:10 tear086

经常看鸿森兄的文章，很有帮助。

支持(0) 反对(0)

# 3楼 2008-08-15 17:08 霜之哀伤

我最近才看到这个博客，非常不错，不知能否用MSN联系到鸿森兄

支持(0) 反对(0)

# 4楼 2012-03-04 13:28 笨鳥先飛，海納百川

都是些经典的东西，每看一篇，都能解决心中的诸多困惑，，再次拜谢了！

支持(0) 反对(0)

刷新评论 刷新页面 返回顶部

注册用户登录后才能发表评论，请 [登录](#) 或 [注册](#)，[访问网站首页](#)。

- 【推荐】超50万C++/C#源码：大型实时仿真组态图形源码
- 【推荐】Java工作两年，一天竟收到33份面试通知
- 【活动】“魔程”社区训练营--用实例教你快速学会Scratch和Python
- 【推荐】程序员问答平台，解决您开发中遇到的技术难题

相关博文：

- (原創) 如何實現簡易的數位濾波器? (SOC) (Verilog)
- (筆記) 如何對一變數指定某一個bit的值? (SOC) (C/C++) (Verilog)
- (原創) 回讀者的信，一篇學習C#/C++/OO的FAQ (OO) (Design Pattern) (C/C++) (.NET) (C#)
- (原創) 如何使用C開發Verilog System Task/Function? (SOC) (Verilog) (Verilog PLI)
- (轉貼) 什麼是SystemC? (IC Design) (C/C++) (SystemC)

最新新闻：

- 30多年前，日本是如何输掉芯片战争的？
- 一线| 景鯤晋升百度副总裁 将继续担任SLG总经理
- 中国操作系统往事
- Android 商业模式里的真相与谎言
- 研究发现养狗与基因变异相关
- » 更多新闻...

OO(47)  
OpenMP(2)  
OS(59)  
P7010(4)  
PetShop(6)  
Qsys(6)  
Quartus II(65)  
RedHat(3)  
RVDS(1)  
SignalTap II(6)  
SOC(253)  
SOPC Builder(39)  
SQL Server(5)  
STL(41)  
Synplify(1)  
SystemC(8)  
Tcl(1)  
template(27)  
ThinkPad(30)  
TMP(2)  
TRDB-D5M(8)  
TRDB-DC2(5)  
TRDB-LCM(4)  
TRDB-LTM(7)  
T-SQL(4)  
Ubuntu(8)  
UltraEdit(4)  
UML(5)  
VC++(10)  
VCS(1)  
Verdi(3)  
Verilog(74)  
Verilog PLI(7)  
VHDL(4)  
VirtualBox(4)  
Visual BASIC(1)  
Visual FoxPro(8)  
Visual Studio(9)  
VMWare(4)  
Web(26)  
Win32 API  
Windows(21)  
Windows CE(2)  
Windows Form(2)  
Windows Live Writ  
Word  
X300(5)  
X61(5)  
XML(1)  
µClinux(3)  
翻譯(3)  
美食(3)  
日記(68)  
推薦軟體(5)  
中森明菜(11)

Powered by:

博客园

Copyright © 真 OO无双