

知乎

砂说

首发于

砂说 silicon talks

```
$ git clone https://github.com/darpa/idea
$ git clone https://github.com/darpa/posh
$ cd posh
$ make soc42
```



错过敏捷设计这个点，中国芯要再落后十年？



李一雷



芯片（集成电路）话题的优秀回答者

152 人赞同了该文章

作者：痴笑

编者按：集成电路领域顶会包括了硬件设计的ISSCC（国际固态电路会议），器件工艺制造的IEDM（国际电子器件会议），还有EDA工具的DAC（设计自动化会议）。2018年DAC也选在了三番，与开ISSCC的万豪隔街相望。会议大热自然是deep learning，大小session无数，涵盖了从HW/SW/Algorithm codesign到Approximation Computing，以及Processing-in-Memory等一干问题。然而，在AI和IoT之外，小编却嗅到了一些星星之火，由于不是大热，少有国人关注。但是，这些技术若是燎原，却极有可能改变未来集成电路芯片的关键走向。在这举国AI的浪潮，突然担心若是我们错过了这个点，恐被再一次被西方邪恶势力拉开十年差距。话不多说，让我们来揭开这一星星之火的面纱——面向领域专用（Domain Specific）的敏捷开发（agile development）。

不以流片为目的硬件设计都是耍流氓？

本次DAC的keynote中我们又见到来的四处走穴的图灵奖大佬——David Patterson，而他 又双叒（拼音：ruo4）叒（拼音：zhuo2）讲了这个亘古不变的topic。



知乎

砂说

首发于

砂说 silicon talks



A New Golden Age for Computer Architecture: Domain Specific Accelerators and Open RISC-V

Wednesday, June 27 | 9:20am - 10:00am | Room 3008

David A. Patterson, Distinguished Software Engineer and Professor Emeritus
Google, Inc. and Univ. of California, Berkeley, Mountain View, CA

知乎 @李一雷

不过作为负责任的大佬，Patterson还是相比于ISSCC talk (视频URL: youtu.be/NZS2TtWcutc，记得翻墙哦) 多加了不少新内容，比如Spectre事件之后大家从安全性角度对体系结构的反思。不过，小编觉得另两点额外突出：

(1) 摩尔定律高歌猛进的今天，集成电路制造成本的迅速降低与饱和让芯片设计的准入门槛几乎消失。现在，1x1平方毫米的65nm设计单价已经回落到5K美元，即使是28nm也不到2万刀。下图是esilicon 2016年关于TSMC的各个节点的报价（2mm x 2mm，28nm是1.6mm x 1.6mm,单位欧元，可以Google到的）

TSMC	NON-EUROPEAN Price/block
TSMC 0.18 CMOS General Logic or MS/RF	4090 ¹²
TSMC 0.18 CMOS High Voltage BCD Gen 2	5770 ²²
TSMC 90nm CMOS LP MS RF	12660 ¹³
TSMC 65nm CMOS LP MS RF	17070 ¹³
TSMC 40nm CMOS LP MS RF	21950 ²¹
TSMC 28nm CMOS HPL	24000 ²¹

这已经到了北美硅工码农一个月工资（税后哦）就能流个带RISCV和NVDLA的年代，流片贵？扯淡把~

可事实是，流片的花费越来越高，相比于制造制造成本的稳定发展，EDA软件/设计验证/后端实现的成本却指数上升。业界把这类成本称为NRE（non recurrent engineering，一次性工程费用）。

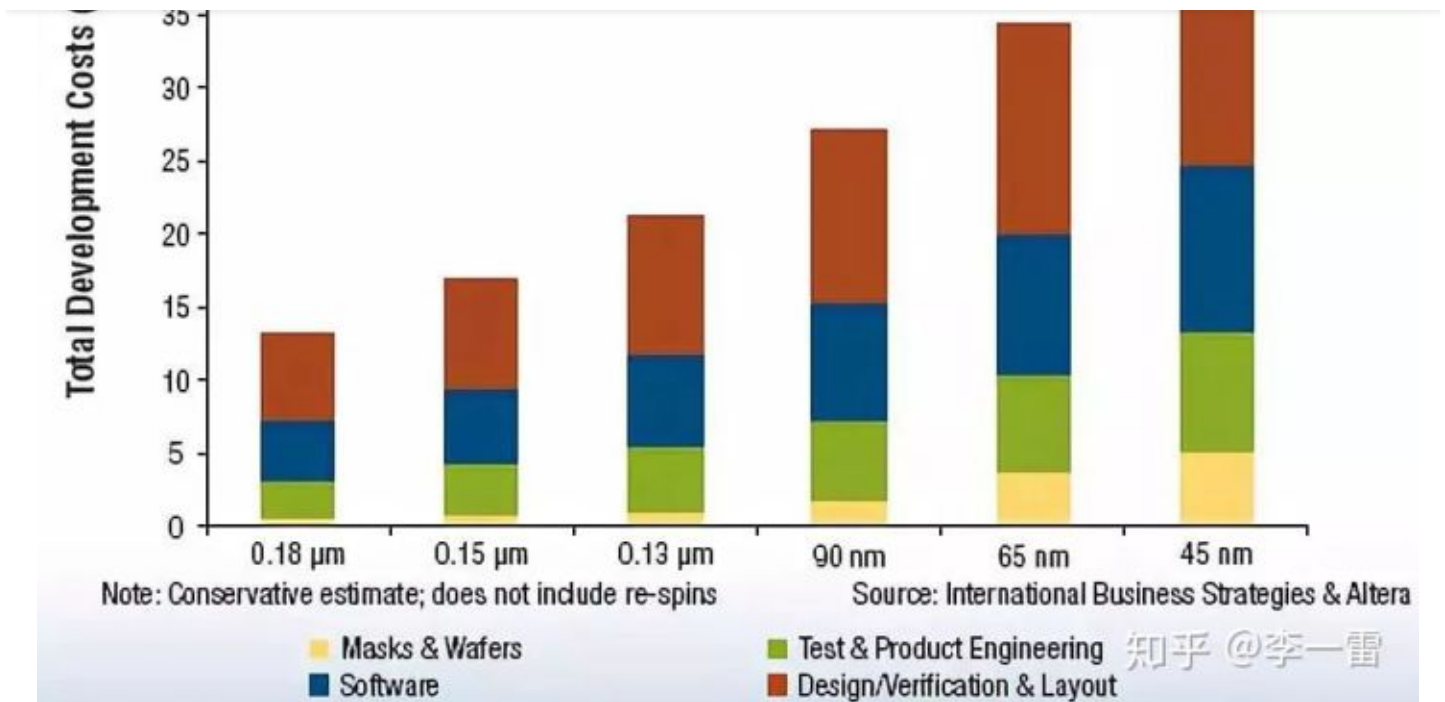


知乎

矽说

首发于

矽说 silicon talks



更有甚者，SiFive的首席架构、UCB教授，RISC-V基金会主席Krste Asanovic认为，Moore定理应该被修正，不是单位晶体管的制造成本下降，而是为一个晶体管的实现投入的NRE的下降。
(DAC 2018, session 59)

(2) 随着Moore定律的实质停止（除非你是苹果华为，否则10nm以下可以基本拜拜。实际情况是，很多高校其实已经停在40/65这个节点上），加上dark silicon的power上限，领域专用（Domain Specific, DS）设计已是不可逆的大潮。毕竟专用设计可以很轻松的将效率提高2到3个数量级。Patterson大佬最爱的例子就是Google的TPU:

Summary Part II: Domain Specific TPU



General Purpose CPU slows => Domain Specific Architecture

Google TPU for Deep Neural Networks (DNNs), which help many tasks

1 Very large 2D Matrix multiply unit (CPU has 18, GPU 13 small 1D multipliers)

TPU uses 8-bit integers vs. 32-bit floating-point numbers

TPU drops general-purpose features of CPUs/GPUs => more area for DNN tasks

TPU has 1 program thread => predictable response time (CPU 18, GPU 13)

TPU flexible enough to run DNNs of today as well as 2015

知乎

砂说

首发于

砂说 silicon talks

codesign) 迅速推进一个IT新纪元——

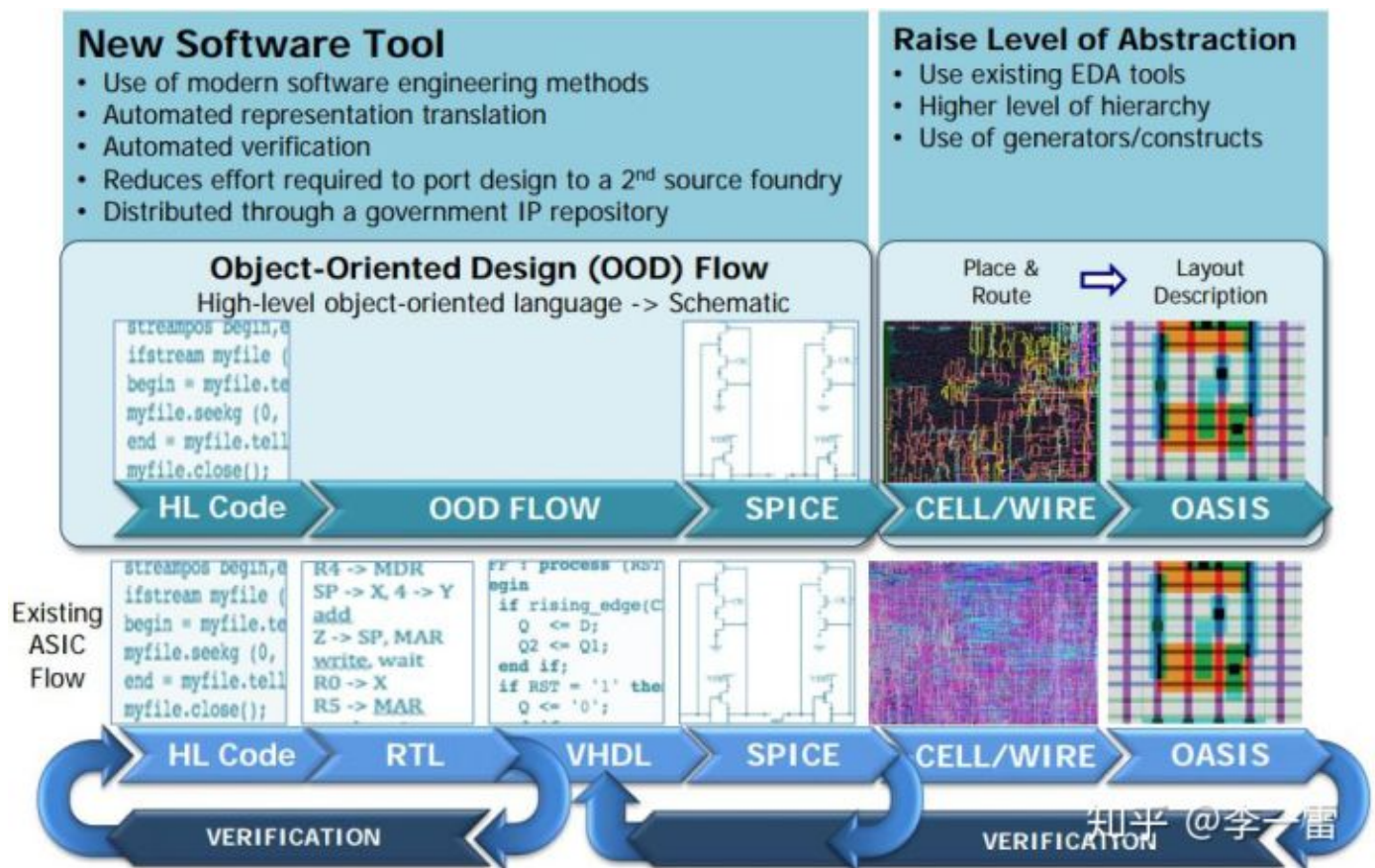
CS (软件) 和 EE (硬件) 是一家。

听上去这个春秋大梦还很远，但10年在这个世纪过的不会太长。

在这两个趋势下，谁先握有低NRE成本的敏捷开发方法学，谁就将成为后摩尔定律时代的新霸主。

人家的政府，关注得更超前

最早意识这一紧迫性的可能是美国国防高级研究计划局（Defense Advanced Research Projects Agency, DARPA, 隶属于美国防部）。2015年，DARPA就设立了面向基于敏捷开发方法学的集成电路项目 Circuit Realization At Faster Timescales (CRAFT)。其中，特别强调的是面向对象的设计方法学，有没有感觉硬件设计正在经历软件工程从C到C++的时代？



在传统ASIC时代，传统的从算法描述，硬件描述，RTL到电路网表到版图的传统流程（每一阶段都要反馈验证）的思路将被打破，成为了面向对象的前馈方法学，从设计到版图，可能只需要几天，甚至几个小时。

CRAFT项目的一个最具代表性产物就是CHISEL（还有CHISEL2/FIRRTL），RISC-V时代新明！



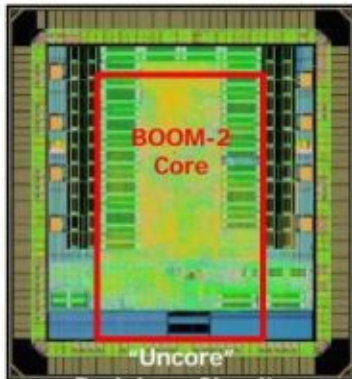
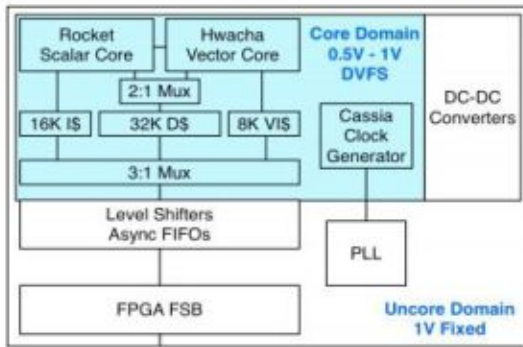
知乎

砂说

首发于

砂说 silicon talks

CHISEL is an Object Oriented Design demonstration flow/tool developed at UC-Berkeley



Data from UC Berkeley RISC-V Center

BOOM-2 RISC V Core

- Designed using CHISEL flow/tools
 - 6 graduate students ("2-pizza size team")
 - 6 months to design
- ~ 25M transistors and chip area of 1.0mm²
- 40nm technology
- 1.5 GHz clock rate
- Completed in November 2014

CHISEL Specifics

- CHISEL written in Scala programming language
- Parameterized generators used
- ~9,000 New "Lines of Code" in CHISEL
- ~ 11,500 reused "Lines of Code" from previous projects
 - ~5,000 "Lines of Code" for processor
 - ~2,000 "Lines of Code" for floating point core
 - ~4,500 "Lines of Code" for "uncore"

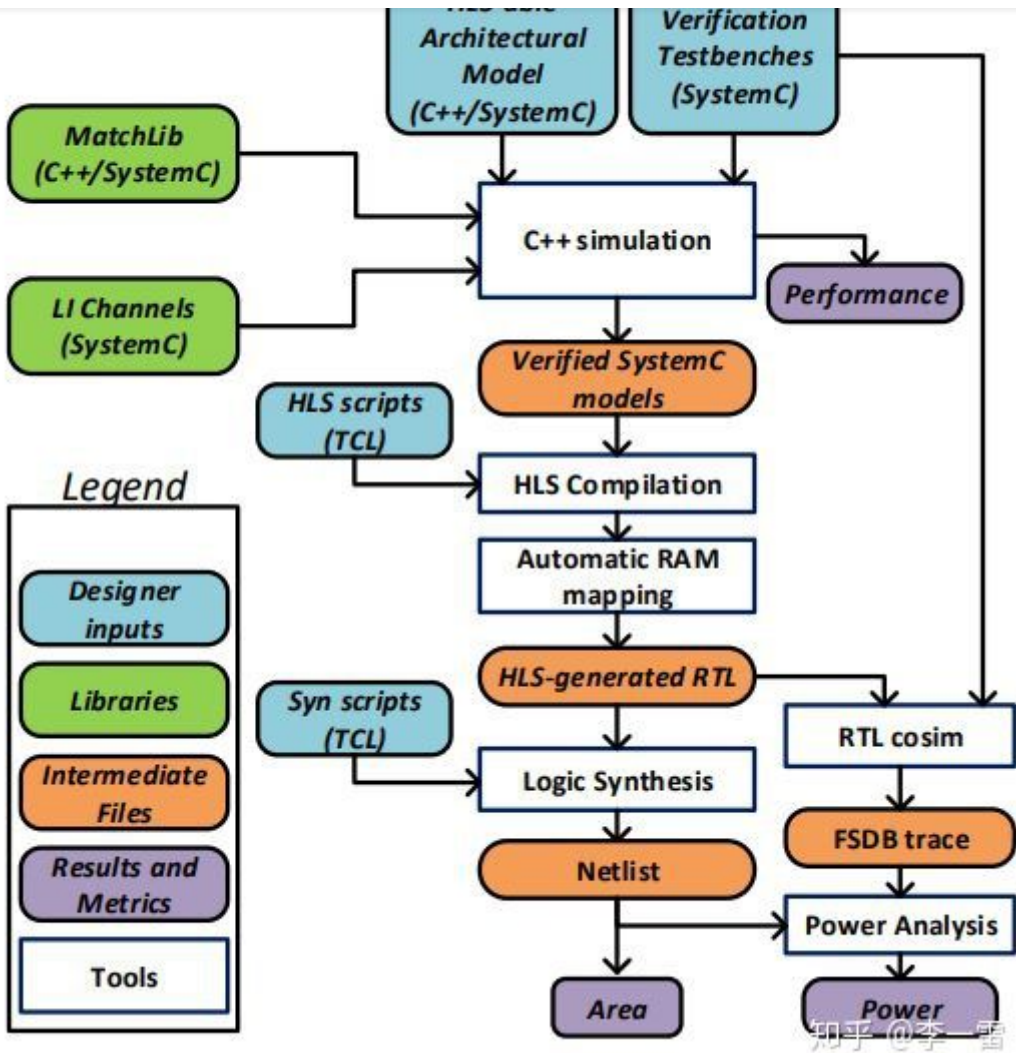
BOOM-2 is a feasibility demonstration of an OOD flow on a small digital design in an academic environment

知乎 @李一雷

Chisel是概念到实现方式上，都完美的体现了敏捷开发的初衷。值得注意的是CHISEL从本质和HLS有所区隔的，具体可见Chisel引领敏捷硬件开发浪潮。

除了高校，各个大公司也在CRAFT项目的思想下积极跟进，比如在DAC 2018 present的NVIDIA的新一代小规模AI嵌入式芯片，其设计流程采用面向对象的HLS实现整个芯片的设计和验证，集合SystemC和Chisel将传统近3年的设计研发周期缩短到3个月。



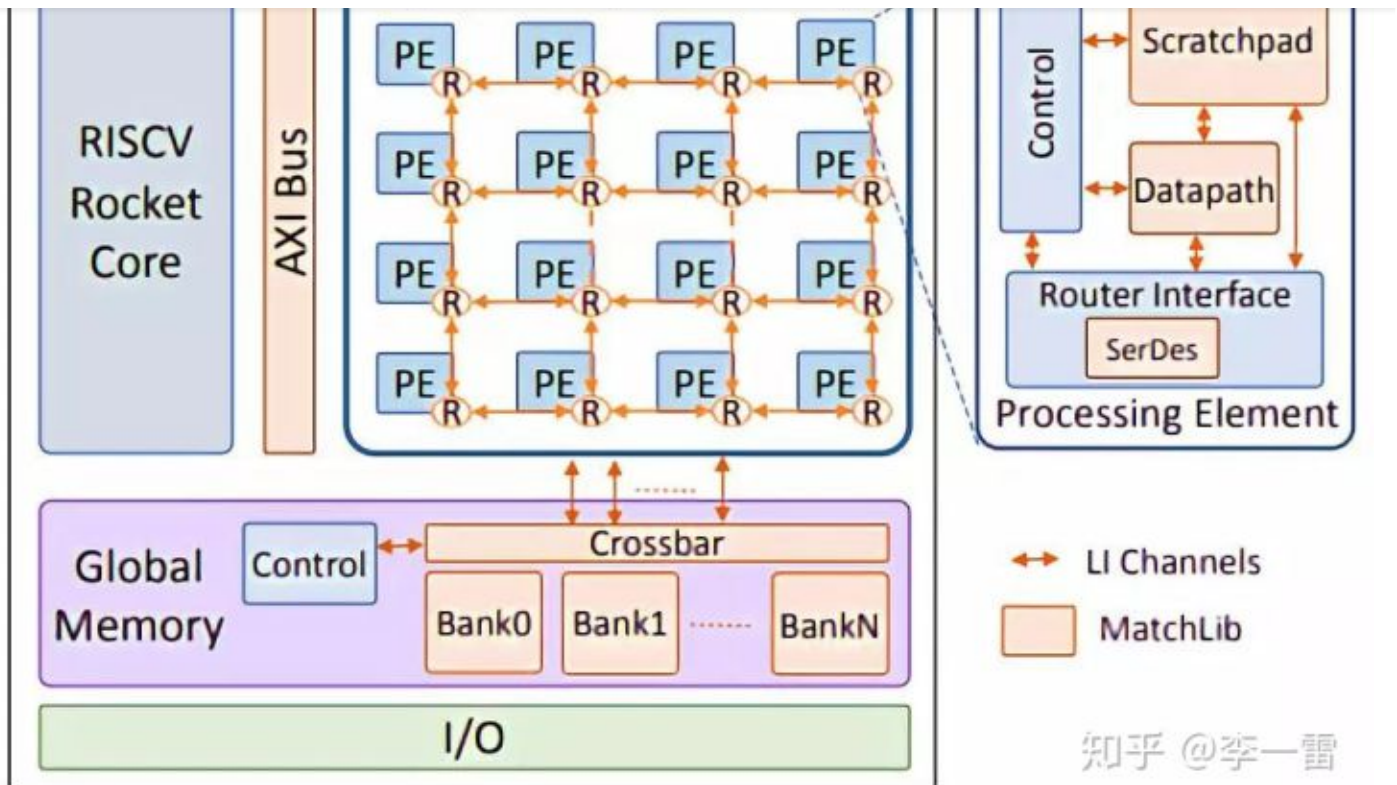


知乎

砂说

首发于

砂说 silicon talks



2017年，CRAFT项目方兴未艾，DARPA再加码，提出了电子学复兴计划（Electronic Resurgence Initiative, ERI），着重摩尔定律的本文的第三页计划，分别在设计/架构/材料这三个方向提出billion级美元的组合拳。在设计方向，DARPA提出了ERI终极目标：像在Amazon/京东/淘宝购物一样去芯片设计体验，加满购物车，一个make（下单）芯片就寄到家。

```
$ git clone https://github.com/darpa/idea
$ git clone https://github.com/darpa/posh
$ cd posh
$ make soc42
```



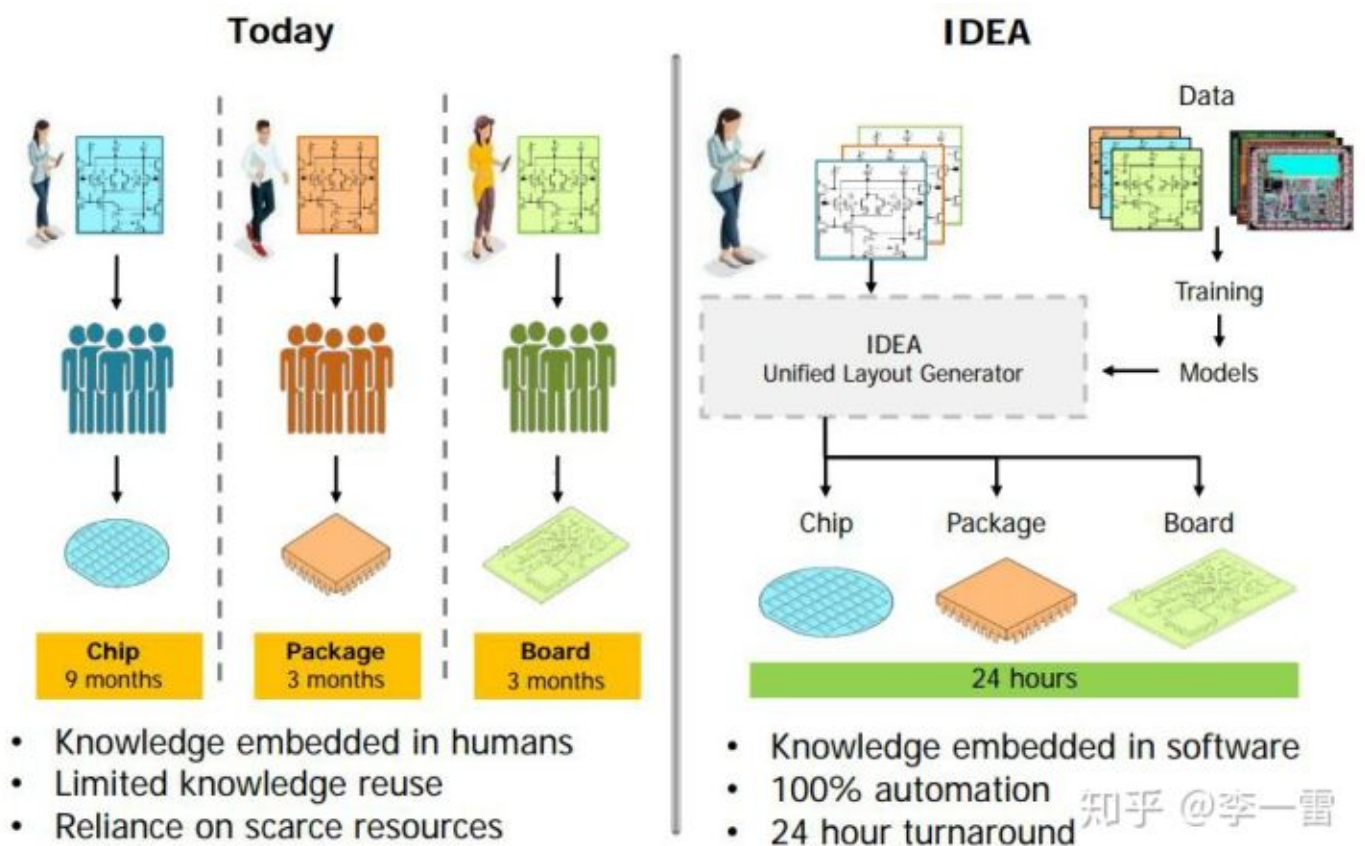
知乎

矽说

首发于

矽说 silicon talks

由数据与智能驱动的综合模式发展：



在这一过程中，开源设计是其中最紧要的一环，因为只有足够多的开源，才能促使劳动力的效率极大化。在互联网大头加入战局的今天，要能在芯片战场上占的一席之地，矽说认为开源成为芯片设计的新趋势。DARPA计划，在ERI项目结束时，以下总要的IP都可以找到开源版本：

Digital Circuit IP Blocks
FPGA Fabric
Multi-core 64-bit RISC-V processor sub-system
GPU (OpenGL ES 3.0)
PCI Express Controller
Ethernet Controller
Memory Controllers
USB 3.0 Controller
MIPI Camera Serial Interface controller
CPU Subsystem
H264 encoder/decoder
AES256 encrypt/decrypt
SHA-2/SHA-3 accelerator
Secure Digital Controller
High Definition Multimedia Interface
Serial ATA Controller
JESD204B Controller
NAND Flash Controller
CAN Controller

Mixed Signal Circuit IP Blocks	Description
Standard I/O interfaces PHYs	DDR, PCIe, SATA, USB, XAUI, CPRI
PLL	Range: 10MHz – 10GHz
DLL	Range: 10Mhz – 10GHz
Analog to Digital Converters	Range: 1 – 10,000 MSPS
Digital to Analog Converters	Range: 1 – 10,000 MSPS
Voltage Regulators	Input: 1.8V – 12V, Output 0.25V – 1.8V
Monitor circuits	Temperature, voltage, process

How can we cost effectively develop and maintain a high quality catalog of portable open source digital and analog components?

知乎?@李一雷

从这个角度看，人家的科研机构在这个领域的布局不可谓不超前，下的也是足足一盘超大棋。而我们，还在人工智能的泡沫里瞎转悠。

模拟/射频/混合信号，一个都不能不少

传统上，我们认知中的开源，和敏捷设计都是面向数字电路的。模拟（传统的定制电路）电路的设计方法学并没有巨大的变化。然而，这一观点似乎也要接收挑战。

UC Berkeley BWRC的团队，在设计CHISEL的同时，也设计了模拟版的CHISEL——Berkely Analog Generator (BAG)，在CHISEL2发布时也发布了BAG2。在2018年的CICC上，BAG2公布了他们的研究成果——跨工艺的模拟电路生成器。在重新定义了不同模块的当中表达层 (Intermediate Representation, IR，这个词是一个编译用语，现在却用在了模拟电路设计中) 后根据不同工艺的pdk，自动产生网表和版图，不仅DRC/LVS error free，性能也不带差的。在BAG2的世界里，只要你会python，你就可以设计GDS了。具体内容可参考DAC 2018 session 41.2，和CICC 2018 15.2。

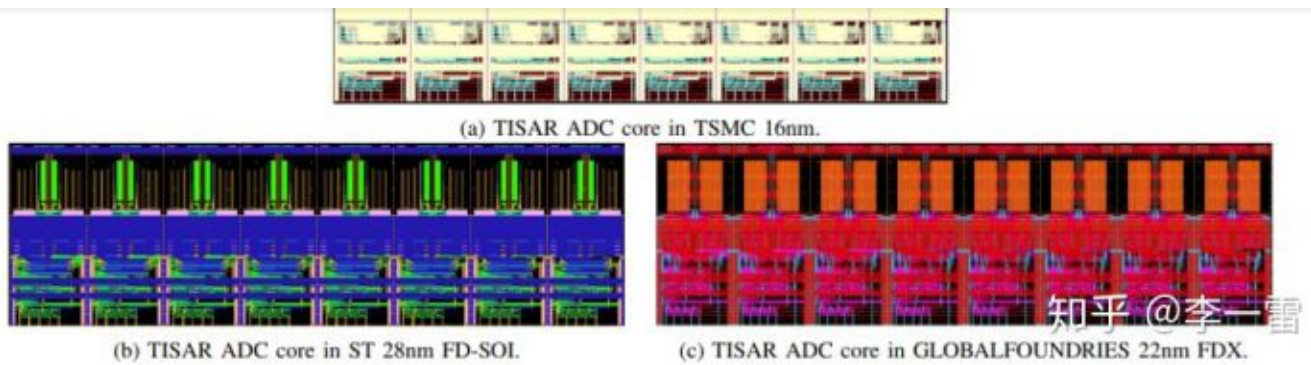


知乎

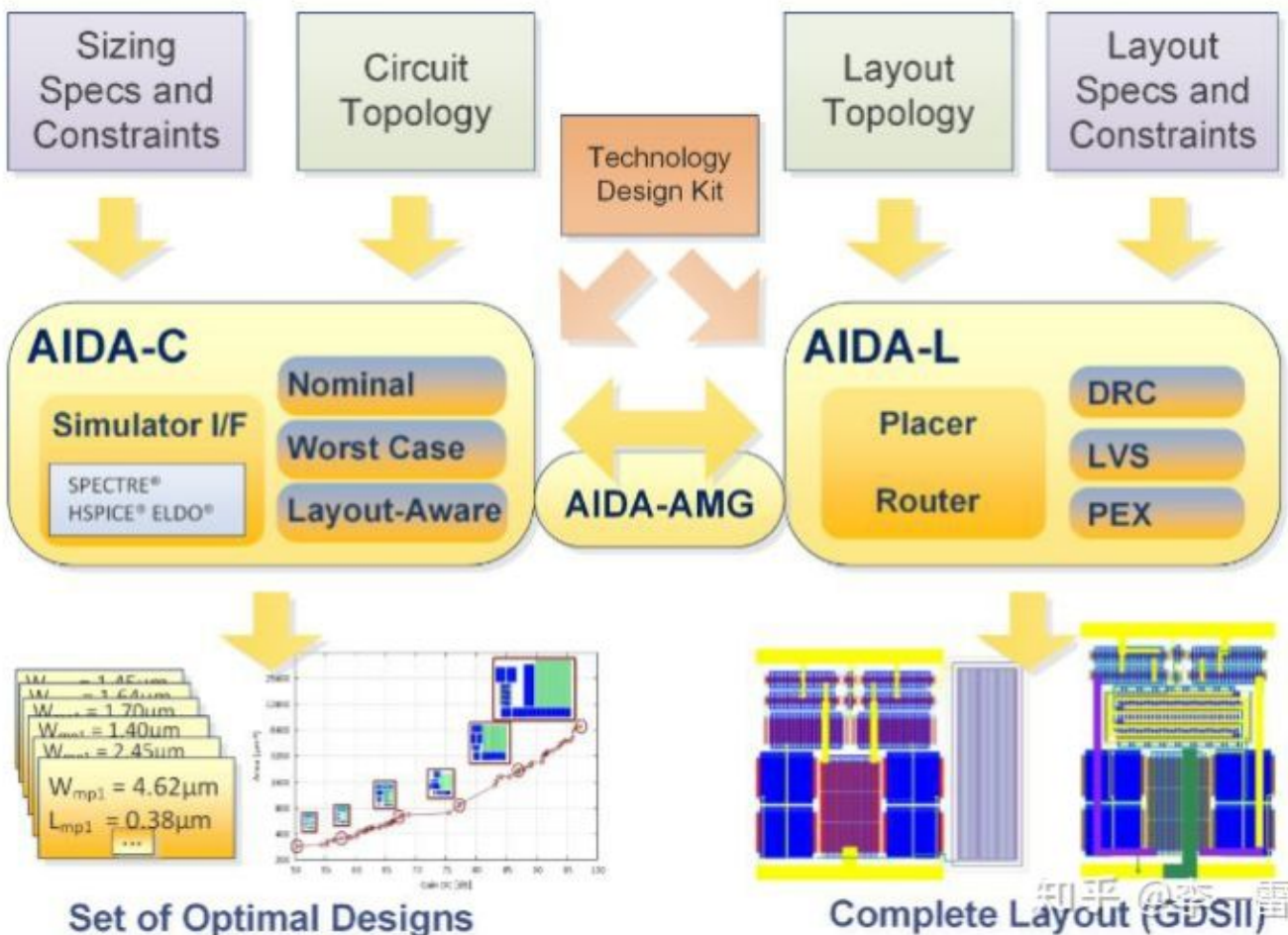
砂说

首发于

砂说 silicon talks



在本次DAC上，类似的模拟/射频电路的产生器，应接不暇，还有包括来自葡萄牙（与澳门大学合作）的AIDAsoftware软件公司等。



知乎

矽说

首发于
矽说 silicon talks

编辑于 2018-07-13

半导体产业 芯片（集成电路） AI芯片

▲ 赞同 152 ▼ 18 条评论 分享 ★ 收藏 ...

文章被以下专栏收录

矽说

矽说 silicon talks

李一雷(<https://www.zhihu.com/people/li-yilei>)、薛矽(<https://www.zhihu.com/p...>)

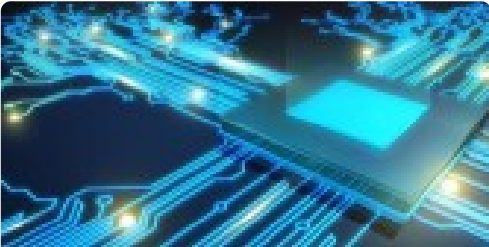
进入专栏

推荐阅读



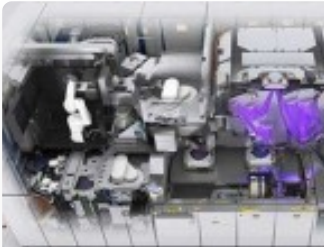
芯片技术最难的并非光刻机 那是什么呢：这位华裔教授说了...

我为科技狂 发表于我为科技狂



格罗方德放弃7nm：石油都怼不上芯片这个窟窿，中国继续...

Hamxic



台积电工程师解密7nm技术，纯干货！！

Hamxic

18 条评论

切换为时间排序

写下你的评论...



刘浩

10 个月前

看不太懂，开源项目的性能似乎不足？

如果要做一流的设计，似乎还是需要大量人力去研发？



知乎

砂说

首发于

砂说 silicon talks



禾大壮

10 个月前

造轮子么

👍 2



KIKI

10 个月前

看起来是在说在设计方法学、EDA等方面的优化使ASIC设计更集中在应用上，而不是耗费时间在细节优化？不知道理解的对不对。。。

👍 2



宁康

10 个月前

伯克利写代码造ADC，换不同的工艺，直接生成layout，简直要流氓，论文发得飞起，但是在毫米波或更高频目前几乎不可能，EM结果相差太大

👍 2



知乎用户

10 个月前

大哥，RACE就不应该用在传统工业。你知道芯片开一次板多少钱么？互联网用RACE就是可以hotfix bug，你传统行业试试？

👍 1



知乎用户

10 个月前

这玩意是不是和前一阵的人工智能平面设计一个思路

👍 1



AutherM

10 个月前

信息量很大，也有深度，这篇文章好赞

👍 赞



AutherM

10 个月前

不管是制造业还是设计，利用目前的人工智能逐渐的自动化是个不可避免的趋势，相当看好设计自动化这一领域的未来发展

👍 赞



山旁之树

9 个月前

用hls写过东西就知道这玩意儿不实用，layout还不是用优化算法，不还得靠人工智能发展

👍 1



OCF BULL

9 个月前

作者大概不知道，高性能模拟哪怕是原厂换个流片工厂都要调试个好久。设计仿真？呵呵哈...

知乎

砂说

首发于

砂说 silicon talks

👍 2



成宇

8 个月前

数字电路还好，模拟电路这么做真的没问题吗

👍 1



壮壮

7 个月前

感觉基于经验的东西都可以用人工智能代替，模块化的电路设计和版图应该也不例外。各位 analog designer 有没有慌了？

👍 赞



星澜海

7 个月前

不要胡扯，敏捷设计要的是快速迭代，不追求 bug free。工业走敏捷怕不是坟头草丈高了？

👍 4



知乎用户

7 个月前

拿个没有普遍适用性的方法论到处套用。

👍 1



陈仲

7 个月前

很快会变成敏捷加班.....

👍 2



lyp 回复 陈仲

4 个月前

不用加班吧，都成废品了，难道还能返厂。



👍 1

← 回复

👎 踩

🚩 举报



知乎用户

6 个月前

开源，不考虑知识产权的问题，我认为大势所趋，IP 定制仍然太慢了。

👍 1



何军

1 个月前

这个可以从大学课程开始，最合适不过了

👍 赞



