



Departamento de Engenharia Elétrica
Universidade de Brasília
Disciplina: Laboratório de Sistemas Digitais (Turma: 04)
Professor: Guilherme Torres

Primeiro Semestre de 2024

Experimento 3

Datas da realização do experimento: 4 de abril de 2024

Aluno: Felipe Lopes Gibin Duarte

Matrícula: 231025207

1. INTRODUÇÃO

Neste experimento, vamos implementar circuitos combinacionais simples baseados em FPGA (Field Programmable Gate Arrays), utilizando atribuições condicionais e seletivas da linguagem de descrição de hardware VHDL. Além disso, vamos desenvolver um decodificador e um multiplexador, que poderão ser usados posteriormente para construir sistemas mais complexos. Desse modo, ambos serão desenvolvidos usando o software “ModelSim”. Para alcançar tais objetivos, o seguinte foi feito.

2. DESENVOLVIMENTO

2.1) Utilizando atribuições condicionais (when-else), escrever em VHDL e simular uma entidade que descreva um multiplexador 8 para 1 (8x1). Essa entidade deve ter dois vetores de entrada (S com 3 bits e D com 8 bits) e um bit de saída (Y). A tabela verdade do multiplexador é apresentada abaixo.

Entradas (S)	Saída (Y)
000	D0
001	D1
010	D2
011	D3
100	D4
101	D5
110	D6
111	D7

-O código documentado está no segundo arquivo

-Confirmação do código compilado:

Project - C:/Users/gibin/OneDrive/Desktop/Lab SD/Model Sim exp3/Exp3					
Name	Status	Type	Order	Modified	
tb_Multiplexador2.vhd	✓	VHDL	0	04/07/2024 11:59:49 ...	
Multiplexador2.vhd	✓	VHDL	1	04/07/2024 11:17:06 ...	

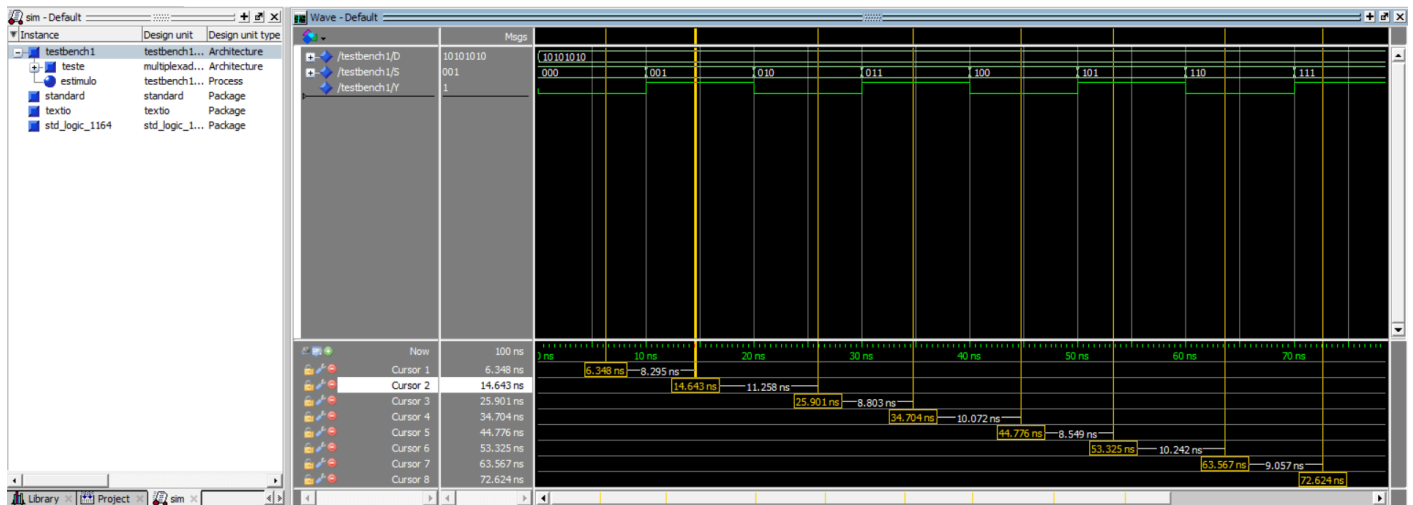
```

Transcript
# Compile of tb_Multiplexador2.vhd was successful.
# Compile of tb_Multiplexador2.vhd was successful.
# Compile of Multiplexador2.vhd was successful.
# 2 compiles, 0 failed with no errors.

ModelSim>

```

-Simulação do código no ModelSim:



-Todos os casos foram vistos, e o seguinte foi analisado:

Para cada valor de S, um bit de D, correspondente a uma entrada, é selecionado. Assim,

- Cursor 1)S= "000" : D(0) foi selecionado, valendo 0
- Cursor 2)S= "001" : D(1) foi selecionado, valendo 1
- Cursor 3)S= "010" : D(2) foi selecionado, valendo 0
- Cursor 4)S= "011" : D(3) foi selecionado, valendo 1
- Cursor 5)S= "100" : D(4) foi selecionado, valendo 0
- Cursor 6)S= "101" : D(5) foi selecionado, valendo 1
- Cursor 7)S= "110" : D(6) foi selecionado, valendo 0
- Cursor 8)S= "111" : D(7) foi selecionado, valendo 1

2.2)Utilizando atribuições seletivas (with-select), escrever em VHDL e simular uma entidade que descreva um decodificador de 4 para 16. Essa entidade deve ter como entrada um vetor A de 4 bits e, como saída, um vetor Y de 16 bits. A tabela verdade do decodificador é apresentada abaixo.

Entradas (A)	Saída (Y)
0000	0000 0000 0000 0001
0001	0000 0000 0000 0010
0010	0000 0000 0000 0100
0011	0000 0000 0000 1000
0100	0000 0000 0001 0000
0101	0000 0000 0010 0000
0110	0000 0000 0100 0000
0111	0000 0000 1000 0000
1000	0000 0001 0000 0000
1001	0000 0010 0000 0000
1010	0000 0100 0000 0000
1011	0000 1000 0000 0000
1100	0001 0000 0000 0000
1101	0010 0000 0000 0000
1110	0100 0000 0000 0000
1111	1000 0000 0000 0000

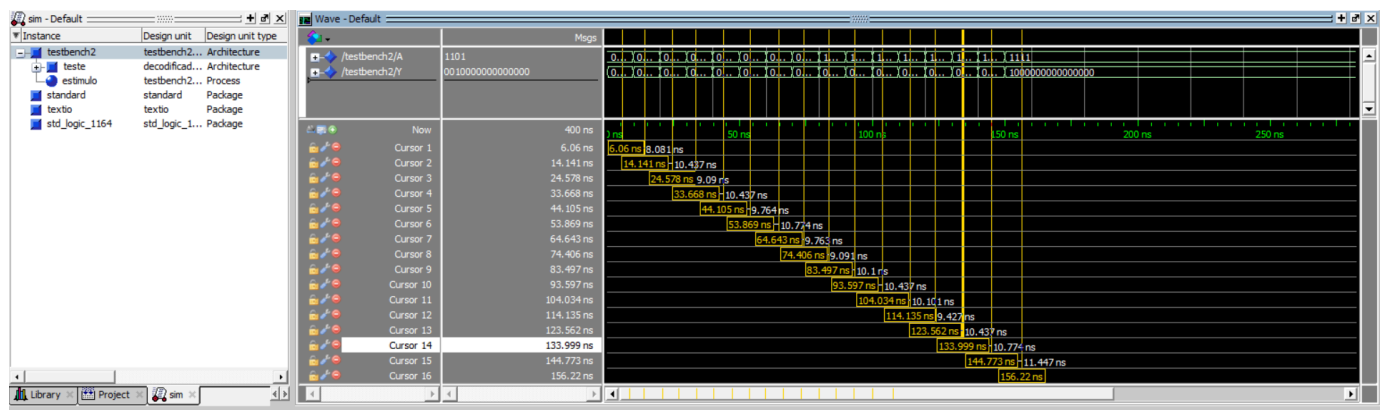
-O código documentado está no segundo arquivo

-Confirmação do código compilado:

Project - C:/Users/gibin/OneDrive/Desktop/Lab SD/Model Sim exp3/Exp3					
Name	Status	Type	Order	Modified	
tb_Decodificador.v...	✓	VHDL	3	04/07/2024 04:51:59 ...	
tb_Multiplexador2....	✓	VHDL	0	04/07/2024 12:24:43 ...	
Decodificador.vhd	✓	VHDL	2	04/07/2024 04:33:22 ...	
Multiplexador2.vhd...	✓	VHDL	1	04/07/2024 12:24:41 ...	

```
# Compile of tb_Multiplexador2.vhd was successful.
# Compile of Multiplexador2.vhd was successful.
# Compile of Decodificador.vhd was successful.
# Compile of tb_Decodificador.vhd was successful.
# 4 compiles, 0 failed with no errors.
```

-Simulação do código no ModelSim:



Todos os casos foram vistos, e o seguinte foi analisado:

- Cursor 1) A= "0000" ; Y= "0000000000000001"
- Cursor 2) A= "0001" ; Y= "0000000000000010"
- Cursor 3) A= "0010" ; Y= "0000000000000100"
- Cursor 4) A= "0011" ; Y= "0000000000001000"
- Cursor 5) A= "0100" ; Y= "0000000000010000"
- Cursor 6) A= "0101" ; Y= "0000000000100000"
- Cursor 7) A= "0110" ; Y= "0000000001000000"
- Cursor 8) A= "0111" ; Y= "0000000010000000"
- Cursor 9) A= "1000" ; Y= "0000000100000000"
- Cursor 10) A= "1001" ; Y= "0000001000000000"
- Cursor 11) A= "1010" ; Y= "0000010000000000"
- Cursor 12) A= "1011" ; Y= "0000100000000000"
- Cursor 13) A= "1100" ; Y= "0001000000000000"
- Cursor 14) A= "1101" ; Y= "0010000000000000"
- Cursor 15) A= "1110" ; Y= "0100000000000000"
- Cursor 16) A= "1111" ; Y= "1000000000000000"

3. CONCLUSÃO

Após todos os procedimentos, houve uma compreensão mais sólida acerca dos conceitos básicos de design digital usando VHDL. Nesse experimento em particular, foram introduzidas as atribuições condicionais e seletivas, que ajudaram muito na hora de definir a arquitetura dos dispositivos trabalhados. Ficou claro a importância da montagem correta de entradas e saídas, bem como o cuidado que deve-se ter ao tratar de diferentes tipos de dados. O maior obstáculo encontrado no experimento foi como manipular os sinais de entrada e saída como vetores, a sintaxe correta não estava muito clara e muitos erros de compilação foram cometidos até dar certo. As dificuldades do último experimento foram resolvidas após uma maior familiaridade com o Model Sim e com o design de testbenches. Por fim, a experiência foi bem proveitosa ao proporcionar uma base para desenvolver conceitos mais complexos nos próximos experimentos.