



Departamento de Engenharia Elétrica  
Universidade de Brasília  
Disciplina: Laboratório de Sistemas Digitais (Turma: 04)  
Primeiro Semestre de 2024

## **Experimento 2**

**Datas da realização do experimento:** 31 de Março de 2024

**Aluno:** Felipe Lopes Gibin Duarte

**Matrícula:** 231025207

---

### **1. INTRODUÇÃO**

Neste experimento, vamos implementar circuitos combinacionais simples baseados em FPGA (Field Programmable Gate Arrays), utilizando a linguagem de descrição de hardware VHDL. A linguagem de descrição VHDL será muito importante ao longo da disciplina de laboratório, sendo essencial uma boa base desta. Além disso, vamos desenvolver um somador completo e um multiplexador, ambos desenvolvidos usando o software “ModelSim”, que poderão ser usados posteriormente para desenvolver circuitos mais complexos. Para alcançar tais objetivos, o seguinte foi feito.

---

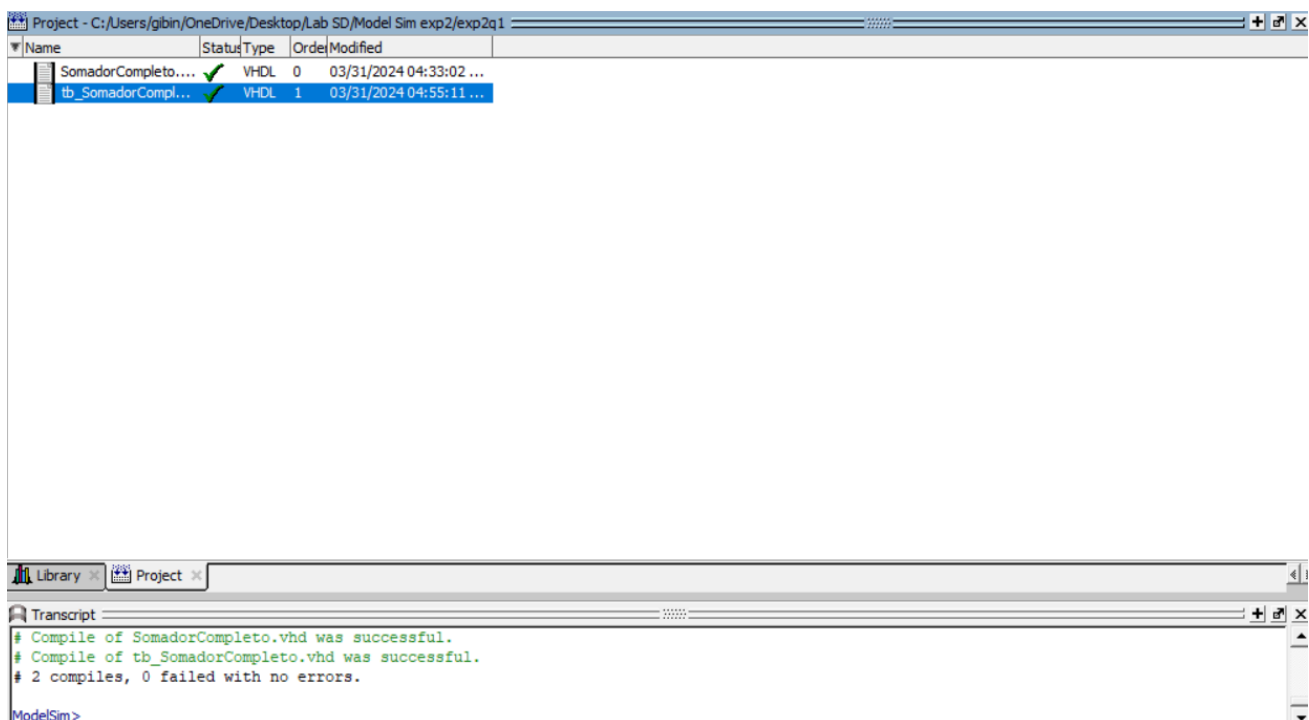
### **2. DESENVOLVIMENTO**

**2.1) Descrever em VHDL e simular no ModelSim uma entidade com três bits de entrada ( A, B e Cin) e dois bits de saída ( S e Cout) que implemente um somador completo, descrito pelas seguintes funções lógicas:**

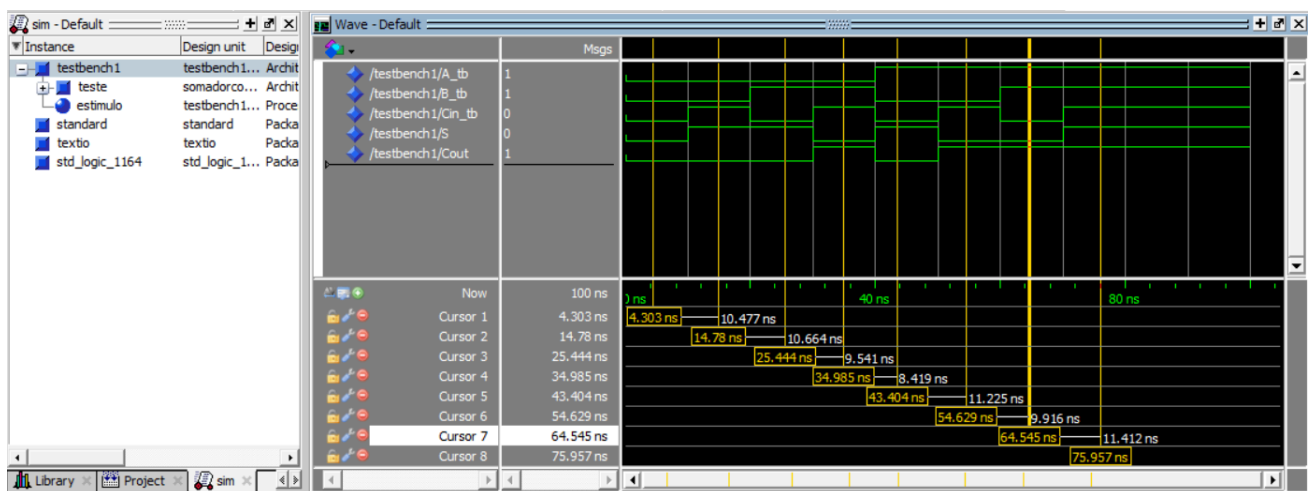
$$S = A \oplus B \oplus Cin \text{ e } Cout = A \cdot B + A \cdot Cin + B \cdot Cin$$

**-O código documentado está no segundo arquivo**

## -Confirmação do código compilado



## -Simulação do código no ModelSim:



Todos os casos foram analisados, e o seguinte foi analisado:

Cursor 1) A<sub>tb</sub>=0 e B<sub>tb</sub>=0, Cin<sub>tb</sub>=0: S=0, Cout=0 (0+0+0=0, n sobe o vai um)

Cursor 2) A<sub>tb</sub>=0 e B<sub>tb</sub>=0, Cin<sub>tb</sub>=1: S=1, Cout=0 (0+0+1=1, n sobe o vai um)

Cursor 3) A<sub>tb</sub>=0 e B<sub>tb</sub>=1, Cin<sub>tb</sub>=0: S=1, Cout=0 (0+1+0=1, n sobe o vai um)

Cursor 4) A<sub>tb</sub>=0 e B<sub>tb</sub>=1, Cin<sub>tb</sub>=1: S=0, Cout=1 (0+1+1=10, sobe o vai um)

Cursor 5) A<sub>tb</sub>=1 e B<sub>tb</sub>=0, Cin<sub>tb</sub>=0: S=1, Cout=0 (1+0+0=1, n sobe o vai um)

Cursor 6) A<sub>tb</sub>=1 e B<sub>tb</sub>=0, Cin<sub>tb</sub>=1: S=0, Cout=1 (1+0+1=10, sobe o vai um)

Cursor 7) A<sub>tb</sub>=1 e B<sub>tb</sub>=1, Cin<sub>tb</sub>=0: S=0, Cout=1 (1+1+0=10, sobe o vai um)

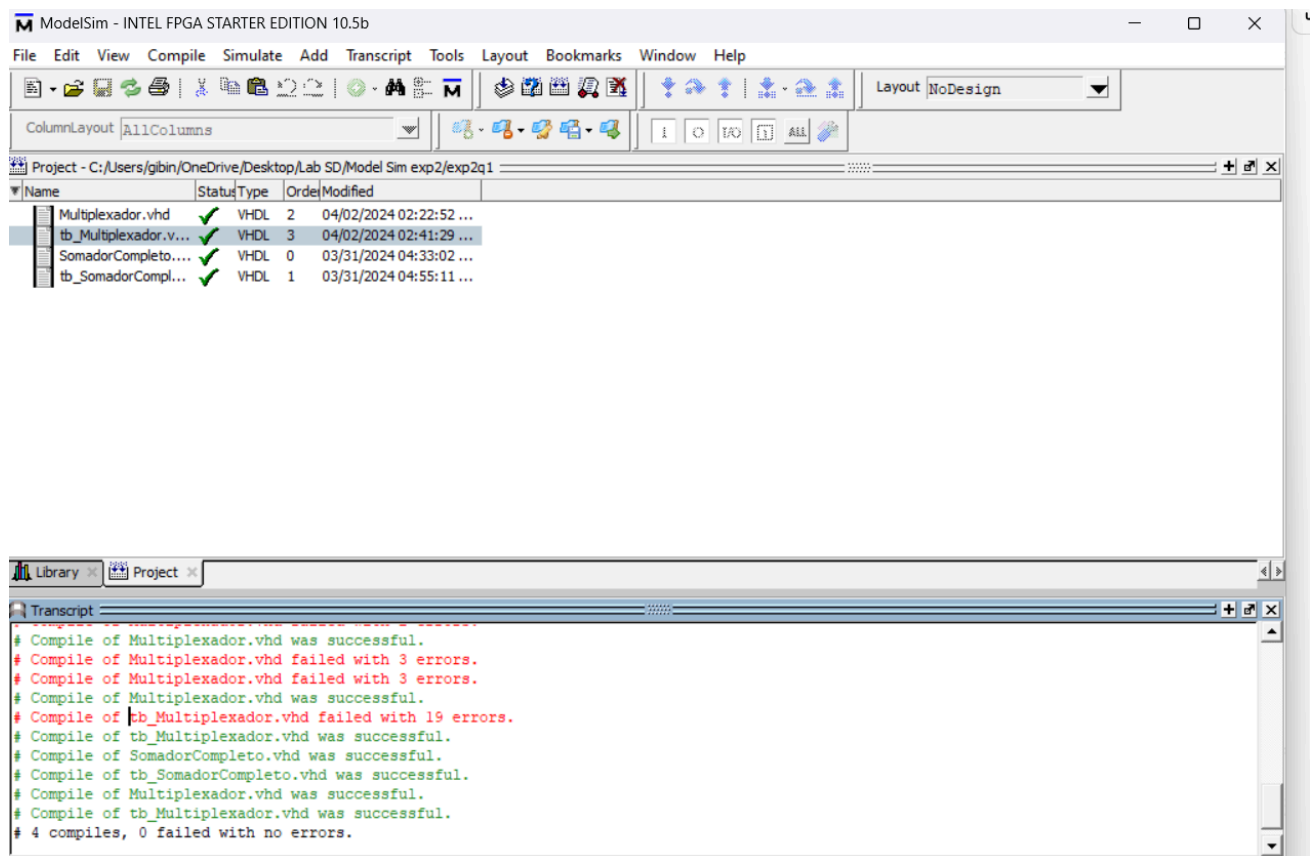
Cursor 8) A<sub>tb</sub>=1 e B<sub>tb</sub>=1, Cin<sub>tb</sub>=1: S=1, Cout=1 (1+1+1=11, sobe o vai um)

2.2) Descrever em VHDL e simular no ModelSim uma entidade com dois vetores de entrada (S com 2 bits e D com 4 bits) e um bit de saída (Y) e sua arquitetura, que implemente um multiplexador de 4 para 1, descrito pela função lógica abaixo.

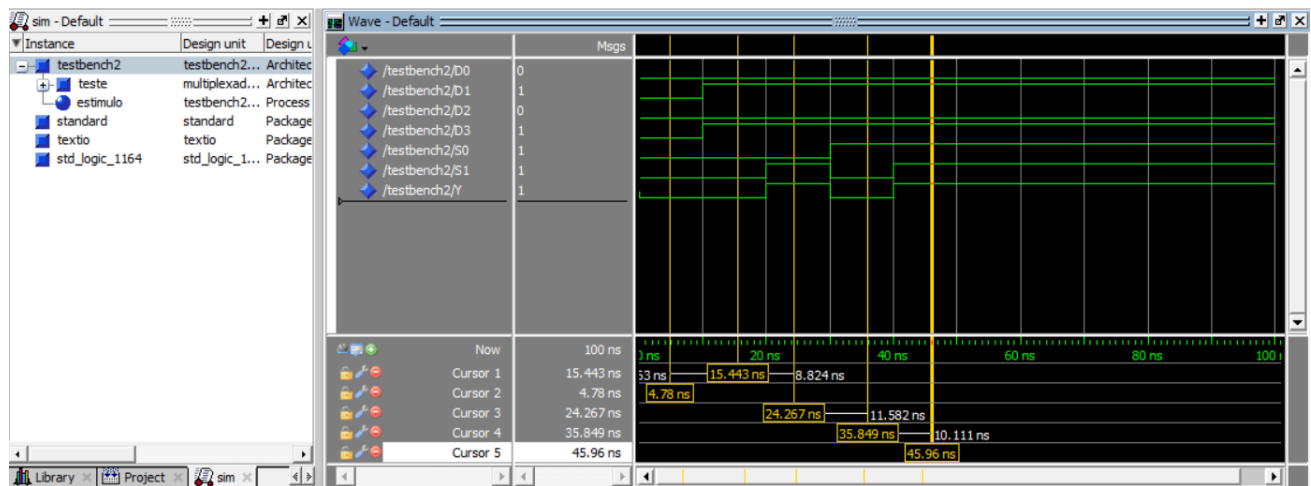
$$Y = D_0 \cdot S_1 \cdot S_0 + D_1 \cdot S_1 \cdot S_0 + D_2 \cdot S_1 \cdot S_0 + D_3 \cdot S_1 \cdot S_0$$

-O código documentado está no segundo arquivo

-Confirmação do código compilado:



-Simulação do código no ModelSim:



Todos os casos foram analisados, e o seguinte foi analisado:

Cursor 1) Situação inicial, antes de começar a simulação

Cursor 2)  $S0=0$  e  $S1=0$ : D0 foi selecionado, valendo 0

Cursor 3)  $S0=0$  e  $S1=1$ : D1 foi selecionado, valendo 1

Cursor 4)  $S0=1$  e  $S1=0$ : D2 foi selecionado, valendo 0

Cursor 5)  $S0=1$  e  $S1=1$ : D3 foi selecionado, valendo 1

### 3. CONCLUSÃO

Após todos os procedimentos, houve uma compreensão mais sólida acerca dos conceitos básicos de design digital usando VHDL. Ficou claro a importância da montagem correta de entradas e saídas, bem como uma lógica adequada para o circuito. Os obstáculos encontrados no experimento foram aprender a escrever um código em VHDL com a sintaxe correta, pelo fato de ser uma linguagem até então desconhecida. Ressaltam-se os testbenches, que até então não estava claro o que era um testbench e nem como poderia implementar um que testasse os códigos em questão. Além disso, utilizar o ModelSim, pela falta de familiaridade com o programa. Por fim, a experiência foi bem proveitosa ao proporcionar uma base para desenvolver conceitos mais complexos nos próximos experimentos.