



Departamento de Engenharia Elétrica
Universidade de Brasília
Disciplina: Laboratório de Sistemas Digitais (Turma: 04)
Professor: Guilherme Torres

Primeiro Semestre de 2024

Experimento 4

Datas da realização do experimento: 11 de abril de 2024

Aluno: Felipe Lopes Gibin Duarte

Matrícula: 231025207

1. INTRODUÇÃO

Neste experimento, vamos utilizar multiplexadores e decodificadores para implementar circuitos lógicos combinacionais baseados em FPGA (Field Programmable Gate Arrays). Usaremos técnicas de projeto modular, desenvolvendo grandes sistemas construídos a partir de sistemas menores, tudo isso usando a linguagem de descrição de hardware VHDL. Ou seja, vamos desenvolver entidades mais complexas usando sistemas anteriormente desenvolvidos, como o multiplexador e o decodificador. Desse modo, todos os procedimentos serão desenvolvidos usando o software “ModelSim”. Para alcançar tais objetivos, o seguinte foi feito.

2. DESENVOLVIMENTO

2.1) Questão 1

Escrever em VHDL e simular no ModelSim uma entidade com 3 bits de entrada (A, B e C) e 2 bits de saída (X e Y), que implemente as funções Booleanas abaixo. Para isso, sua arquitetura deve usar somente dois multiplexadores de 4 entradas (entidade desenvolvida na Questão 02 do Experimento 2, utilizada aqui como “component”) e uma porta inversora.

$$X = A' \cdot B \cdot C + A \cdot B' \cdot C' + A \cdot B$$

$$Y = A' \cdot B' + A' \cdot B \cdot C' + A \cdot B \cdot C$$

-O código documentado está no segundo arquivo

-Confirmação do código compilado:

Project - C:/Users/gbin/OneDrive/Desktop/Lab SD/Model Sim exp4/Exp4				
Name	Status	Type	Order	Modified
Q1.vhd		VHDL	0	04/14/2024 06:35:53 ...
tb_Q1.vhd		VHDL	1	04/14/2024 06:36:53 ...

Library Project

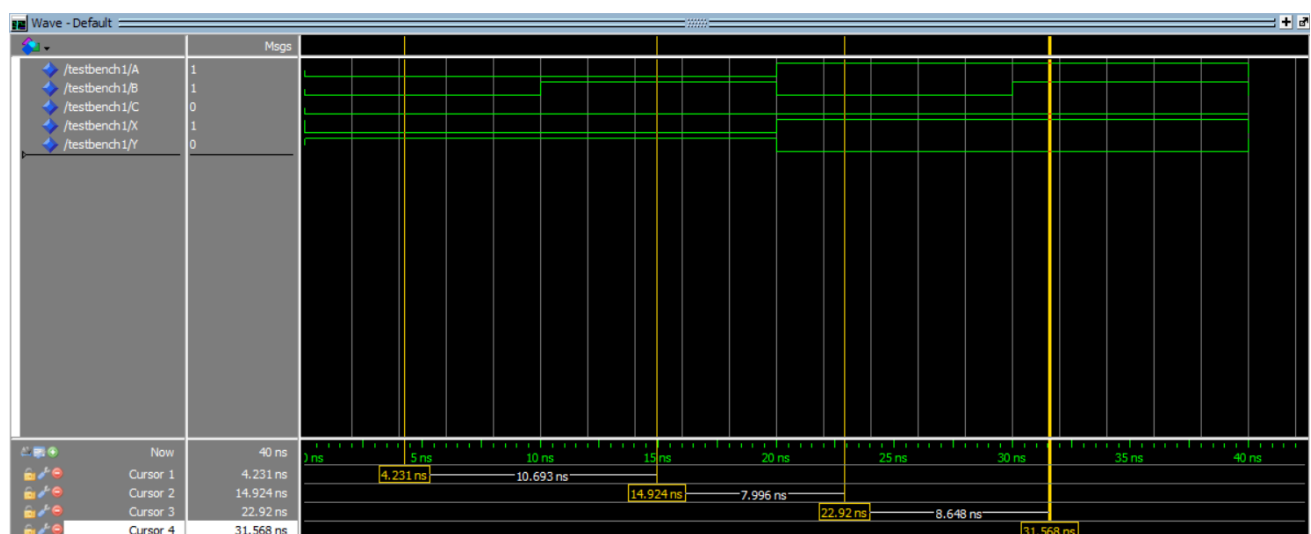
Transcript

```
# Compile of Q1.vhd was successful.  
# Compile of tb_Q1.vhd was successful.  
# 2 compiles, 0 failed with no errors.
```

ModelSim>

OBS: Não sei pq nao apareceu a setinha verde dessa vez

-Simulação do código no ModelSim:



-Todos os casos foram vistos, e o seguinte foi analisado:

OBS: C está fixo com valor '0', para ficar mais fácil de testar se A e B estão fazendo a seleção corretamente. selects é o vetor que corresponde a A & B.

Cursor 1) selects= "00" : em X, X_0 foi selecionado, valendo '0';

em Y, Y_0 foi selecionado, valendo '1'.

Cursor 2)selects= "01" : em X, X_1 foi selecionado, valendo C, ou seja, '0';

em Y, Y_1 foi selecionado, valendo C', ou seja, '1'.

Cursor 3)selects= "10" : em X, X_2 foi selecionado, valendo C', ou seja, '1';

em Y, Y_2 foi selecionado, valendo '0'.

Cursor 4)selects= "11" : em X, X_3 foi selecionado, valendo '1';

em Y, Y_3 foi selecionado, valendo C, ou seja, '0'.

2.2)Questão 2

Escrever em VHDL e simular no ModelSim uma entidade com 7 bits de entrada (A, B, C, D, E, F e G) e 1 bit de saída (S), que implemente a função Booleana abaixo. Para isso, sua arquitetura deve usar somente um decodificador de 4 para 16 (entidade desenvolvida na Questão 2 do Experimento 3, utilizada aqui como "component"), um multiplexador de 8 entradas (entidade desenvolvida no Questão 1 do Experimento 3, também utilizada aqui como "component") e três portas OU. Dica: use as variáveis E, F e G como entradas de seleção do multiplexador.

$$S = F \cdot G + A \cdot B \cdot C \cdot D \cdot E' \cdot F' \cdot G + A' \cdot B' \cdot C' \cdot D' \cdot E' \cdot F' \cdot G + A \cdot B' \cdot C \cdot E \cdot F \cdot G' + A' \cdot B \cdot C \cdot D \cdot E' \cdot F \cdot G' + A \cdot B \cdot C \cdot D \cdot E \cdot F' \cdot G' + A \cdot B' \cdot C' \cdot D \cdot E \cdot F' \cdot G'$$

-O código documentado está no segundo arquivo

-Confirmação do código compilado:

Project - C:/Users/gibin/OneDrive/Desktop/Lab SD/Model Sim exp4/Exp4

Name	Status	Type	Order	Modified
tb_Q2.vhd	✓	VHDL	3	04/16/2024 04:07:06 ...
Q1.vhd	✓	VHDL	0	04/14/2024 03:51:49 ...
Q2.vhd	✓	VHDL	2	04/16/2024 03:55:58 ...
tb_Q1.vhd	✓	VHDL	1	04/14/2024 03:51:51 ...

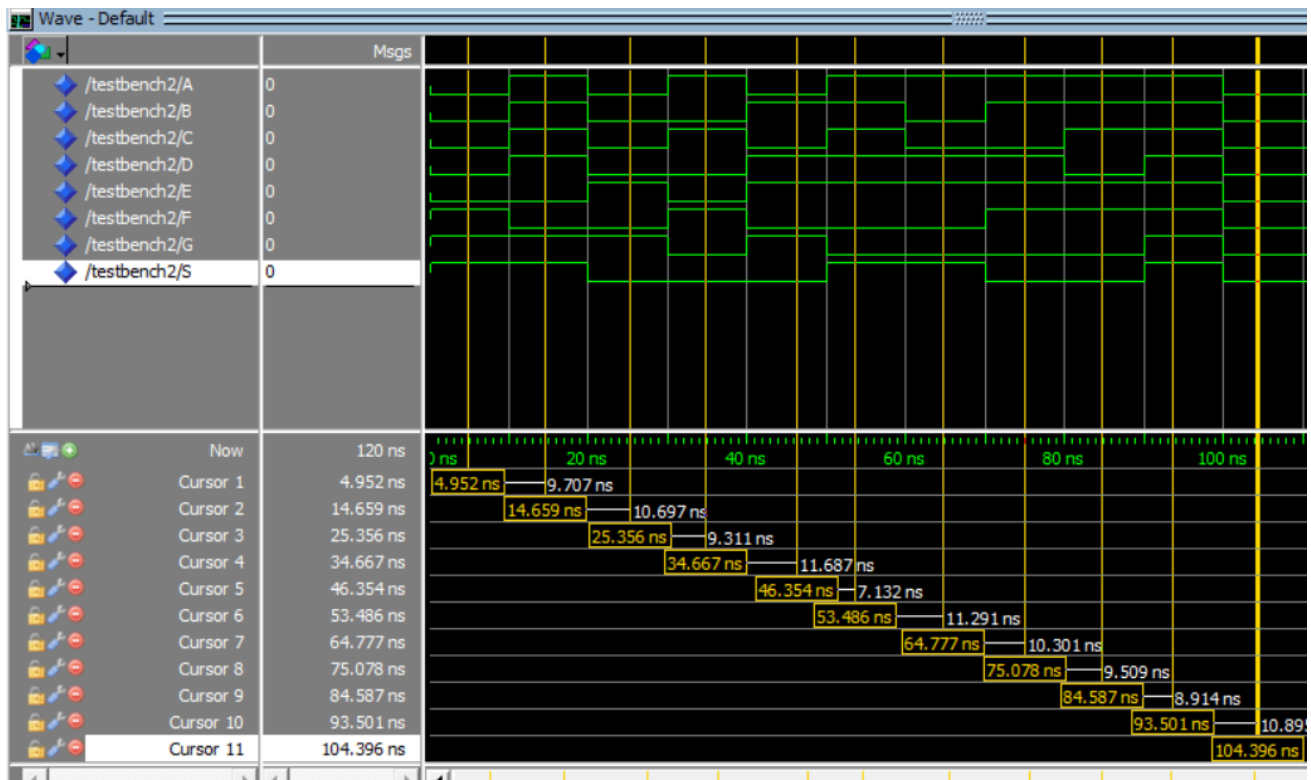
Library Project

Transcript

```
# Compile of Q1.vhd was successful.
# Compile of tb_Q1.vhd was successful.
# Compile of Q2.vhd was successful.
# Compile of tb_Q2.vhd was successful.
# 4 compiles, 0 failed with no errors.

VSIM 9>
```

-Simulação do código no ModelSim:



Nos testes, coloquei algumas combinações que ligam o decoder ao mux, e outras em que isso não acontece. Os casos foram vistos, e o seguinte foi analisado:

- Cursor 1) A='0', B='0', C='0', D='0', E='0', F='1', G='1'; S='1'
- Cursor 2) A='1', B='1', C='1', D='1', E='0', F='0', G='1'; S='1'
- Cursor 3) A='1', B='1', C='1', D='1', E='0', F='0', G='1'; S='0'
- Cursor 4) A='1', B='0', C='1', D='0', E='0', F='1', G='0'; S='0'
- Cursor 5) A='0', B='1', C='0', D='1', E='1', F='0', G='1'; S='0'
- Cursor 6) A='1', B='1', C='1', D='1', E='1', F='0', G='0'; S='1'
- Cursor 7) A='1', B='0', C='0', D='1', E='1', F='0', G='0'; S='1'
- Cursor 8) A='1', B='1', C='0', D='1', E='1', F='1', G='0'; S='0'
- Cursor 9) A='1', B='1', C='1', D='0', E='1', F='1', G='0'; S='0'
- Cursor 10) A='1', B='1', C='1', D='1', E='1', F='1', G='1'; S='1'
- Cursor 11) A='0', B='0', C='0', D='0', E='0', F='0', G='0'; S='0'

3. CONCLUSÃO

Após todos os procedimentos, houve uma compreensão mais sólida acerca dos conceitos básicos de design digital usando VHDL. Nesse experimento em particular, foi introduzido o componente. Ficou claro a importância da montagem correta de entradas e saídas, em especial ao conectar um componente ao outro, bem como o cuidado que deve-se ter ao tratar de diferentes tipos de dados. O maior obstáculo encontrado no experimento foi como usar o componente em si, sendo que achei a implementação extremamente complexa e ineficiente, foi preciso definir vários sinais que deixaram o código mais extenso e complexo em minha concepção. Muitos erros de compilação foram cometidos até que todos os sinais e componentes estivessem de acordo com as questões propostas. Por fim, a experiência foi proveitosa porém extremamente trabalhosa.