

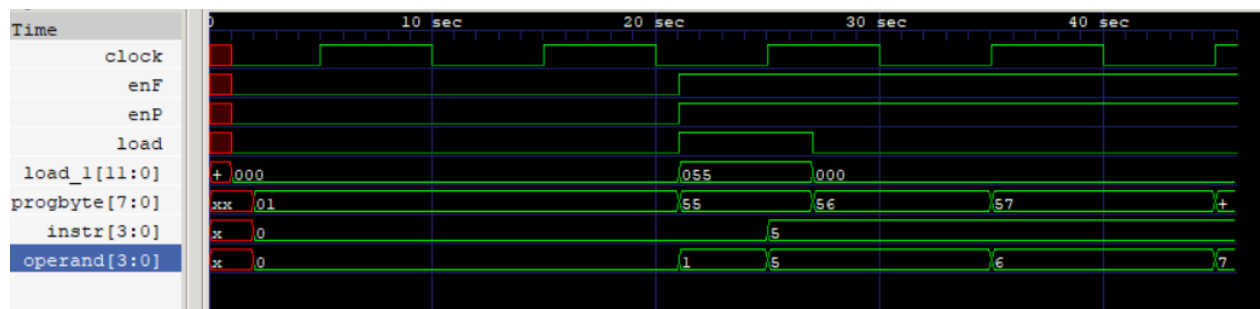
Ejercicio1:

En el ejercicio se implementó en un solo módulo, la concatenación del program counter, ROM y fetch. Como entradas de este se colocaron los enables correspondientes y el bus de "load". Se corroboró el funcionamiento completo, incluyendo la activación y desactivación de los enables, que los datos mostrados en el programbyte y salidas del fetch fueran correctos, con el conteo normal del program counter y cuando a este se le cargaba un valor a través del load.

Tabla:

Ejercicio 1									
clk	enF	enP	load	load_1	progbyte	instruction	operand		
0	0	0	0	000000000000	xxxxxxxx	xxxx	xxxx		
0	0	0	0	000000000000	00000001	0000	0000		
1	0	0	0	000000000000	00000001	0000	0000		
0	0	0	0	000000000000	00000001	0000	0000		
1	0	0	0	000000000000	00000001	0000	0000		
0	0	0	0	000000000000	00000001	0000	0000		
0	1	1	1	000001010101	01010101	0000	0001		
1	1	1	1	000001010101	01010101	0101	0101		
1	1	1	0	000000000000	01010110	0101	0101		
0	1	1	0	000000000000	01010110	0101	0101		
1	1	1	0	000000000000	01010111	0101	0110		
0	1	1	0	000000000000	01010111	0101	0110		
1	1	1	0	000000000000	01011000	0101	0111		

Diagrama de timing:



En este ejercicio se realizó la concatenación del acumulador, ALU y 2 bus drivers (buffers tri estado). Las operaciones de la ALU se realizaron acorde a la tabla del nibbler. Para este gran modulo se verificaron cada una de las operaciones de la ALU, los enables de los bus drivers y el correcto funcionamiento del acumulador.

```

Ejercicio 2
clk enF enb1 enb2 buffer1 s | buffer2 carry zero
0 0 0 0 0000 000 | zzzz 0 x
0 0 0 0 0000 000 | zzzz 0 1
1 0 0 0 0000 000 | zzzz 0 1
0 0 0 0 0000 000 | zzzz 0 1
0 1 1 0 1111 000 | zzzz 0 1
1 1 1 0 1111 000 | zzzz 0 1
0 1 1 0 1111 000 | zzzz 0 1
0 1 1 1 1111 010 | 1111 0 0
1 1 1 1 1111 010 | 1111 0 0
0 1 1 1 1111 001 | 0000 0 1
1 1 1 1 1111 001 | 0001 1 0
1 1 1 1 1111 011 | 1111 0 0
0 1 1 1 1111 011 | 1111 0 0
1 1 1 1 1111 011 | 1110 1 0
1 1 1 1 1111 100 | 0000 0 1
0 1 1 1 1111 100 | 0000 0 1

```

Timing diagram showing signals over 50 seconds. The signals are:

- clock
- carry
- zero
- enF
- enb1
- enb2
- s[2:0]
- buffer2[3:0]
- buffer1[3:0]

The diagram shows the state of these signals at various time intervals: 0, 10 sec, 20 sec, 30 sec, 40 sec, and 50 sec.