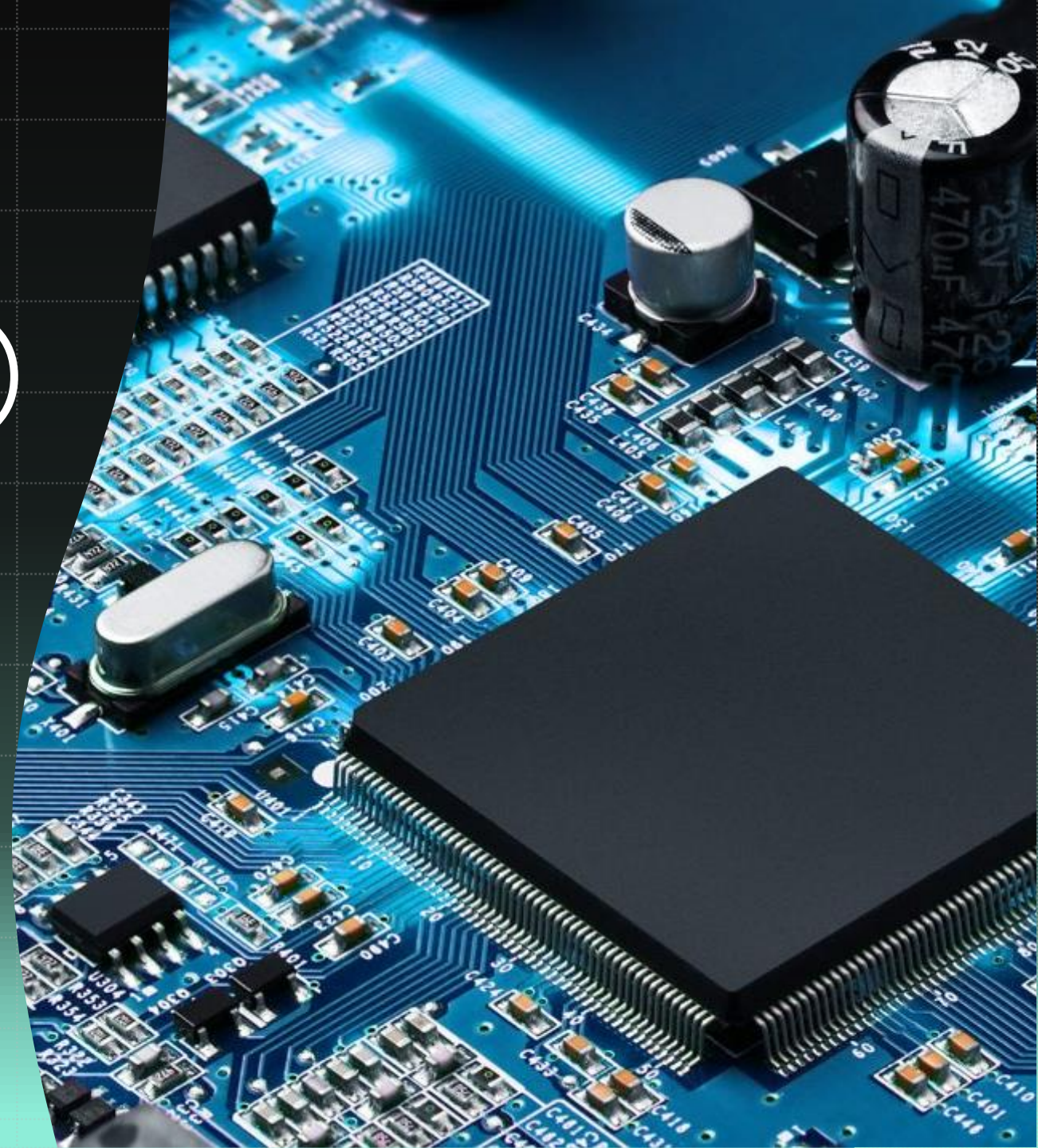


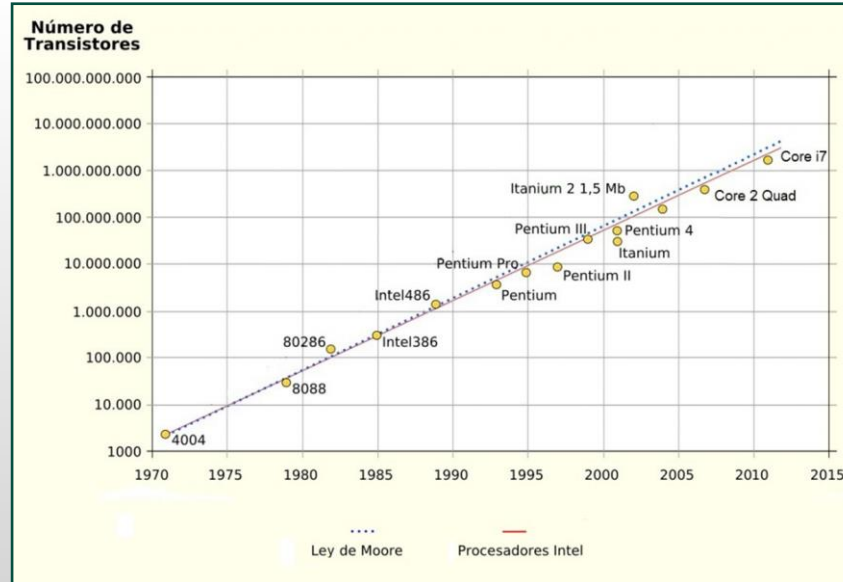
Transistor de un solo electrón (SET)

Autor: Ginés González Guirado



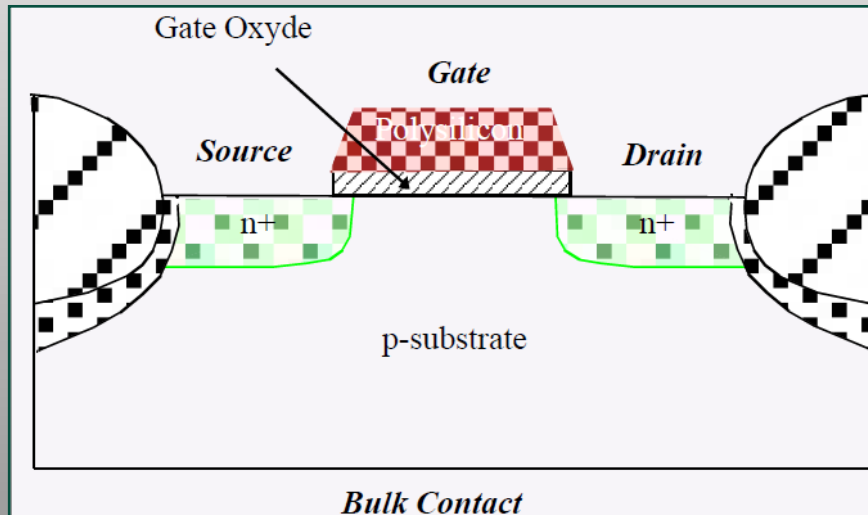
Introducción

Ley de Moore



Integración a gran escala

MOSFET



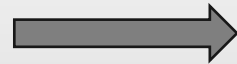
Reducción de tamaño

Problemas:

- Corrientes de fuga
- Efectos de canal corto
- Integridad de la señal degradada
- Disipación de energía

Transistor de un solo electrón (SET)

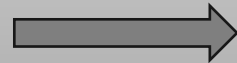
El canal se reemplaza por un punto cuántico o isla



Retardo, la potencia y la disipación de calor son mucho más pequeños

Baja capacidad de conducción de corriente y una pequeña ganancia de voltaje que obstaculizan su tecnología

Funcionamiento



Bloqueo de Coulomb

Efecto túnel cuántico

Teoría básica del SET

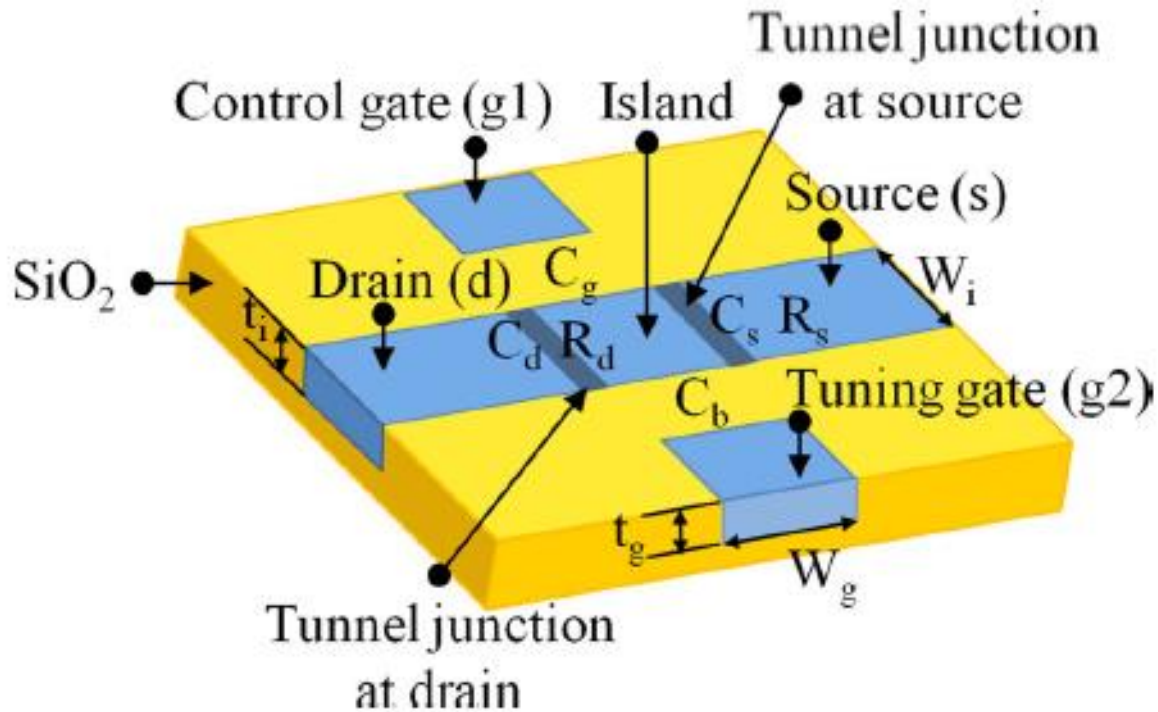


Fig. 2 3D structure of SET

Las uniones túnel pueden tratarse como un condensador con fugas. Por tanto, su carga capacitiva electrostática se puede expresar como:

$$q = CV$$

Para la carga total Q transportada, la energía de carga electrostática viene dada por:

$$E_c = \frac{1}{C} \int_0^Q q dq = \frac{1}{C} \frac{Q^2}{2} = \frac{Q^2}{2C}$$

Como el SET es simétrico:

$$E_c = \frac{Q^2}{2C_\Sigma}$$

Teoría básica del SET

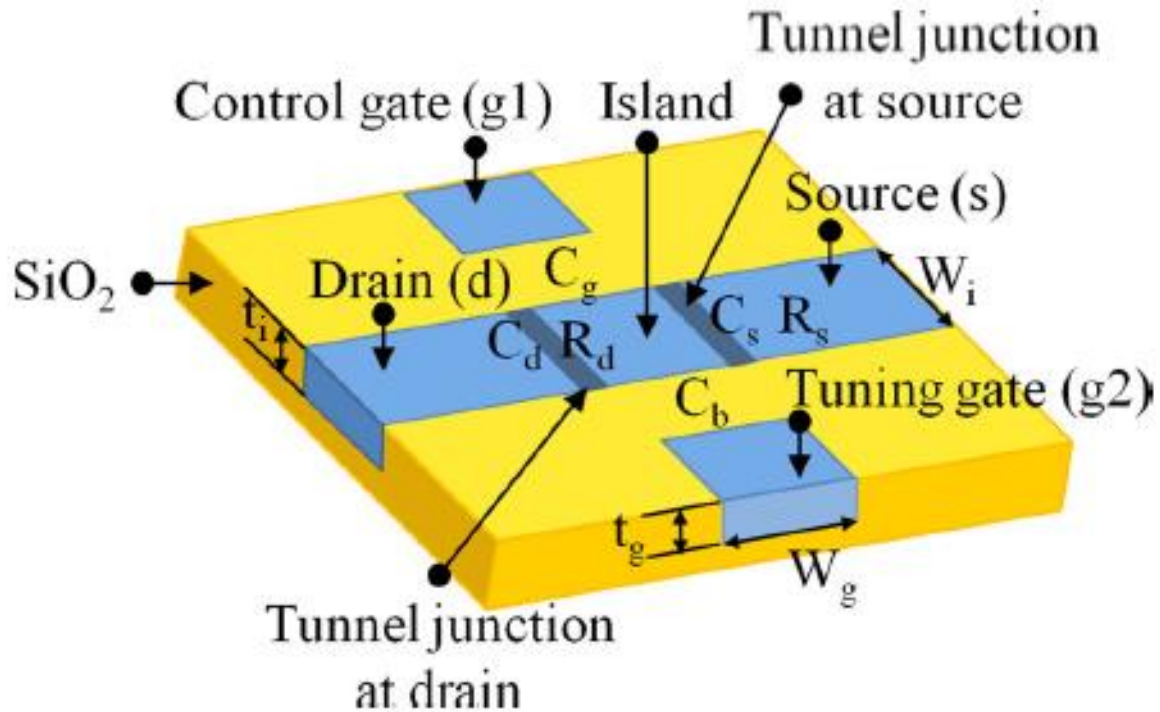


Fig. 2 3D structure of SET

Energía electrostática inicial en la isla:

$$E_1 = \frac{Q^2}{2C_\Sigma}$$

Con la adición de un electrón más en la isla, la energía electrostática será:

$$E_2 = \frac{(Q - e)^2}{2C_\Sigma}$$

Esto nos lleva a:

$$E_1 > E_2 \implies E_1 - E_2 > 0$$

Teoría básica del SET

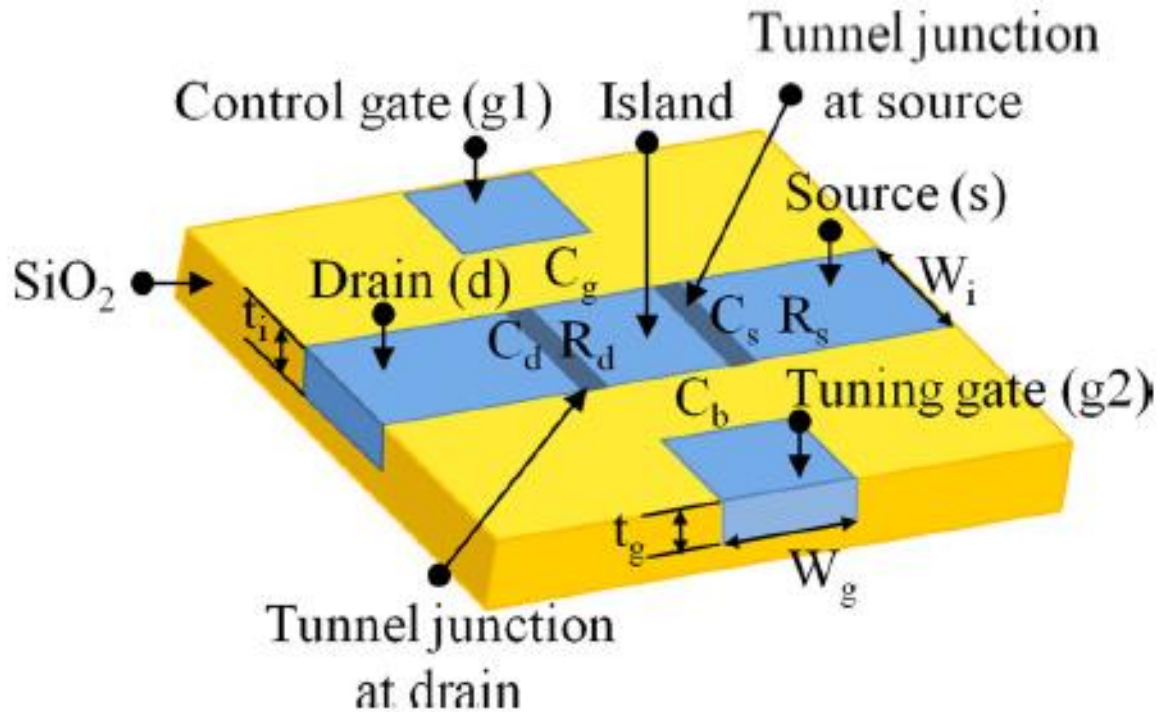


Fig. 2 3D structure of SET

Sustituyendo y despejando, obtenemos finalmente que:

$$Q > \frac{e}{2}$$

Para SET, la carga total es, $Q = |V|C_{\Sigma}$, donde $|V|$ es la caída de voltaje a través de la unión túnel. Entonces:

$$|V| > \frac{e}{2C_{\Sigma}}$$

Esta ecuación nos muestra, condición para la transferencia de electrones por efecto túnel.

Teoría básica del SET

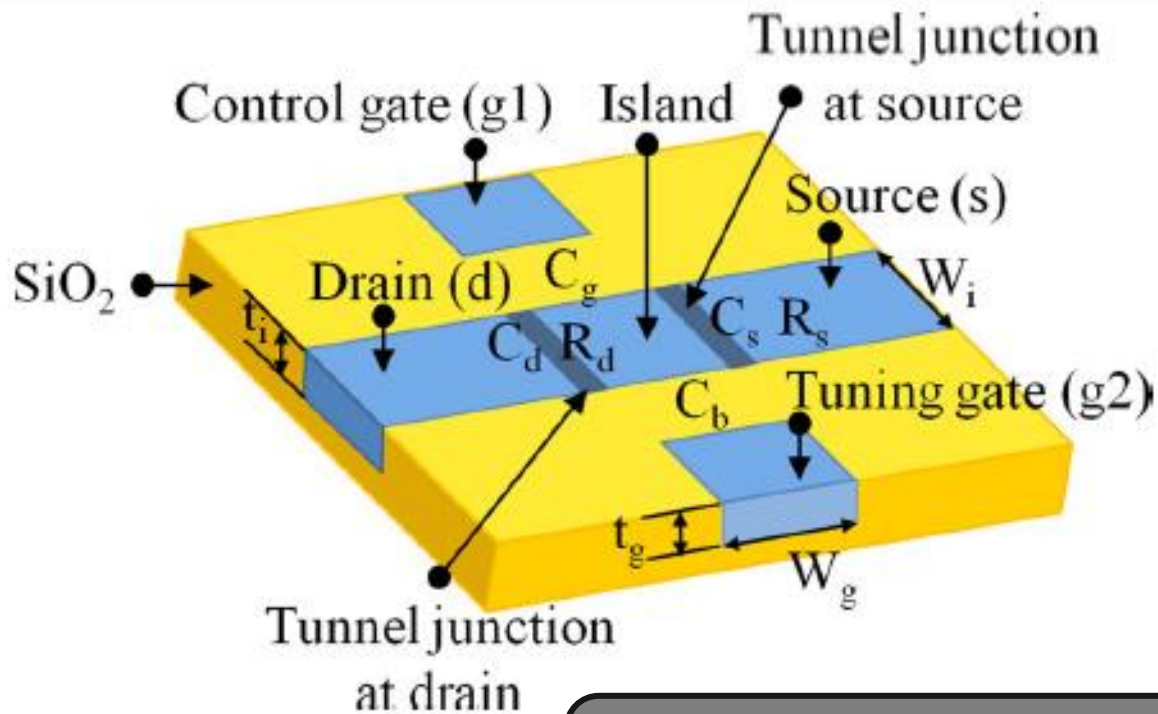


Fig. 2 3D structure of SET

El efecto túnel de electrones es válido cuando los electrones están bien localizados en la isla. En mecánica cuántica la localización es incierta debido al Principio de Incertidumbre de Heisenberg:

$$\Delta E \Delta t > h$$

Entonces, para localizar los electrones en la isla:

$$t \gg \Delta t \implies t \gg \frac{h}{\Delta E}$$

Ahora, la corriente (I) puede describirse mediante e/t para tunelización de un solo electrón y $\Delta E < eV_b$. Por tanto, introduciendo $t = e/I$ y $\Delta E = eV_b$, en la ecuación anterior, obtenemos el requisito de resistencia túnel (R_t):

$$\frac{e}{I} \gg \frac{h}{eV_b} \implies \frac{V_b}{I} \gg \frac{h}{e^2} \implies R_t \gg \frac{h}{e^2} \implies R_t \gg 25.8 \text{ k}\Omega$$

Teoría básica del SET

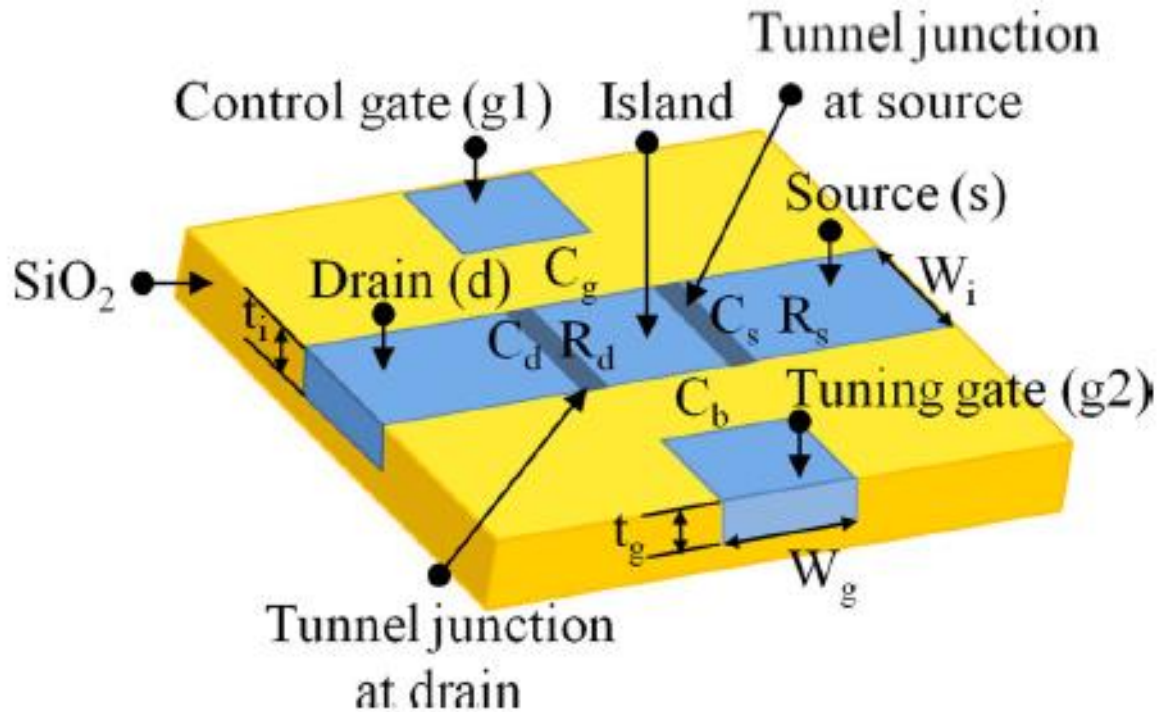


Fig. 2 3D structure of SET

Para evitar el efecto túnel espontánea de electrones hacia la isla, se necesita que la energía de carga electrostática (E_c) supere la energía térmica.

$$E_c \gg k_B T \implies \frac{e^2}{2C_\Sigma} \gg k_B T$$

De esta ecuación, se deriva que la temperatura tiene que ser:

$$T \ll \frac{e^2}{2k_B C_\Sigma}$$

Modelado del SET

Los diseños basados en SET necesitan un modelado extenso que se ha conseguido mediante estos tres enfoques:

Modelado de Monte-Carlo

Modelado Macro

Modelado de ecuaciones maestras (analítico)

Modelado de Monte-Carlo

- Se calculan tiempos de túnel aleatorios para todos los eventos y correlaciones posibles.
- El motor central de este método es el generador de números aleatorios.
- Transferencia de electrones a través de la barrera del efecto túnel, determinada por un proceso estocástico.
- Las simulaciones de circuitos grandes requieren mucho tiempo.
- Simuladores: SIMON, KOSEC, entre otros.

Modelado Macro

- El SET se reemplaza por su circuito equivalente que consta de una combinación de diodos, resistencias, etc.
- Mediante las leyes de corriente y voltaje de Kirchhoff se resuelven las ecuaciones de corriente-voltaje.
- Se puede implementar de manera eficiente en simuladores actuales como SPICE.
- La base de este método es puramente empírica y puede que no sea escalable.

Modelado de ecuaciones maestras

- Las curvas características de SET se obtienen resolviendo un conjunto de ecuaciones.
- El circuito ocupa diferentes estados, cada uno de los estados se diferencia por los voltajes externos y la distribución de carga.
- La forma óptima de resolver la ecuación maestra es considerando sólo un número finito de estados.
- Es muy complejo por todos los parámetros involucrados como la dependencia del voltaje de la puerta, la influencia de la resistencia, el efecto de la temperatura, etc.

Modelado del SET

Modelado de Monte-Carlo

Ventajas: precisión y flexibilidad notables en la configuración de la estructura SET

Desventajas: tiempo de cálculo extenso y problemas de compatibilidad con los simuladores actuales.

Modelado Macro

Ventajas: Cálculos rápidos y excelente compatibilidad con los simuladores de circuitos actuales.

Desventajas: Menor precisión y flexibilidad

Modelado de ecuaciones maestras (analítico)

Ventajas: Excelente compatibilidad, alta flexibilidad y precisión

Desventajas: Velocidad de cálculo limitada para diseños complejos.

Diseños híbridos basados en SET-MOSFET

Para superar las disparidades en la capacidad de conducción y disipación de potencia entre SET y CMOS, se propone la cointegración SET-CMOS.

Algunas investigaciones abordan diseños híbridos SET-MOSFET, demostrando la integración lógica SET-CMOS para nodos de 22 nm. Implementándose bloques lógicos digitales y explorando arquitecturas híbridas para aplicaciones aritméticas.

Es de destacar, un SET con puerta metal/aislante alta-k para funcionamiento a temperatura ambiente y cointegrado con un MOSFET de longitud de puerta de 20 nm. Deshpande et añ. (2012)

Aunque mejora con respecto a la MOSFET, la tecnología híbrida SET-MOSFET sigue requiriendo una gran cantidad de transistores MOS y disipación de potencia en diseños complejos.

Debido a su capacidad para disipar energía en un rango ultrabajo, el diseño basado solo en SET podría ser una solución eficiente.

Diseños basados en SET

En 1992, Tucker propuso reemplazar los transistores de efecto de campo (FET) por SET en puertas lógicas de tipo complementario.

El diseño exclusivo con SET es más pequeño y requiere menos transistores.

Los diseños basados en SET funcionan eficientemente a temperaturas entre 1,55K y 300K, con voltajes de suministro de 16mV a 800mV y son capaces de operar en frecuencias ultraaltas.

Para sistemas informáticos basados en SET, un trabajo realizado en 2019, destaca en complejidad de diseño, número de transistores, retardo y disipación de potencia.

Table 2 Comparison of SET based work carried out in last 10 years

Sr. no.	References	Design	Temp.	Fabrication	Number of transistors	I/O (V)	Freq.	Delay	Power	Simulator	Research gap/remark
1	Tsiolakis et al. (2010a)	OR/NOR	4 K	–	6 tunnel junctions	– 0.1/0.1	10 GHz	–	–	SIMON	
2	Tsiolakis et al. (2010b)	4 × 1 Multiplexer	4.2 K	–	48 tunnel junctions	0.1/0.1	10 MHz	–	–	SIMON	
3	Sui et al. (2011)	Basic Gates	300 K	–	1	0.8/0.8	–	–	–	SPICE	
4	Tannu and Sharma (2012)	Random number generator	300 K	–	1	–	–	–	–	–	Without Interconnect parasitics and Unrealistic SET parameters
5	Bounouar et al. (2012)	Inverter	300 K	Yes	2	0.4/0.4	–	0.34 ns	0.75 nW		
		NAND2			10	0.4/0.4	–	21.9 ns	1.3 nW		
		NOR2			10	0.4/0.4	–	21.5 ns	1.12 nW	Spectre	
		DFF			84	0.4/0.4	–	12.3 ns	11.8 nW		
		8-bit SR			672	0.4/0.4	–	1.56 ns	92.1 nW		
6	Maeda et al. (2012)	Gates	9 K	Yes	–	0.4/0.4 (pA)	–	–	–	–	Fabricated SET
7	Sahafi et al. (2013)	Memory element (DFF)	–	–	48 tunnel junctions	0.016/0.016	–	0.07 ns	–	SIMON	
8	Hasani et al. (2013)	Half Adder	300 K	–	6	2.9/0.1	–	–	–	SIMON	
9	Raut and Dakhole (2014)	3-bit multiplier	–	–	–	0.016/0.016	–	10.02 ns	6 pW	SPICE	
10	Miralaie and Mir (2016)	Periodic symmetric functions	300 K	–	2	–/0.016	–	–	–	SIMON	Without Interconnect parasitics and Unrealistic SET parameters
11	Inokawa et al. (2018)	Ultra high-frequency characteristics	1.55 K	–	–	–	1 THz	–	–	SIMON	
12	Eskandarian et al. (2018)	Frequency Doubler	15–300 K	–	2	0.25/0.18	1 GHz	–	–	HSPICE	
13	Miralaie and Mir (2018)	4-bit ADC	100 K, 300 K	–	8	–/0.012	–	–	–	SIMON	
14	Parekh (2019)	8 × 8 Memory	300 K	–	–	0.8/0.8	4 GHz	4 ps	830 nW	Spectre	Without interconnect parasitics
15	Patel et al. (2019)	Inverter	300 K	Yes	2	0.8/0.8	–	1.02 ps	0.73 nW		
		NAND2			4		–	7.37 ps	0.1 nW		
		NOR2			4		–	7.13 ps	0.1 nW		
		DFF			36		–	38.87 ps	7.19 nW	Spectre	Realistic SET parameters, Incorporation of practical interconnect parasitics
		ALU Cell			74		–	42.08 ps	23.38 nW		
		Multiplier			546		–	58.08 ps	185.3 nW		
		Computing system			6818		5 GHz	–	2.52 μW		

Fabricación de SET

En la fabricación de SET, se destacan metodologías de fabricación como el uso de nanohilos de silicio, puntos cuánticos de germanio y niobio, resonadores nanomecánicos y oxidación local controlada por corriente.

Un ejemplo notable es la fabricación de SET basado en nanohilos de Si (SiNW) para funcionamiento a temperatura ambiente utilizando litografía óptica convencional. Sun et al. (2010)

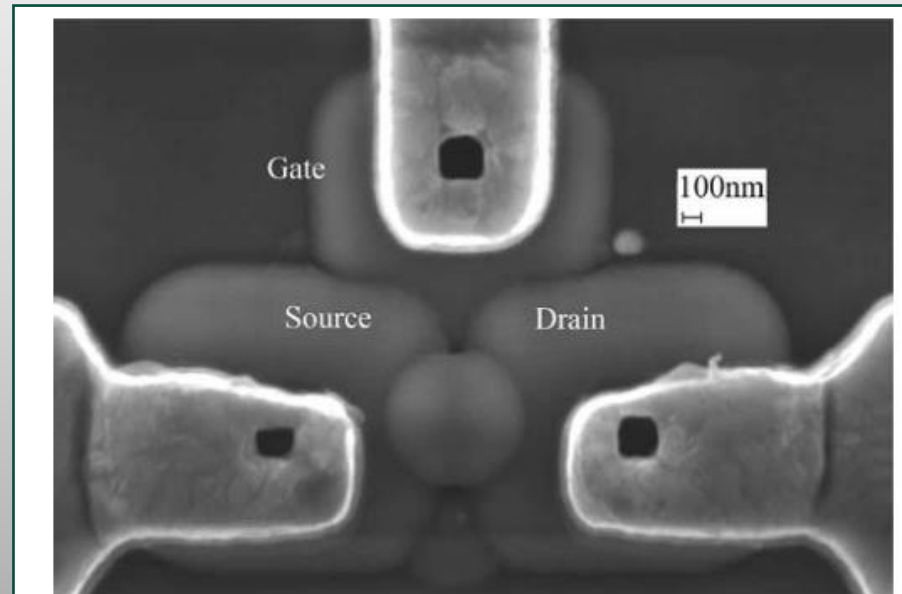


Fig. 2 SEM microview of the entire device. SiNW between source/drain pad with 400 nm length was encapsulated by 130-nm-thick LPCVD amorphous Si gate.

Fabricación de SET

En Parekh (2013) se muestra el diseño para la fabricación de transistores SET metálicos, mediante el proceso de nanodamasceno, dentro de las capas de interconexión del chip.

De esta forma, los circuitos SET metálicos se pueden apilar fácilmente sobre la plataforma CMOS, lo que presenta un bajo costo y un bajo presupuesto térmico.

Esto reduce considerablemente los parásitos de interconexión y aumenta la densidad de funciones, manteniendo un rendimiento general aceptable.

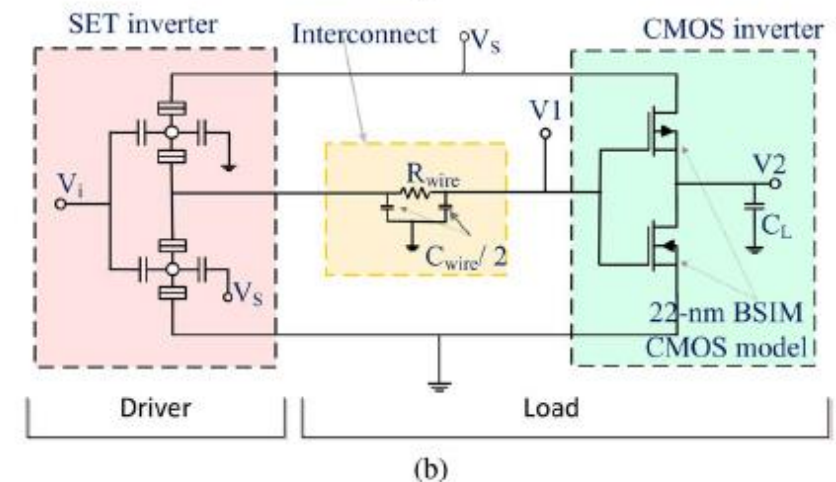
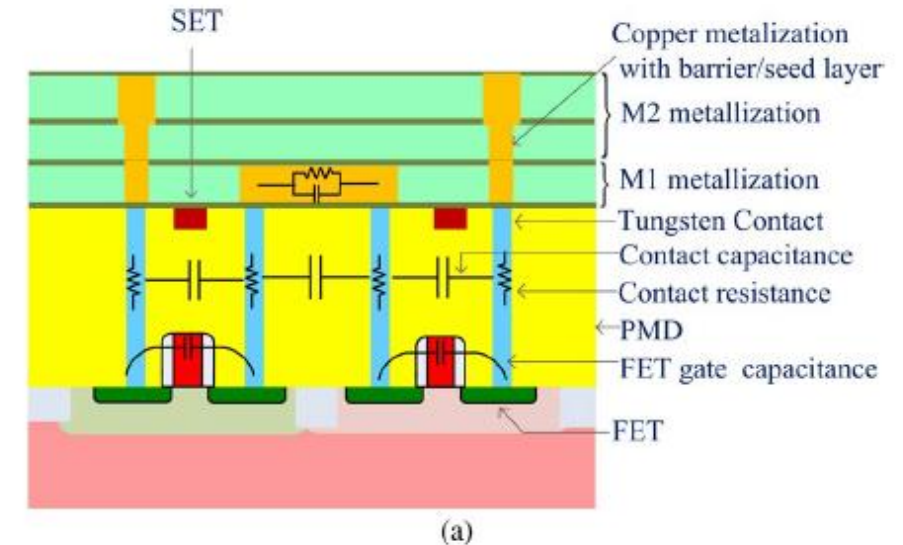


Fig. 5. Hybrid SET-CMOS cascaded inverter with interconnects parasitic. (a) Model. (b) Circuit diagram.

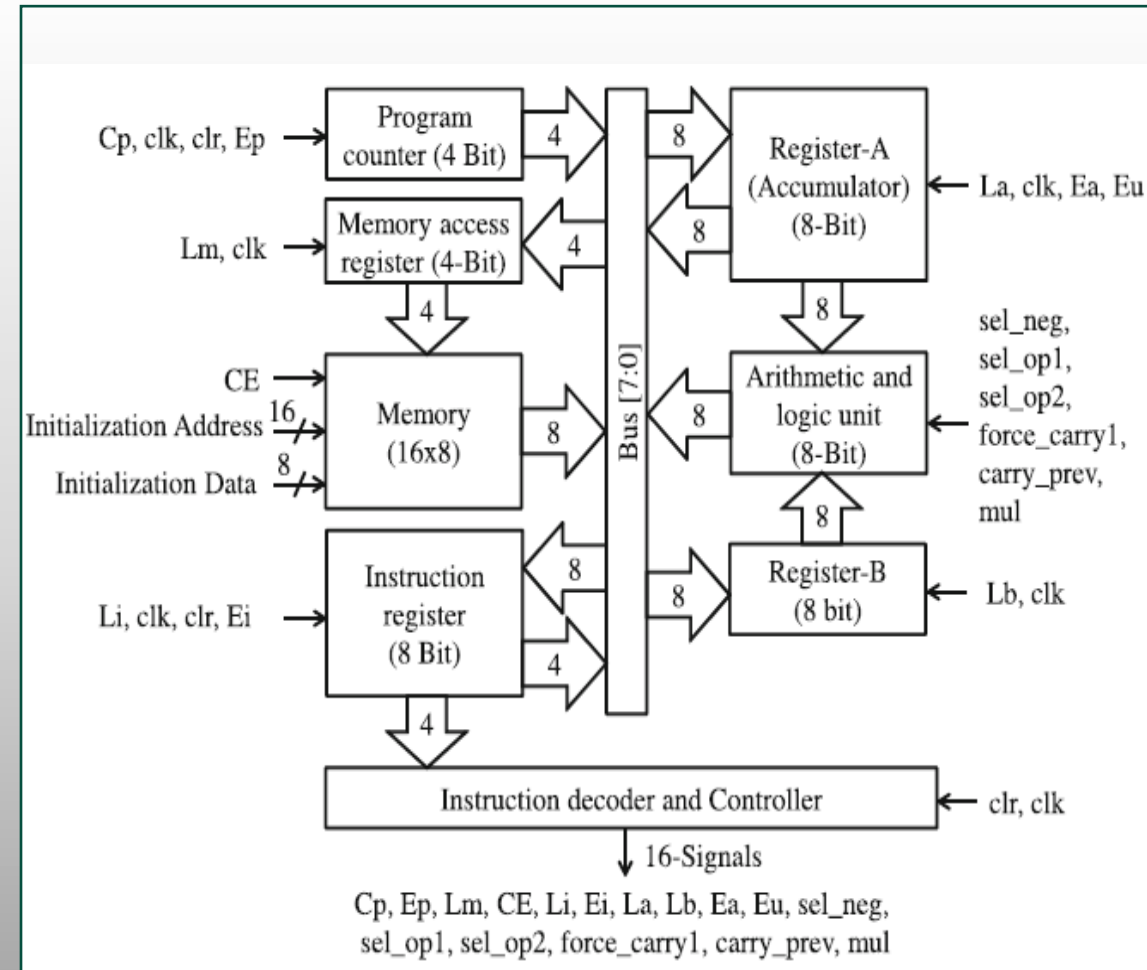
Sistema informático basado en SET

Se propone un sistema informático de 8 bits basado en SET, que emplea la arquitectura von-Neumann y ejecuta 14 instrucciones.

El diseño incorpora parámetros SET realistas para funcionamiento a temperatura ambiente con parásitos de interconexión prácticos y una memoria de 16x8.

A nivel de ejecución, el sistema puede ejecutar múltiples programas y se verifica su rendimiento en comparación con sistemas CMOS de 16 nm.

El SET para este trabajo tiene cuatro terminales. Los parámetros se derivan de la geometría del SET y los materiales utilizados durante la fabricación.



Sistema informático basado en SET

Los parámetros SET utilizados para funcionamiento a temperatura ambiente y 0.8 V son:

$$C_s = C_d = 0.03 \text{ aF}$$

$$C_g = 0.045 \text{ aF}$$

$$C_b = 0.05 \text{ aF}$$

$$R_s = R_d = 1 \text{ M}\Omega$$

El conjunto de estos parámetros da lugar a:

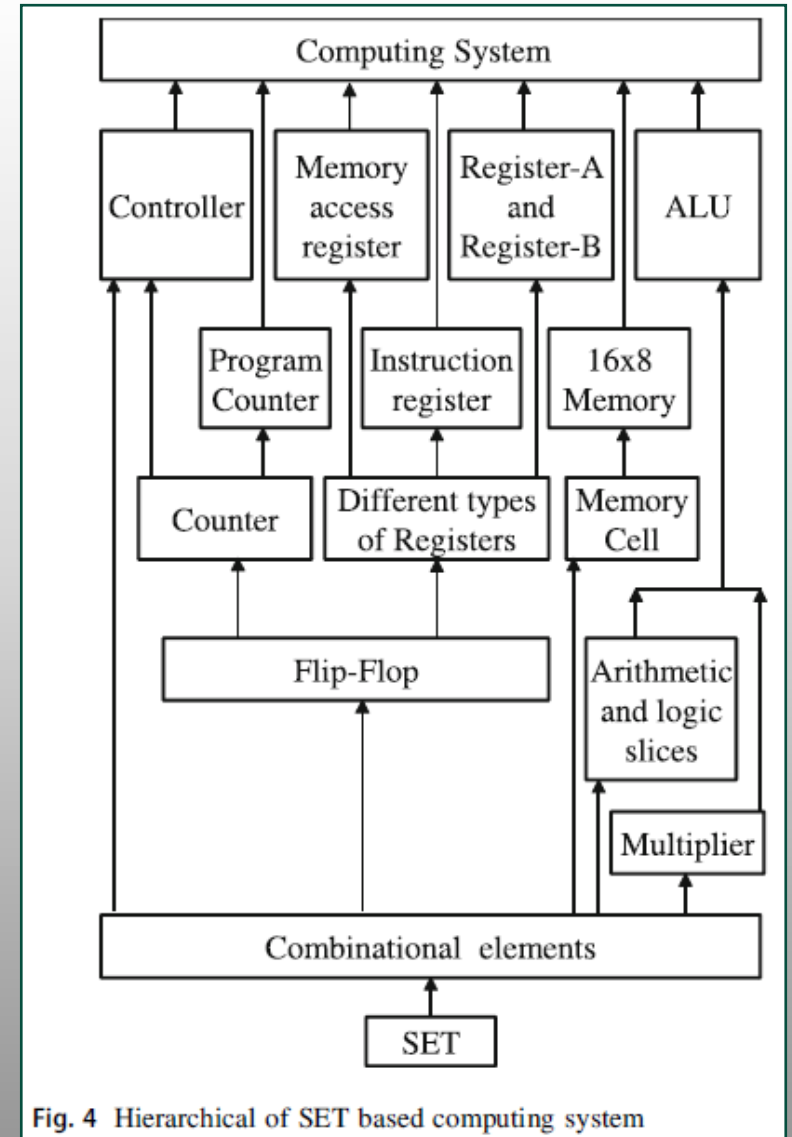
$$\frac{e^2}{C_\Sigma} = 40 k_B T$$

Lo que deriva el funcionamiento a temperatura ambiente.

Sistema informático basado en SET

Aquí se muestra, el diseño jerárquico del sistema informático basado en SET.

Se considera un enfoque de diseño basado en arquitectura de corte para ALU (Unidad aritmética lógica) de 8 bits.



Sistema informático basado en SET

La frecuencia operativa máxima de los sistemas informáticos basados en CMOS y SET es de 1 GHz y 5 GHz respectivamente. Además, el sistema basado en SET consume casi 1,6 veces menos energía que el sistema basado en CMOS de 16 nm.

Parameters	16 nm CMOS technology	SET technology
Max. operating frequency (GHz)	1	5
Power (μ W) at 1 GHz	4.092	2.570

Por tanto, el sistema SET es eficiente en términos de energía y frecuencia operativa en comparación con el sistema CMOS. De estos resultados se infiere que las tecnologías SET son adecuadas para su incorporación en circuitos integrados futuristas

Conclusión

Se destaca la eficiencia del SET en términos de tamaño, potencia y disipación de calor, resaltando su capacidad para funcionar a temperatura ambiente.

Se discuten modelos y diseños híbridos SET-MOSFET para mejorar la capacidad de conducción, así como diseños exclusivamente SET.

Además, se abordan metodologías de fabricación y se presenta un sistema informático basado en SET, demostrando su eficiencia frente a sistemas CMOS.

En conclusión, se sugiere la idoneidad del SET para futuros circuitos integrados.