**INTRODUCCION AL INVERSOR**

El inversor CMOS es el bloque básico de diseño de circuitos digitales. En la se ilustra la compuerta inversora, donde se muestra que el inversor realiza una operación de A a Ã (invierte la entrada). Cuando la entrada del inversor es conectada a CERO, la salida es elevada a VDD a través del dispositivo PMOS de nombre M2 (y el transistor NMOS de nombre M1 es apagado). Cuando el terminal de entrada es conectado a VDD, la salida del dispositivo es reducida a CERO a través del transistor NMOS de nombre M1 (mientras que M2 es desconectado).

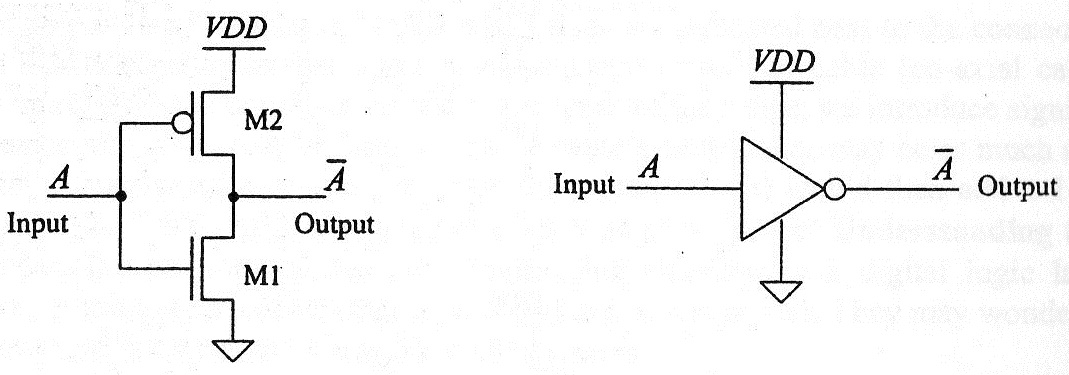


Figura ) Esquemático y Símbolo del Inversor

***Características DC de la compuerta inversora***

Considerando la curva de transferencia de la de la compuerta inversora, podemos observar que en la región 1 de la característica de transferencia, el voltaje de entrada es lo suficientemente bajo (típicamente menos que el voltaje de disparo VTHP de M1), entonces M1 está apagado y M2 encendido (*VSG>>VTHP*). A medida que Vin se incrementa, ambos transistores M1 y M2 se encienden (región 2 de la curva característica). Al seguir aumentando Vin produce que M2 se apague y M1 se encienda completamente, como se muestra en la región 3 de la curva.

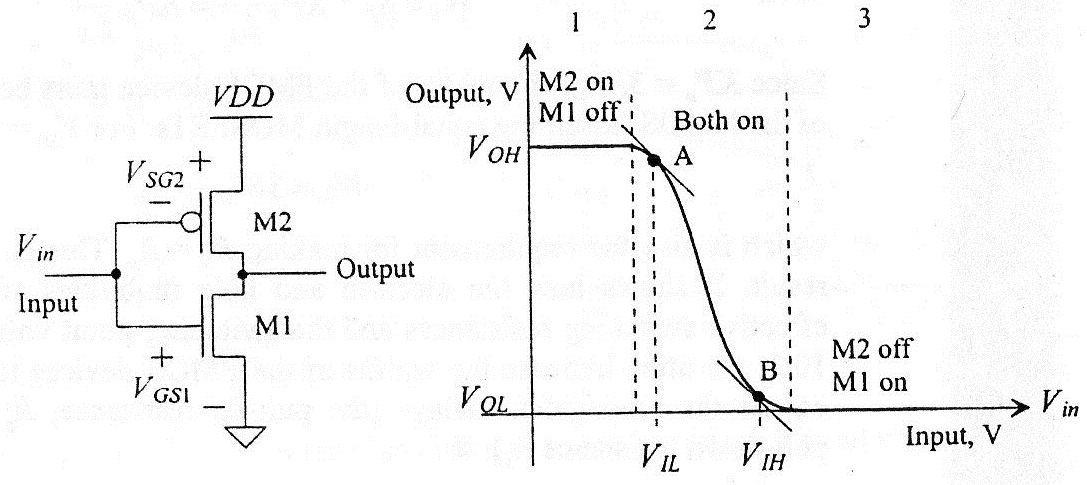


Figura ) Esquemático y CTV del inversor.

La máxima salida en nivel “alto” es identificado como VOH y la mínima salida en estado “bajo” lo identificamos con VOL. Los puntos A y B en la curva se encuentran definidos por la pendiente -1 de la curva de transferencia.

*Márgenes de ruido:*

El margen de ruido de un circuito o compuerta digital indica que tan bien se va a desempeñar la entrada de los transistores (GATE) bajo condiciones de ruido.

*Punto de transición:*

Considerando la función de transferencia de voltaje representada en la , el punto C corresponde al punto de la curva en el que los voltajes de entrada y salida son iguales. En este punto, el voltaje de entrada (o salida) es llamado *punto de cambio de voltaje, VSP*, y ambos MOSFETs en el inversor se encuentran en la región de saturación.

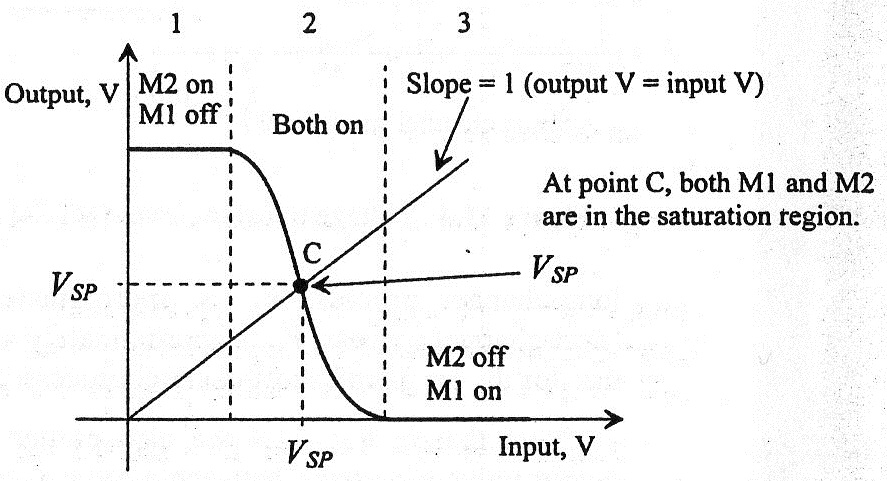


Figura ) Curva de transferencia de tensión VTC del inversor (VSP)

***Características de Transición de la compuerta inversora***

El comportamiento transitorio del inversor puede ser generalizado examinando las capacidades parasitas y las resistencias asociadas con el mismo ().

Y el tiempo de propagación intrínseco de la compuerta:

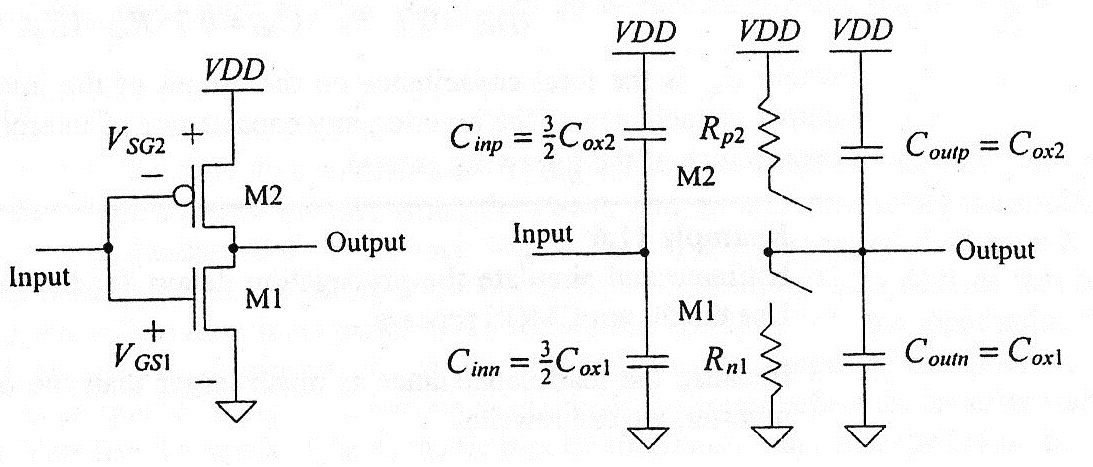


Figura ) Esquemático y modelo transitorio del inversor.

**INTRODUCCION A LAS COMPUERTAS NAND**

El esquemático de las compuertas NAND de 2 entradas se muestra en la . Cada entrada está conectada al *Gate* de un PMOS y de un NMOS.

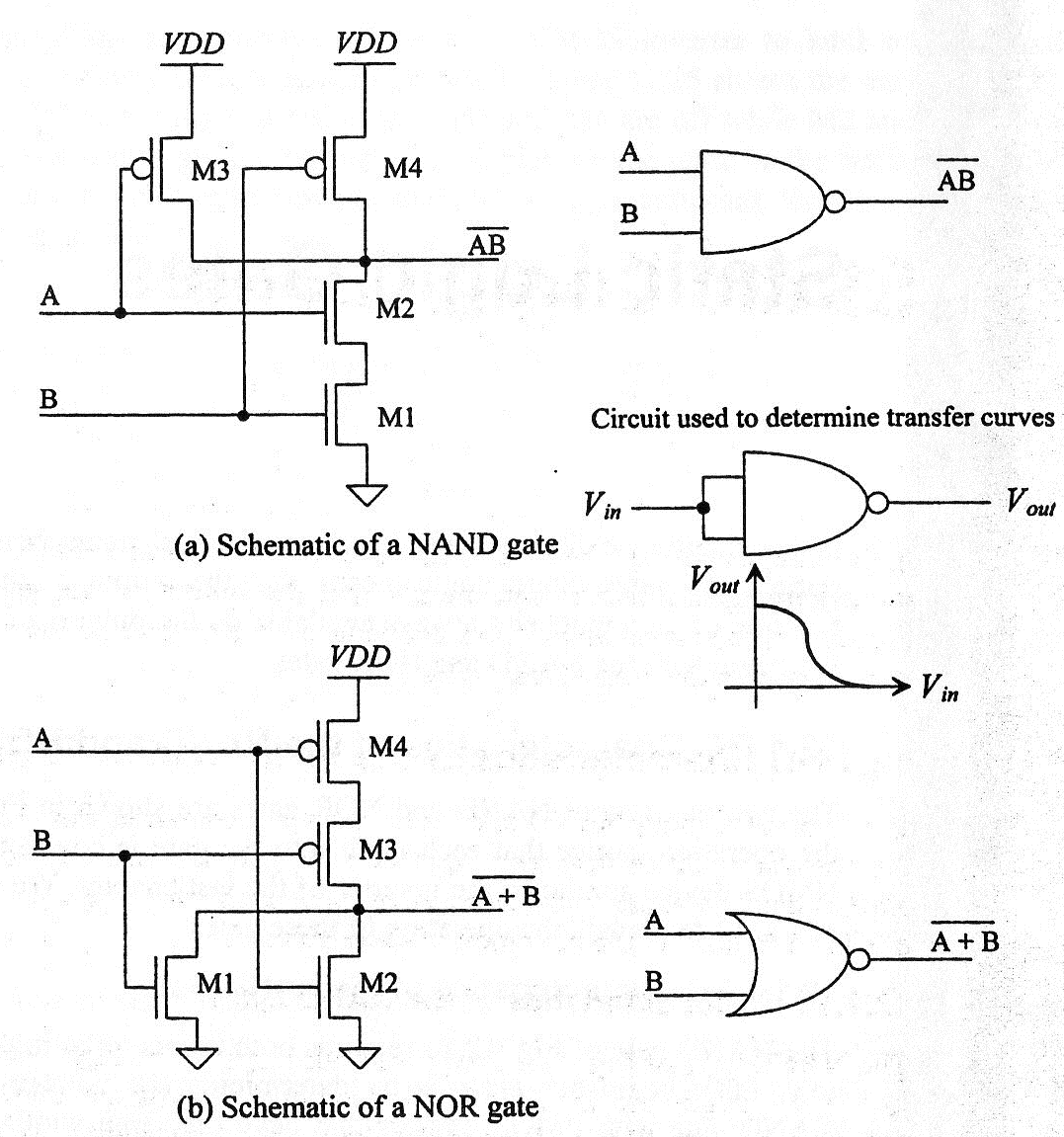


Figura ) Esquemático y símbolos lógicos de compuertas NAND.

***Características DC de la compuerta NAND***

Para que la salida de la compuerta NAND de la cambie el estado a nivel bajo (CERO lógico), es necesario que ambas entradas se encuentren en el estado lógico alto (UNO lógico).

La curva de transferencia de voltaje (VTC o *Voltaje-Transfer-Curve*)de la compuerta NAND () considerando que los dispositivos PMOS se encuentran dimensionados de la misma manera, con ancho *Wp* y largo *Lp* iguales, y que los dispositivos NMOS están también dimensionados en ancho *Wn* y largo *Ln* iguales. Ahora si ambas entradas están conectadas entre ellas, la compuerta NAND se comportaría como un Inversor.

Para el paralelo de los dos PMOS de la , podemos escribir:

Asumiendo que todos los PMOS están igualmente dimensionados. La transconductancia de estos MOSFETs también puede ser combinada y escribirla como:

Los dos NMOS conectados en serie (con sus *Gates* conectadas entre si) lo podemos escribir como:

Y su transconductancia quedaría como:

Debido a la configuración del modelo, podemos escribir la transconductancia total de la compuerta NAND como:

Ahora podemos determinar el valor de cambio de estado para compuertas NAND de “n” entradas como:

Esta ecuación es derivada bajo la consideración que todas las entradas estén conectadas entre sí.

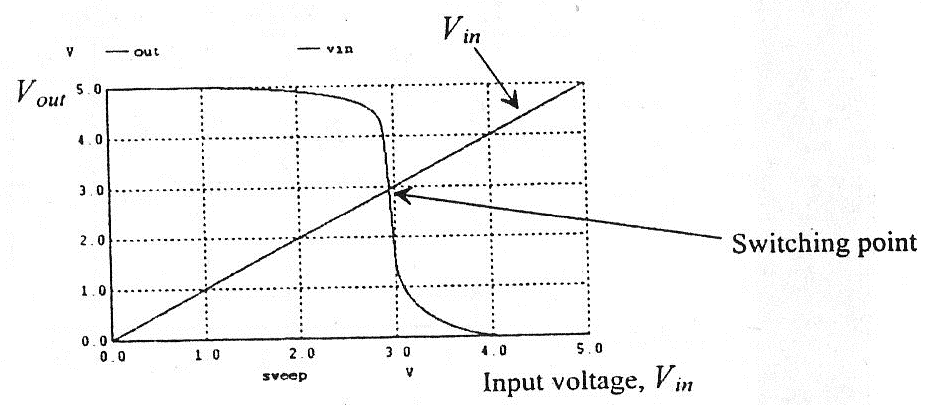


Figura ) VTC de una compuerta NAND de 3 entradas.

***Características de Switching de la compuerta NAND***

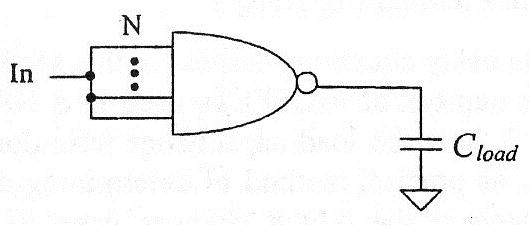


Figura ) Compuerta NAND de N entradas con una Capacitancia Cload como carga.

Considerando la compuerta NAND de N entradas de la con una carga capacitiva en la salida , el tiempo de transición de bajo a alto nivel quedaría:

Y el tiempo de propagación de nivel alto a bajo quedaría:

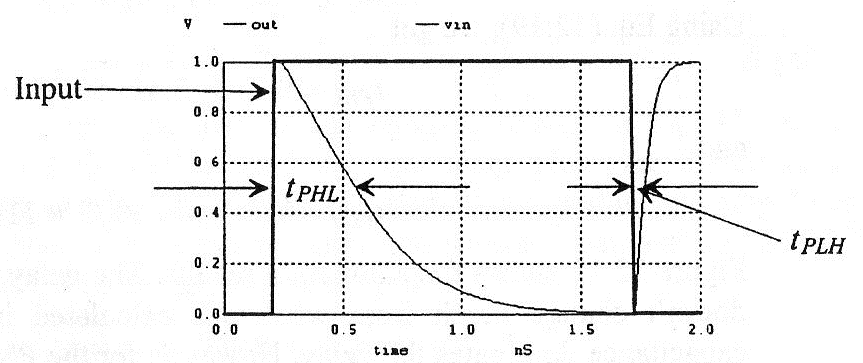


Figura ) Simulación de una compuerta NAND de 3 entradas con una capacitancia de carga de 50fF.

DISENO DE LAS COMPUERTAS

A continuación podemos ver la topología de diseño de compuertas MOS representada en la . En la vemos las dimensiones individuales de cada transistor para las distintas compuertas realizas para el flash. Como ya se menciono, las dimensiones W de los transistores conectados en paralelo se suman, y las dimensiones L de los transistores en serie también se suman.

Figura ) Esquemático de compuertas (NEG, NAND2 y NAND8)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | NEG | NAND2 | NAND3 | NAND4 | NAND5 | NAND7 | NAND8 |
| PMOS | **W** | .93u | .25u | .26u | .25u | .44u | .58u | .68u |
| **L** | .25u | .186u | .25u | .33u | .41u | .58u | .67u |
| NMOS | **W** | .43u | .232u | .37u | .47u | 1.042u | 1.92u | 2.55u |
| **L** | .43u | .2u | .18u | .18u | .18u | .18u | .18u |

Tabla ) Dimensiones de los transistores en las Compuertas.

CARACTERISTICAS DE LA COMPUERTAS:

Realizando un análisis en conjunto de las compuerta, obtuvimos las curvas características de transferencia de voltaje de las compuertas (VTC - ) y los tiempos de retraso de “High to Low”y “Low to High” ante una entrada tipo escalon (TpHL y TpLH - ). Los datos obtenidos de ellas son:

* **1.2V < VSP < 1.7V *(Tensión de cambio)***
* **Tiempo de retraso “High to Low” (TpHL) < 100pS.**
* **Tiempo de retraso “Low to High” (TpLH) < 80pS.**



Figura ) Curva de VTC de las Compuertas.



Figura ) Curva de retardos TpHL y TpLH de las Compuertas.