# CONCLUSIÓN

Como fue mencionado anteriormente, la constante evolución de los circuitos integrados y de los procesos litográficos han permitido desarrollar dispositivos más potentes y eficientes, pero al mismo tiempo, los efectos producidos por los ASETs son más frecuentes, reduciendo así, la confiabilidad de los mismos.

Durante años se analizaron los SEEs sobre estructuras digitales dejando un vacio en el campo analógico. El presente trabajo pretende contribuir al estudio de los ASETs aportando información sobre los efectos en conversores flash. Elegida esta estructura para el análisis por sus características funcionales (analógica/digital) y rol fundamental en sistemas de medición y control, se la diseño en su totalidad con una base de requisitos comunes para instrumental de medición y comunicación. Se llevaron a cabo los pasos de selección de tecnologías y topologías, luego la puesta a prueba individual y grupal de los diversos componentes que lo conforman. Se realizaron iterativamente ajustes necesarios hasta corroborar su correcto funcionamiento. Este proceso de diseño permitió comprender la funcionalidad del dispositivo y sus características de diseño necesarios para luego realizar un correcto análisis de las campañas de inyección de fallas, las cuales se llevaron a cabo de manera manual y automática.La campaña de inyección manual permitió comprender el efecto de los ASETs en los comparadores, como también, brindar un grupo confiable de resultados utilizado como base para la campaña automática. Debido a la cantidad de simulaciones y resultados a analizar, se optó por la creación del entorno virtualizado y el desarrollo de la aplicación.

Luego de las campañas se realizo un profundo análisis de los datos obtenidos. Se determinó la sensibilidad del circuito a los diferentes tipos de fallas, estableciendo el porcentaje de error para cada una de ellas.

Se estableció una clara dependencia entre el aumento de la sensibilidad del circuito con el aumento de la señal de entrada. Así también, se identificó al nodo más sensible de cada comparador. De un total de 2.197 errores, el 80% de ellos fueron sobre sus nodos de salida.

Analizando la sensibilidad según el tipo de falla, se puede observar como la falla exponencial solo afecta al comparador 32, mientras que, la falla trapezoidal afecta la mayoría de ellos, siguiendo una relación lineal que disminuye a medida que el comparador tiene una entrada de referencia de tensión más alta (a excepción del comparador 32). Esta excepción es claramente justificada por el efecto de filtrado que ofrece la lógica combinacional, no presente en el comparador 32, en el cual su salida está directamente conectada a la salida. Si se optase por realizar un reforzamiento de la estructura ante perturbaciones SETs, se podría iniciar con un adicionamiento de lógica a nivel del comparador 32, permitiendo asi un filtrado y reducción de errores causados a partir de dicho comparador.

Observando la sensibilidad de los transistores a los SETs, es evidente la diferencia entre los transistores del tipo P y los del tipo N. Los transistores del tipo P representan 2.023 errores contra 274 ocurridos por inyecciones en transistores N. Esto da una característica crucial del circuito para futuras modificaciones de mejoramiento ante perturbaciones de este tipo.