**INTRODUCCION**

El conversor analógico digital (usualmente abreviado ADC o A/D converter) es un bloque esencial en muchos sistemas de procesamiento de señales digitales. Este provee una conexión entre el procesador de señales digitales y el traductor de señales analógicas. El conversor A/D se considera un dispositivo codificador, donde convierte una muestra analógica en una señal digital con determinado número cuantificado de bits. Numerosos tipos de conversores A/D han sido fabricados para diversas aplicaciones según la cual se determina la técnica de conversión. Desde el punto de vista de la implementación, los conversores analógicos/digitales típicamente contienen uno o más comparadores, compuertas, componentes pasivos de precisión, una referencia de tensión precisa y una lógica de control digital.

**PRINCIPIOS BASICOS**

Hay diversos algoritmos y formas de realizar un conversor analógico/digital ofreciendo diferentes ventajas y desventajas. La relación de compromiso se da entre la resolución de conversión, velocidad y economía (haciendo referencia a la complejidad del circuito, el área del mismo en el chip, la potencia de disipación, etc.), ofreciendo gran cantidad de opciones. Diferentes aplicaciones obviamente requieren diferentes parámetros, en la se ilustra el rango aproximado de requerimiento para sistemas comunes que contengan ADCs.

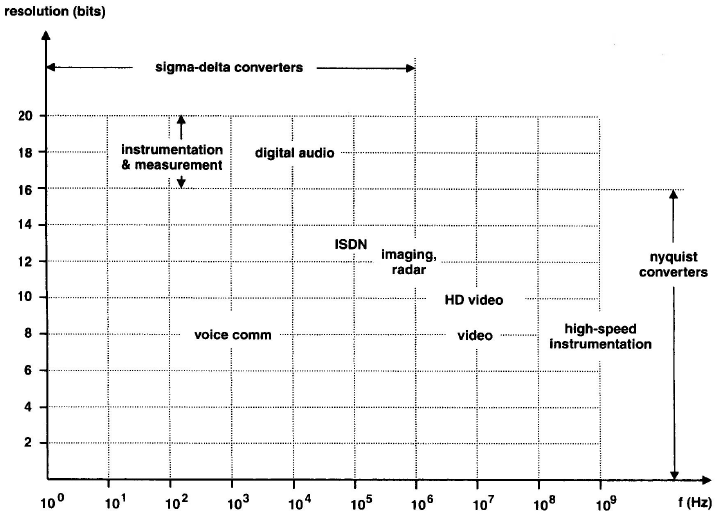


Figura ) Velocidad y resolución requerida en los ADCs en varias aplicaciones

Clasificando a los ADCs según su velocidad de conversión, tenemos 3 categorías:

1. *ADCs de Alta Velocidad*: la señal analógica es muestreada a la misma velocidad que la señal de reloj, o a la mitad de su frecuencia. A pesar de ello, existe una constante de tiempo de retardo (latency) entre el tiempo en que la muestra de la señal analógica entra al conversor y la señal digital generada aparece en la salida. Ejemplos son los conversores Flash, pipeline, de interpolación, etc. Tienen rangos de conversión de entre 0.5 MS/s hasta 10 GS/s, con resoluciones entre 6 a 12 bits.
2. *ADCs de Media Velocidad*: para N-bits de ADCs se requieren N periodos de reloj para cada muestra analógica. Esto hace que la conversión sea N veces más lenta que el reloj. Las implementaciones más típicas incluyen varios conversores seriales (conversores de sucesivas aproximaciones). Los rangos de conversión se encuentran entre 0.1 MS/s y 0.5 MS/s con unas resoluciones de 10 a 14 bits.
3. *ADCs de Baja Velocidad*: para resoluciones de N-bits se requieren aproximadamente 2N periodos de reloj para cada conversión de muestra analógica, lo que los hace de muy baja velocidad operativa. Son utilizados con señales constantes o de muy baja velocidad de variación. Ejemplos son circuitos integradores o de conteo, tal como conversores simple o doble rampa. Su resolución se encuentra en los rangos de 15 a 24 bits.

**PARAMETROS CARACTERISTICOS DEL CONVERSOR A/D**

El diagrama en bloque de un ADC se muestra en la . La entrada analógica (típicamente *vin*) es normalizada a un voltaje de referencia Vref y su nivel de voltaje es convertido en una señal digital de N-bits llamada *Bout*, formada por *b1, b2,….bn*. Bajo condiciones ideales, ignorando el ruido y las imperfecciones de los componentes, la relación entre estas tres señales es:

Donde es el error de cuantificacion generado por el número finito de bits *N* usados en la conversión. Este error es inherente al proceso y puede ser reducido solamente aumentando el número de bits utilizados o reduciendo la tensión de referencia *Vref*.

|  |  |
| --- | --- |
|  |  |
| Figura ) Diagrama en bloques del conversor analógico-digital. | Figura ) Función de transferencia de un ADC para 2 bits. |

La función de transferencia salida-entrada del conversor se ilustra en la para N=2; el error de cuantizacion es la diferencia entre la curva solida en forma de escalera (la característica actual del dispositivo) y la línea punteada (que representa a la curva ideal para un número infinito de N). Definimos el Voltaje *Least-Significant-Bit (LSB o Bit Menos Significativo)* VLSB=Vref/2N. En este caso, VLSB=Vref/4 para N=2. Como se observa en la , la tensión no puede exceder la tensión VLSB/2 mientras permanezca en el rango entre 0 y (Vref - VLSB/2). Esto es llamado *Lineal-Conversion-Range (Rango de conversión lineal)* de un ADC, para valores de fuera de este rango, el conversor se satura y el valor absoluto de ya no es limitado por VLSB/2. La figura también muestra los voltajes de transición de estado (Vref/8, 3Vref/8 y 5Vref/8), los cuales determinan la tensión de la señal de entrada para los cuales *Bout* cambia su valor.

En la práctica, la conversión ideal que se ilustra en la no se puede llevar a cabo, los voltajes de umbral que son múltiplos pares de VLSB/2 ocurrirán a diferentes valores de , produciendo varios errores. Algunos de los errores más comunes se representan en las Figuras 4 y . En la se observa la función de transferencia característica con error de offset, el cual se manifiesta en un movimiento lateral de la curva. El error de ganancia es ilustrado en la , donde el umbral de voltaje permanece igualmente separado, pero esa separación ya no es más VLSB que sería la correcta.

|  |  |
| --- | --- |
|  |  |
| Figura 4) Función de transferencia para un ADC de 2 bits con y sin error de offset. | Figura 5) Función de transferencia para un ADC de 2 bits con y sin error de ganancia. |

Ambos errores de ganancia y offset son errores lineales, no distorsionan la señal de entrada, solo generan un escalamiento y desplazamiento de la misma. Una distorsión mucho más preocupante resulta de la separación desigual e inevitable de las tensiones de umbral, el cual si genera errores de nolinealidad. Dos errores de nolineadidad son representados en las y .



Figura ) Función de transferencia de un ADC de 2 bits con y sin errores de nolineadidad.

Los errores de *Missing-Code* () se dan por las excesivas desviaciones acumulativas de las tensiones de umbral, generando así la perdida de una conversión, lo cual es inaceptable en la práctica.

|  |  |
| --- | --- |
|  |  |
| Figura ) Función de transferencia de un ADC de 2 bits con y sin errores de Missing-Code. | Figura ) Función de transferencia no lineal demostrando los errores de INL y el peor caso de diferencia de transición. |

Los errores de nolinealidad son generalmente cuantificados por los valores de sus *Integral-Nonlinearity error (INL)* y *Differential-Nonlinearity error(DNL).* Los INL son definidos por la mayor diferencia vertical (expresada en LSBs) entre los *code center points* de la característica actual de la curva y la línea que se conecta en forma recta con el punto final (endpoint), ilustrado en la . El DNL es definido como la mayor desviación entre la actual diferencia entre dos voltajes de umbral adyacentes y el valor de diferencia ideal (Vlsb), como se muestra en la Figura 8.[[1]](#endnote-1)

***CONVERSOR FLASH***

La arquitectura con la cual se opto trabajar es una arquitectura de conversión paralela tipo Flash de 6 bits de resolución. Su gran ventaja es la velocidad con la cual una conversión se puede llevar a cabo, cada pulso de reloj puede generar una palabra digital de salida. La contracara es que para cada bit extra de resolución del conversor, tenemos una duplicación de la cantidad de comparadores requeridos, aumentando así el área comprendida por el dispositivo.

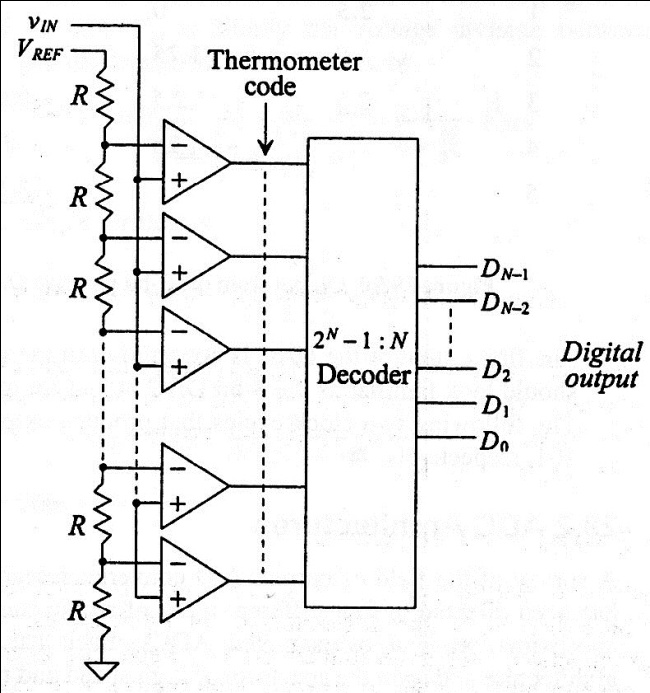
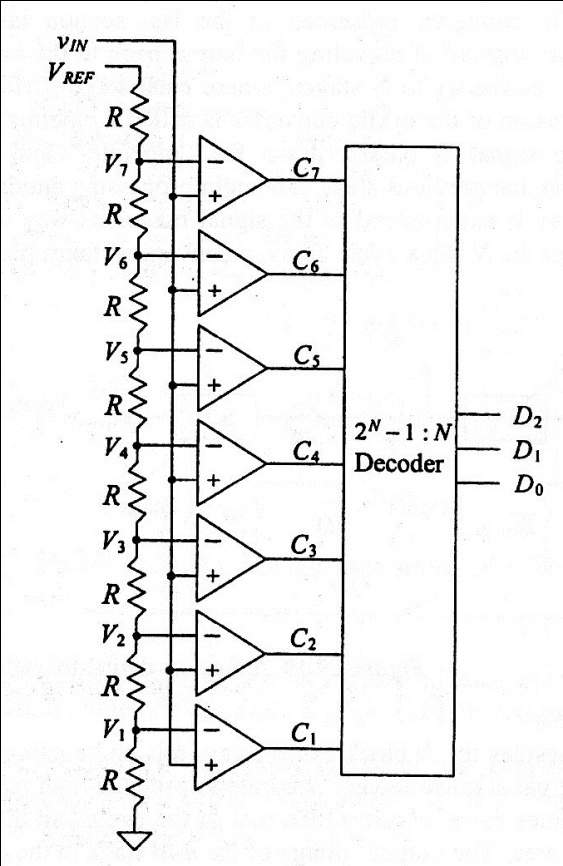


Figura ) Diagrama conceptual de un conversor Flash A/D.

Como se ve en la , se utiliza un comparador por cuantizacion de nivel (2N-1) y 2N resistencias (una cadena de resistencias). El divisor resistivo es empleado para generar 2N valores de tensiones de referencia, de los cuales cada uno de ellos alimenta la entrada de un comparador (para la Figura 9, del C7 al C1). El voltaje de entrada es comparado contra cada uno de estos valores de referencia y resulta en un código termómetro a la salida de los comparadores. Este código nos da como resultado valores “0”ceros si el valor de tensión de la señal de entrada *vin* es mayor comparado con cada nivel de tensión obtenida de la cadena de resistencias, y nos da como resultado “1”unos si *vin* es menor al voltaje de cada nivel de tensión de la cadena de resistencias. El código termómetro generado por los comparadores es conectado a la entrada de la lógica decodificadora la cual nos devuelve como resultado el dato digital.[[2]](#endnote-2)

**Diseño del Decodificador de código Termómetro a código Binario.**

Es el encargado de interpretar el código digital obtenido a partir de los comparadores a la entrada del conversor (código termómetro de 256 niveles) y transformarlo en una palabra digital de salida de un determinado código (en este caso, código binario de 6 dígitos). El ADC agrega una latencia extra al circuito Flash, la cual debe ser tomada en cuenta.

Para el diseño se analizo las distintas opciones que podrían darse a la entrada del decodificador y luego se definió las diferentes combinaciones de salida para cada una de estas situaciones posibles. Dicho análisis se muestra en la , a continuación.

Tabla ) Tabla de relación del decodificador de código Termómetro de 256 valores a código Binario de 6 bits.

De la tabla se obtuvieron las siguientes relaciones para cada combinación de código binario de salida:

La lógica interna del decodificador fue realizada con las compuertas NAND ya descriptas. En la encontramos el esquemático superior del decodificador, con sus 63 entradas de código termómetro y 6 salidas para formar la palabra digital a la salida.

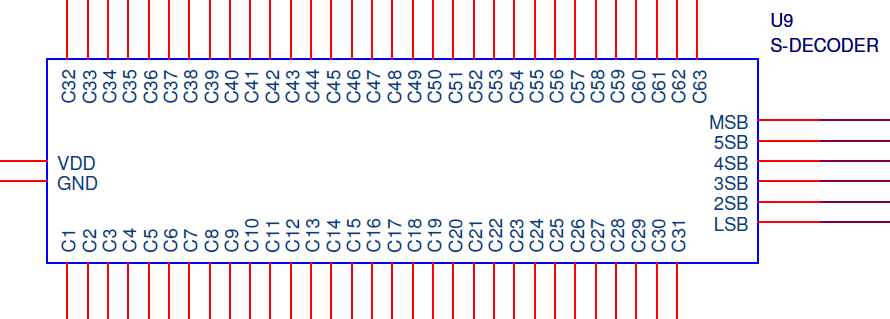
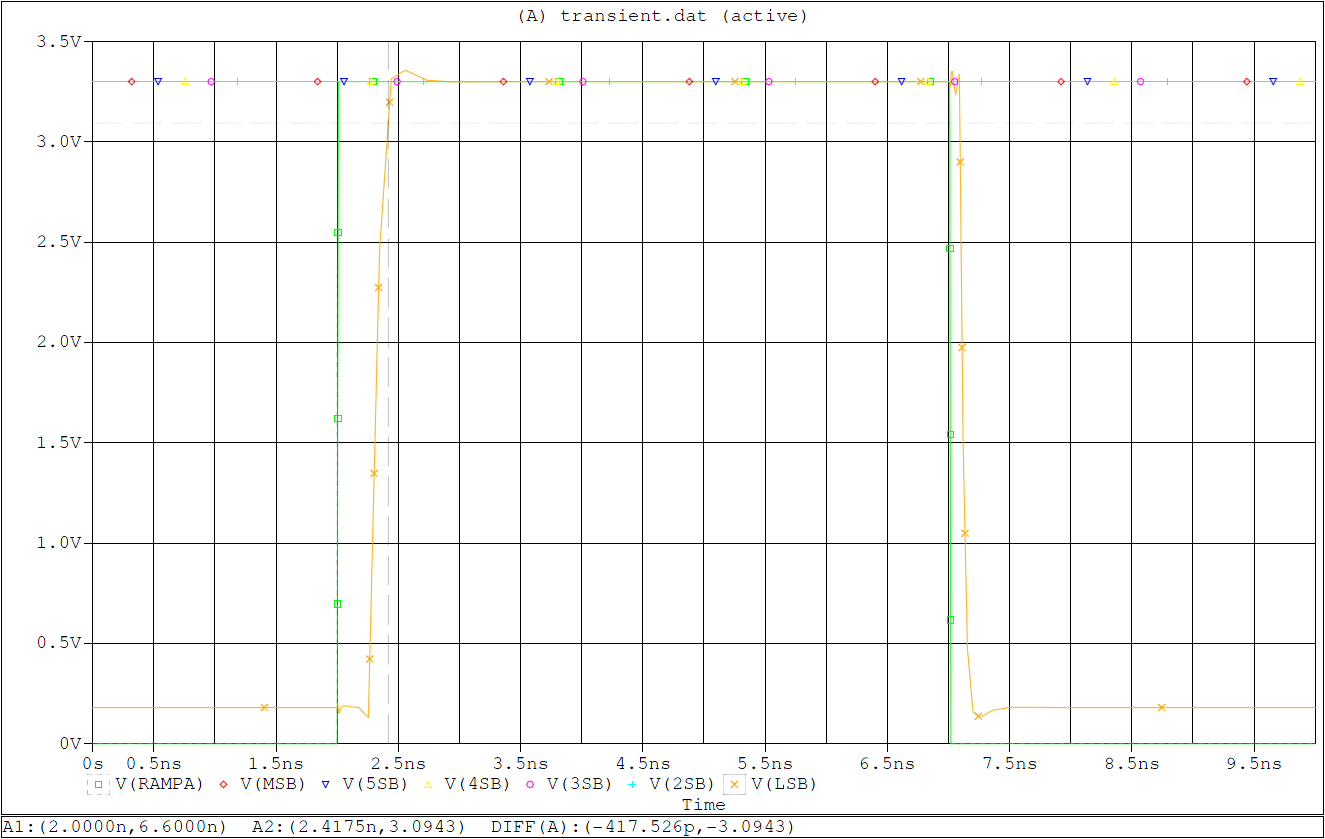
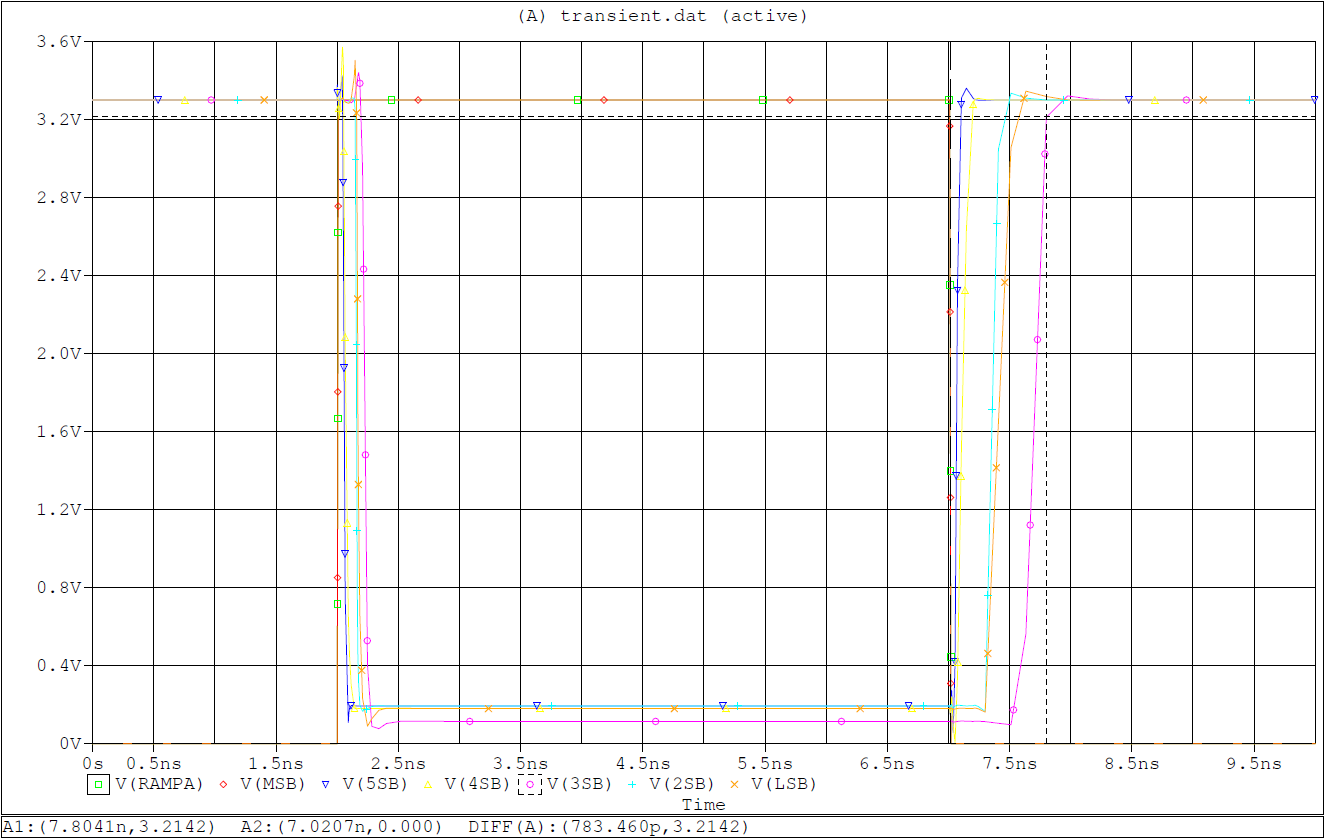


Figura ) Esquemático general del decodificador.

En las y se ilustran los análisis transitorios de las salidas del decodificador como respuesta a una entrada de tipo escalón con tiempos de subida y bajada de 10pS.



**Figura 11) tLH y tHL para un entrada en escalón en el comparador C1 (final en la tabla de conversión)**



**Figura 12) tHL y tLH para una entrada en rampa en el comparado C32 (mitad de la tabla de conversión).**

Los datos obtenidos a partir de estas fueron los siguientes:

* Tiempos de transicion de L a H < 1nS. (aproximadamente 780 pS)
* Tiempos de transicion de H a L < 1nS. (aproximadamnente 250 pS)
* Maxima tension para "CERO" logico < 3mV.
* Minima tension para "UNO" logico > 3.2V.

Como conclusión de los análisis realizados, se puede decir que las compuertas que conformar dispositivo ADC poseen una latencia muy pequeña de forma individual, lo que nos permite tener tiempos de retardos del conversor menores a 1nS, a pesar de que este está conformado por conexiones en serie de hasta 5 compuertas NANDs. Las tensiones de salida que maneja el decodificador se encuentran dentro de los parámetros especificados (para Cero tensiones menores a 1 voltio, y para Uno tensiones mayores a los 2.2 voltios.)

1. Roubik Gregorian , *Ïntroduction to CMOS OP-AMPS and Comparators”,* paginas 255-263. [↑](#endnote-ref-1)
2. R. Jacob Baker, *“CMOS Circuit Design, Layout, and Simulation”,* Second Edition, Editorial Wiley-Interscience, paginas 352-360 y 985-987. [↑](#endnote-ref-2)