

# Architetture dei Sistemi a Elaborazione – a.a. 2014/15

## Esercitazione di Laboratorio 5

Durante l'esercitazione si consideri il sistema 8086, emulato tramite EMU\_8086 e moduli aggiuntivi per 8255 e 8253.

1. Si vuole programmare un sistema a processore basato su 80x86 installato su un'automobile, la cui architettura è mostrata in figura. Il sistema gestisce un componente per la frenata controllata chiamato ABS (Antilock Braking System) per reagire a frenate improvvise. Il processore legge dati sulla velocità delle ruote da un dispositivo di controllo velocità SC (Speed Control) tramite la porta A di un dispositivo 8255 e controlla tramite la porta B il modulo ABS in relazione alle velocità acquisite.

Nel dettaglio, il sistema ha il seguente comportamento:

- Ogni 30 microsecondi legge il valore su 8 bit scritto sulla porta A dell'8255 da un dispositivo di controllo velocità SC (Speed Control); tale numero è interpretato come numero senza segno ed indica la velocità istantanea dell'automobile in km/ora (non esistono i decimali).
  - In caso la differenza di velocità sia negativa e inferiore a -5 km/ora per 4 letture consecutive, la cpu attiva il dispositivo ABS inviando il valore FFh sulla porta B dell'8255
  - Il dispositivo ABS conferma la ricezione del dato e a seguito di questa segnalazione viene spento dalla cpu inviando il valore 00h sulla porta B.
  - Durante la fase di frenata controllata, il sistema deve continuare a leggere la velocità delle ruote, eventualmente prolungando il periodo di attivazione dell'ABS finché
    - 1) la vettura si ferma (è la situazione di inchiodata delle ruote per evitare l'impatto con l'ostacolo),
    - 2) la frenata perde intensità e la velocità della vettura non scende con la tendenza di guardia (situazione di frenata e scarto ostacolo).
2. Si consideri un sistema 8086 avente l'architettura riportata in figura. La porta A dell'8255 è configurata per funzionare in modo 1 in input, mentre la porta B è impostata in modo 0 output. Le porte servono per scambiare dati su 8 bit con l'esterno, supportate da una struttura di memorizzazione FIFO.

Il sistema riceve dall'esterno sequenze di comandi (corrispondenti ciascuno ad un carattere inviato sulla porta A dell'8255 inferiore) e dati. I comandi possibili sono:

- **I**: acquisisci dalla porta A dell'8255 un dato (intero senza segno su 8 bit) e memorizzalo in una struttura FIFO interna
- **O**: estrai dalla struttura FIFO un dato e invialo sulla porta B dell'8255
- **Z**: azzera la struttura FIFO interna.

A seguito del comando **I** sulla porta A, il sistema riceve 1 o + dati che vengono inseriti nella FIFO (fino eventualmente alla saturazione). A seguito del comando **O**, il sistema estrae un singolo dato e lo emette sulla porta B. Si consideri inoltre:

- in caso siano ricevuti dati sulla porta A senza aver ricevuto il comando I (ad esempio dopo aver ricevuto O o Z), tali dati devono essere ignorati
- in caso la struttura FIFO sia piena, alla ricezione di un nuovo dato, il sistema deve emettere il valore 0FFH sulla porta B (indicazione di saturazione della FIFO)

Il sistema deve infine emettere sulla porta B il numero di dati ricevuti ogni 10 ms; si consideri tale dato su 16 bit.

3. Si consideri un sistema a processore avente l'architettura mostrata in figura. Il sistema acquisisce ogni 250 ms un byte dalla porta A dell'8255 (programmata in modo 0). I byte provenienti dall'8255 corrispondono a pacchetti di 255 interi su 16 bit con segno: ogni intero viene inviato spedendo prima il MSB e poi il LSB. Al termine della ricezione di ciascun pacchetto (255\*2 ricezioni) viene ricevuta una coppia di byte che contiene il codice di parità dei 255 interi nel pacchetto.

Se il sistema non rileva errori, invia sulla porta B dell'8255 (anch'essa programmata in modo 0) i 4 byte corrispondenti alla somma degli interi nel pacchetto (partendo dal byte più significativo) ogni 15 ms. Altrimenti invia 4 byte con il valore 0FFFFFFFh.

Esempio di calcolo della parità (su 2 word ricevute):

	MSB	LSB
pacchetto 1	11010101	01000010
pacchetto 1	10111100	11101101
parità	01101001	10101111