

Laboratorio di Architettura degli Elaboratori

Nicola Bombieri
Dipartimento di Informatica
Università di Verona
A.A. 2014/2015

Mapping tecnologico

La realizzazione pratica di un circuito digitale può avvenire in due modi:

- 1) costruzione di un chip mediante stampa del circuito su un piccolo quadrato di semiconduttore (ad es. Silicio);
- 2) utilizzo di circuiti integrati riprogrammabili (es. FPGA), ovvero un sistema composto da un numero fisso di porte logiche elementari che possono essere interconnesse a piacimento per realizzare la funzione desiderata. L'interconnessione tra i vari dispositivi è decisa semplicemente scrivendo in una memoria e può avvenire un elevato numero di volte.

Nel primo caso si possono utilizzare solo le porte logiche di base che è possibile fondere sul semiconduttore mentre nel secondo caso si possono utilizzare solo quelle che sono contenute nell'FPGA; in entrambi i casi quindi occorre ricondurre il circuito da realizzare a tale insieme di elementi base. Per fare questo si effettua il ***mapping tecnologico*** su una determinata **libreria tecnologica** fornita dal costruttore di semiconduttori o dall'FPGA.

Le porte logiche di base contenute nella libreria hanno determinate caratteristiche di area e ritardo perché si riferiscono a *dispositivi fisici concreti*; quindi dopo il mapping tecnologico è possibile conoscere l'area e il ritardo del proprio circuito non più in termini di numero di porte logiche ma in modo esatto.

Mapping tecnologico di circuiti combinatori tramite SIS

Una volta descritto il circuito desiderato nel formato blif, ed una volta eseguite le minimizzazione del caso è possibile utilizzare i seguenti comandi per effettuare il mapping tecnologico.

- | | |
|--|--|
| <ul style="list-style-type: none">- read_library libreria- print_library- map | <p>Carica la libreria tecnologica di nome libreria. Le librerie sono specificate nel formato genlib (estensione .genlib, da esempio synch.genlib e mnc.genlib);</p> <p>Visualizza informazioni inerenti la libreria caricata;</p> <p>Esegue l'operazione di mapping. Vedere l'help di SIS per ulteriori informazioni relative alle opzioni</p> |
|--|--|

- **write_blif -n**
- **print_delay**
- **reduce_depth**

di mapping tramite il comando "help map". L'opzione -m 0 permette di ottenere un circuito minimizzato rispetto all'area. L'opzione -n 1 permette di ottenere un circuito minimizzato rispetto al ritardo. L'opzione -s permette di visualizzare alcune informazioni relative ad area e ritardo dopo il mapping;

Mostra la rappresentazione del circuito associata alle porte della libreria;

Stampa informazioni relative al ritardo del circuito.

Riduce la lunghezza dei cammini critici;

Il comando `map -s` permette di visualizzare le informazioni relative ad area e ritardo del circuito dopo il mapping tecnologico; in particolare `total gate area` fornisce il valore dell'area come numero di celle standard della libreria tecnologica mentre `maximum arrival time` indica il ritardo.

Esercizi

Esercizio 1: Effettuare il mapping tecnologico usando la libreria `mcnc.genlib` su tutti i circuiti realizzati durante la seconda esercitazione (“Ottimizzazione esatta a 2 livelli”) dopo aver eseguito la minimizzazione multilivello richiesta per l’esercizio 1. Quale dei 4 dispositivi ha area maggiore? Quale ha ritardo maggiore? Effettuare questa analisi prima e dopo aver eseguito il comando `reduce_depth` per diminuire il ritardo dei cammini critici.

Esercizio 2: Data la funzione booleana $(x, v, w, z) = f(a, b, c, d, e)$ descritta dai seguenti nodi:

$f = \bar{a}be + cd + a\bar{c}d$
 $g = de + abc + a\bar{c}d$
 $h = ae + cd + ab$
 $i = g + \bar{h}$
 $l = ag + bc\bar{g} + ae$
 $m = f + i + bc$

$n = l + a\bar{i}$
 $o = m + a + \bar{b}e$
 $x = f$
 $v = o$
 $w = n$
 $z = l$

effettuare il mapping tecnologico usando la libreria `mcnc.genlib`. Qual è il cammino con maggior ritardo prima e dopo aver eseguito il comando `reduce_depth` per diminuire il ritardo dei cammini critici?