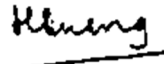


BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
	Họ tên sinh viên:Mã SV:	B1

Câu 1:

- 1.1. Máy tính A có bộ xử lý với tần số xung nhịp 1,5 GHz, có khả năng thực hiện 600 triệu lệnh trên một giây. Tính CPI của nó?
- 1.2. Máy tính A có bộ xử lý với chu kỳ xung nhịp $T_A = 250$ ps, CPI trung bình là 2,0. Máy tính B có bộ xử lý với chu kỳ xung nhịp $T_B = 750$ ps, CPI trung bình là 1,2. Biết rằng bộ xử lý của hai máy có cùng kiến trúc tập lệnh (ISA). Hỏi máy tính nào nhanh hơn và nhanh hơn bao nhiêu lần ?

Câu 2: Cho đoạn chương trình viết bằng hợp ngữ MIPS sau đây:

```

        addi $t1, $zero, 100
LOOP:   lw   $s1, 0($s0)
        add  $s2, $s2, $s1
        addi $s0, $s0, 4
        addi $t1, $t1, -1
        bne $t1, $0, LOOP

```

- 2.1. Hãy xác định khi thực hiện đoạn chương trình trên, có bao nhiêu lệnh được thực hiện ?
- 2.2. Cho biết thanh ghi \$t1 chứa giá trị của biến nguyên i, thanh ghi \$s2 chứa giá trị của biến nguyên a, thanh ghi \$s0 chứa địa chỉ cơ sở của mảng A. Hãy chuyển đoạn lệnh hợp ngữ trên sang ngôn ngữ C.

Câu 3: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

```

for(i=0; i<50; i+=2)
    a=a+m[5];

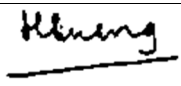
```

Trong đó m là mảng các phần tử 32-bit có địa chỉ cơ sở là 0x07E1100A.

Câu 4: Trên máy tính dùng bộ xử lý có bus địa chỉ 32bit, bus dữ liệu 64bit, các thanh ghi bên trong có độ dài 32bit. Giả sử có một mảng dữ liệu hai chiều B có kích thước 5x7 của các phần tử 32bit. Mảng B được lưu trữ theo hàng trong bộ nhớ chính, cấp phát ban đầu từ địa chỉ 0x000A5020. Để trở vào phần tử B[i,j] của mảng ($i=1,2,\dots,5$, $j=1,2,\dots,7$), yêu cầu kết hợp sử dụng thanh ghi R1 để trở vào đầu hàng thứ i của mảng B, thanh ghi R2 để trở tương đối vào phần tử thứ j trong hàng i tính từ đầu hàng.

- 4.1. Các thanh ghi R1 và R2 phải được gán giá trị bằng bao nhiêu (dưới dạng hexa) khi muốn kết hợp chúng trở vào phần tử B[2,5] ?
- 4.2. Cho biết phần tử B[2,5] nằm trên các băng nhớ nào của bộ nhớ vật lý ?

Câu 5: Vẽ sơ đồ thiết kế module nhớ RAM 64K x 16bit trên cơ sở chip nhớ SRAM 32K x 8bit.

BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
	Họ tên sinh viên:Mã SV:	B3

Câu 1: Máy tính A có CPI trung bình là 1,2 và tần số xung nhịp (clock rate) của bộ xử lý là 500 MHz. Máy tính B có CPI trung bình là 2,4 và tần số xung nhịp của bộ xử lý là 600 MHz. Giả sử có một chương trình chạy được trên cả hai máy tính đó. Khi dịch trên máy A chương trình này được dịch thành 90000 lệnh. Hãy xác định khi được dịch trên máy B thì chương trình đó được dịch thành bao nhiêu lệnh để cả hai máy có cùng thời gian thực hiện của CPU (CPU time).

Câu 2: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây:

x[3] = x[9] + a;

Giả thiết rằng a nằm trong thanh ghi \$s2, x là mảng các phần tử 32-bit có địa chỉ cơ sở là 0x00D28900.

(Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích).

Câu 3: Cho đoạn chương trình vòng lặp viết bằng hợp ngữ MIPS sau đây:

```

LOOP: slt    $t2, $zero, $t1
      bne    $t2, $zero, ELSE
      j      DONE
ELSE:  addi   $s2, $s2, 2
      addi   $t1, $t1, -1
      j      LOOP
DONE:

```

3.1. Giả thiết các thanh ghi \$t1, \$s2 được khởi tạo giá trị ban đầu là \$t1 = 18, \$s2 = 0. Hãy xác định giá trị thanh ghi \$s2 sau khi thực hiện đoạn chương trình trên.

3.2. Với vòng lặp hợp ngữ trên, giả sử thanh ghi \$t1 được khởi tạo giá trị bằng N (với N nguyên dương), hãy xác định khi thực hiện đoạn chương trình trên thì có bao nhiêu lệnh được thực hiện?

Câu 4: Máy tính dùng 36 bit địa chỉ để đánh địa chỉ cho bộ nhớ theo byte, 16 bit để đánh địa chỉ cho cổng vào ra riêng biệt; bus dữ liệu để kết nối với bộ nhớ chính là 64 bit. Hãy cho biết:

4.1. Số byte nhớ tối đa được đánh địa chỉ ? Địa chỉ đầu và địa chỉ cuối dưới dạng Hexa ?

4.2. Số cổng vào-ra tối đa được đánh địa chỉ vào-ra riêng biệt ? Địa chỉ đầu và địa chỉ cuối dưới dạng Hexa ?

4.3. Hãy cho biết các byte nhớ có địa chỉ sau đây 0x0FE12C39, 0x10ABCD05 được bố trí ở băng nhớ nào ?

Câu 5: Cho máy tính với 64KB bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 32 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 16 bytes.

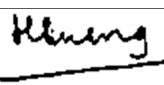
5.1. Xác định số bit của các trường địa chỉ: Tag, Line, Word.

5.2. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:

```

1101 0001 0001 0010
0010 1011 0011 0110
1101 0110 1001 1100
1110 1010 1000 1011

```

BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
	Họ tên sinh viên:Mã SV:	B4

Câu 1: Trong tập lệnh của máy tính có 3 lớp lệnh A, B, C. CPI và IC theo mỗi lớp lệnh được cho trong bảng sau

Loại lệnh	A	B	C
CPI theo loại lệnh	1	2	4
IC trong dãy lệnh 1	1	2	2
IC trong dãy lệnh 2	5	2	1
IC trong dãy lệnh 3	4	1	1

Tính CPI trung bình ứng với mỗi dãy lệnh?

Câu 2: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

```
for(i=1; i!=20; i+=3)
    a[i]=a[5]+1;
```

Trong đó a là các mảng các phần tử 32-bit có địa chỉ cơ sở là 0x0FE3B128.

Câu 3: Cho đoạn chương trình viết bằng hợp ngữ MIPS sau đây:

```
LOOP:  addi $t2, $zero, 0xA
LOOP2: addi $s2, $s2, 14
        addi $t2, $t2, -1
        bne  $t2, $0, LOOP2
        addi $t1, $t1, -1
        bne  $t1, $0, LOOP
DONE:
```

3.1. Giả sử ban đầu các thanh ghi \$t1, \$s2 lần lượt được khởi tạo các giá trị là 18 và 0. Xác định giá trị của thanh ghi \$s2 sau khi thực hiện đoạn lệnh trên.

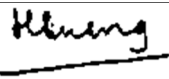
3.2. Giả sử thanh ghi \$t1 được khởi tạo giá trị bằng N (N là số nguyên dương). Hãy xác định có bao nhiêu lệnh MIPS được thực hiện khi chương trình kết thúc?

Câu 4: Thiết kế module nhớ RAM dung lượng 32K x 16bit trên cơ sở IC nhớ SRAM 32K x 4bit.

Câu 5: Cho máy tính với bộ nhớ chính có dung lượng 4GB và bộ nhớ chính đánh địa chỉ theo từng byte. Bộ nhớ cache có dung lượng 512KB được tổ chức theo kiểu ánh xạ liên kết tập hợp 8 line/set. Cache có tất cả là 1024 Set từ S0 đến S1023.

5.1. Xác định số bit của các trường địa chỉ: Tag, Set, Word.

5.2. Xác định byte nhớ có địa chỉ 0x10250A03 được ánh xạ vào Set nào của cache ?

BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
	Họ tên sinh viên:Mã SV:	B5

Câu 1:

1.1. Chuyển đổi các số biểu diễn dưới dạng hexa sau về số thực dấu phẩy động theo chuẩn IEEE754/85 32bit

- a) 0x42A78000 b) 0xC1560000

1.2. Cho máy tính A với bộ xử lý có MIPS = 900. Hãy tính CPI của máy tính đó nếu biết chu kỳ xung nhịp của bộ xử lý là $T_A = 300$ ps.

Câu 2: Cho đoạn chương trình viết bằng hợp ngữ MIPS sau đây:

```

        addi $t1, $zero, 600
LOOP:  lw   $s1, 0($s0)
        add  $s2, $s2, $s1
        lw   $s1, 4($s0)
        add  $s2, $s2, $s1
        addi $s0, $s0, 8
        bne $t1, $s0, LOOP

```

2.1. Hãy xác định khi thực hiện đoạn chương trình trên, có bao nhiêu lệnh được thực hiện ?

2.2. Cho biết thanh ghi \$t1 chứa giá trị của biến nguyên i, thanh ghi \$s2 chứa giá trị của biến nguyên b, thanh ghi \$s0 chứa địa chỉ cơ sở của mảng B. Hãy chuyển đoạn lệnh hợp ngữ trên sang ngôn ngữ C.

Câu 3: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

```

if (a==b) i+=1;
else i+=3;

```

Trong đó a, b, i lần lượt lưu trong các thanh ghi \$s0, \$s1, \$s2.

Câu 4: Thiết kế module nhớ RAM dung lượng 128K x 8bit trên cơ sở IC nhớ SRAM 32K x 8bit.

Câu 5: Cho máy tính với 64KB bộ nhớ chính được đánh địa chỉ theo byte, bộ nhớ cache gồm 32 lines được tổ chức ánh xạ trực tiếp, kích thước mỗi line là 4 bytes.

5.1. Xác định số bit của các trường địa chỉ: Tag, Line, Word.

5.2. Chỉ ra mỗi byte nhớ của bộ nhớ chính có địa chỉ cho dưới đây được nạp vào line nào của cache:

```

0011 1001 0001 1011
1100 1011 1001 0110
1001 0010 1101 0101
0010 1010 1010 1011

```

5.3. Giả thiết byte nhớ có địa chỉ 0010 0011 1001 0111 được nạp vào cache. Hãy chỉ ra địa chỉ (theo dạng hexa) của những byte nhớ khác cũng được nạp vào byte nhớ đó trong cùng line.

BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
<u>Hùng</u>	Họ tên sinh viên:Mã SV:	B6

Câu 1: Máy tính A có CPI trung bình là 1,4 và tần số xung nhịp (clock rate) của bộ xử lý là 750 MHz. Máy tính B có CPI trung bình là 2,8 và tần số xung nhịp của bộ xử lý là 1,5 GHz. Giả sử có một chương trình chạy được trên cả hai máy tính đó. Khi dịch trên máy A chương trình này được dịch thành 80000 lệnh. Hãy xác định khi được dịch trên máy B thì chương trình đó được dịch thành bao nhiêu lệnh để cả hai máy có cùng thời gian thực hiện của CPU (CPU time).

Câu 2: Cho đoạn chương trình viết bằng hợp ngữ MIPS sau đây:

```

        addi $t1, $zero, 5
        add  $s2, $0, $0
LOOP:   slt  $t2, $0, $t1
        beq  $t2, $0, DONE
        addi $s2, $s2, 3
        sll  $s2, $s2, 2
        addi $t1, $t1, -1
        j    LOOP
DONE:
```

2.1. Hãy xác định khi thực hiện đoạn chương trình trên, có bao nhiêu lệnh được thực hiện ?

2.2. Xác định giá trị của thanh ghi \$s2 sau khi thực hiện đoạn lệnh hợp ngữ trên.

Câu 3: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

```

for(i=0; i<100; i++)
    N[i] = N[i]*16
```

Trong đó N là mảng các phần tử 32-bit có địa chỉ cơ sở là 0x100A4023.

Câu 4: Thiết kế module nhớ RAM dung lượng 64K x 8bit trên cơ sở IC nhớ SRAM 32K x 4bit.

Câu 5: Cho máy tính với bộ nhớ chính có dung lượng 4GB và đánh địa chỉ theo từng byte. Bộ nhớ cache được tổ chức theo kiểu ánh xạ liên kết toàn phần, kích thước mỗi line là 32byte.

5.1. Xác định số bit của các trường địa chỉ: Tag, Word.

5.2. Xác định Tag (dưới dạng thập phân) của các byte nhớ có địa chỉ 0x0149C003, 0x10390135.

BỘ MÔN KTMT	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
<u>Hùng</u>	Họ tên sinh viên:Mã SV:	B7

Câu 1: Máy tính A có CPI trung bình là 2,4 và tần số xung nhịp (clock rate) của bộ xử lý là 800 MHz. Máy tính B có CPI trung bình là 3,6 và tần số xung nhịp của bộ xử lý là 1 GHz. Giả sử có một chương trình chạy được trên cả hai máy tính đó. Khi dịch trên máy A chương trình này được dịch thành 70000 lệnh. Hãy xác định khi được dịch trên máy B thì chương trình đó được dịch thành bao nhiêu lệnh để cả hai máy có cùng thời gian thực hiện của CPU (CPU time).

Câu 2: Cho đoạn chương trình viết bằng hợp ngữ MIPS sau đây:

```

        addi $t1, $zero, 7
        add  $s2, $0, $0
LOOP:   slt  $t2, $0, $t1
        beq  $t2, $0, DONE
        addi $s2, $s2, 1
        sll  $s2, $s2, 1
        addi $t1, $t1, -1
        j    LOOP
DONE:

```

2.1. Hãy xác định khi thực hiện đoạn chương trình trên, có bao nhiêu lệnh được thực hiện ?

2.2. Xác định giá trị của thanh ghi \$s2 sau khi thực hiện đoạn lệnh hợp ngữ trên.

Câu 3: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

```

for(i=0; i<100; i++)
    M[i] = M[i]*8

```

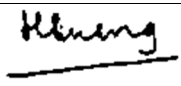
Trong đó M là mảng các phần tử 32-bit có địa chỉ cơ sở là 0x07AD1309.

Câu 4: Thiết kế module nhớ RAM dung lượng 64K x 8bit trên cơ sở IC nhớ SRAM 16K x 8bit.

Câu 5: Cho máy tính với bộ nhớ chính có địa chỉ là 32-bit và đánh địa chỉ theo từng byte. Bộ nhớ cache có dung lượng 256KB được tổ chức theo kiểu ánh xạ liên kết tập hợp 8 line/set. Cache có tất cả là 512 Set từ S0 đến S511.

5.1. Xác định số bit của các trường địa chỉ: Tag, Set, Word.

5.2. Xác định byte nhớ có địa chỉ 0x032A0203 được ánh xạ vào Set nào của cache ?

BỘ MÔN KTM	ĐỀ THI MÔN: KIẾN TRÚC MÁY TÍNH – Thời gian: 90 phút <i>Không sử dụng tài liệu, Computer, Camera, Phone</i> <i>Được sử dụng MIPS Reference Data</i> <i>Sinh viên ghi mã đề vào bài thi và nộp lại đề cùng bài thi</i>	MÃ ĐỀ
	Họ tên sinh viên:Mã SV:	B8

Câu 1: Giả sử có 3 bộ xử lý P1, P2, P3 có cùng kiến trúc tập lệnh (ISA). Tần số xung nhịp và CPI của mỗi bộ xử lý được cho trong bảng sau:

Bộ xử lý	Tần số xung nhịp f_0	CPI
P1	2 GHz	1.5
P2	1.5 GHz	1.0
P2	3 GHz	2.5

- 1.1. Bộ xử lý nào có hiệu suất cao nhất?
- 1.2. Mỗi bộ xử lý thực thi một chương trình trong 10s. Tính số chu kỳ và số lệnh của mỗi bộ xử lý.
- 1.3. Người ta giảm thời gian đi 30%, nhưng điều này lại làm tăng CPI lên 20%. Tính tần số xung nhịp của mỗi bộ xử lý lúc này.

Câu 2: Cho câu lệnh viết bằng hợp ngữ MIPS sau đây:

slti \$t2, \$t0, X

2.1. Giả sử thanh ghi \$t0 có giá trị 0xAD100002. Với những giá trị nào của X (viết dưới dạng thập phân) thì thanh ghi \$t2 sẽ có giá trị bằng 1 ?

2.2. Xác định giá trị của thanh ghi \$t2 sau khi thực hiện đoạn lệnh MIPS sau:

sll \$t2, \$t0, 4
or \$t2, \$t2, \$t1

Biết thanh ghi \$t0 và \$t1 lần lượt có giá trị 0xBEADFEED, 0xDEADFADE.

Câu 3: Viết đoạn chương trình hợp ngữ tối thiểu của MIPS (yêu cầu không dùng lệnh giả) để thực hiện câu lệnh của ngôn ngữ C sau đây: (*Lưu ý: các lệnh của hợp ngữ cần viết lời giải thích*).

if (a==1) m[3]=b-a;
else m[4]=b+a*2;

Trong đó m là mảng các phần tử 32-bit có địa chỉ cơ sở là 0x1309013A.

Câu 4: Máy tính sử dụng bộ xử lý có bus địa chỉ 20 bit (A0-A19), bus dữ liệu 8 bit (D0-D7), chip nhớ EPROM 32K x 8bit, chip SRAM 16K x 8bit, các cổng vào ra. Bộ xử lý đánh địa chỉ cho bộ nhớ và các cổng vào ra theo byte. Các cổng vào ra được đánh địa chỉ theo bản đồ bộ nhớ. 4 bit cao nhất của bus địa chỉ (A19, A18, A17, A16) được dùng để phân vùng như sau: 0000 cho vùng RAM, 1111 cho vùng ROM, 1000 cho các cổng vào ra, các vùng còn lại dùng để lưu trữ. Máy tính cần: 32KB ROM, 64KB RAM, khối vào ra gồm 32 cổng vào ra có địa chỉ liên tiếp nhau. Với từng loại ở trên (RAM, ROM, khối các cổng vào ra) được phân bổ bắt đầu với các bit địa chỉ còn lại (A15-A0) đều bằng 0.

4.1. Vẽ sơ đồ thiết kế module RAM 64KB ở trên.

4.2. Cho biết dải địa chỉ (địa chỉ đầu và địa chỉ cuối, viết dưới dạng hexa) của module ROM 32KB, module RAM 64KB và các cổng vào ra.

Câu 5: Cho máy tính với bộ nhớ chính có dung lượng 4GB và đánh địa chỉ theo từng byte. Bộ nhớ cache có dung lượng 256KB được tổ chức theo kiểu ánh xạ liên kết tập hợp 4 line/set. Cache có tất cả là 512 Set từ S0 đến S511.

5.1. Xác định số bit của các trường địa chỉ: Tag, Set, Word.

5.2. Xác định byte nhớ có địa chỉ 0x0A0B1035 được ánh xạ vào Set nào của cache ?