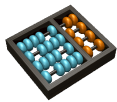


Laboratório 13

Instruções:

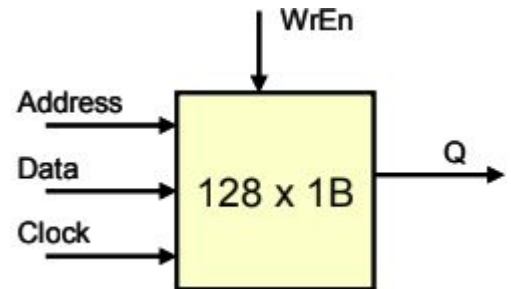
- Quando for demonstrar seu trabalho, tome nota do número da placa utilizada. O número da placa será utilizado para atribuir a nota ao grupo.
- A última página deste documento contém um checklist com todos os arquivos que fazem parte da entrega.
- Os nomes dos arquivos devem ser seguidos, e isso faz parte da avaliação.
- A entrega deverá estar em único arquivo .ZIP, com o nome **T_Lab11_RA.zip**, **T** é a turma, e **RA** é o RA do componente do grupo que fará a entrega. Por exemplo, B_Lab11_123456.zip é a entrega do grupo do aluno com o RA 123456, na turma B.
- Não divida ou agrupe em pastas os arquivos dentro do .ZIP.
- A entrega deve ser feita pelo [Google Forms](https://forms.gle/qBnoCDXBQec8tpvE6) (<https://forms.gle/qBnoCDXBQec8tpvE6>). Você deve estar autenticado com uma conta do Google - pode ser uma conta pessoal ou da DAC.
- Apenas um integrante do grupo precisa fazer a entrega.
- Preste especial atenção aos nomes das entidades e sinais (entradas e saídas) descritos nos laboratórios. Isso também faz parte da avaliação.
- Se mais do que um arquivo for recebido para a mesma entrega, o último recebido será considerado. Utilize o mesmo RA do aluno entregando.
- Faça o download do arquivo **lab11_material_v2020.1.zip**. Esse arquivo já contém as descrições de *entity* necessárias para implementar os circuitos. Utilize elas, e não as altere.



Memória

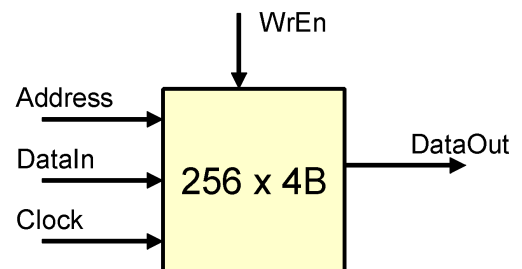
Projetar um sistema de memória a partir de um chip (módulo) básico de memória, de acordo com os passos de projeto abaixo.

I.1. Projete na entidade *ram_block* <ram_block.vhd> o módulo de memória RAM de 128 bytes (128 x 1B) da figura ao lado, usando instancição direta. Observe os sinais separados para as palavras de dados de leitura (Q) e escrita (*Data*). A memória deve ter **escrita e leitura síncronas**, na borda de subida do clock, bastando colocar o endereço desejado para leitura e ativar um sinal de permissão de escrita (*WrEn*) para escrita.

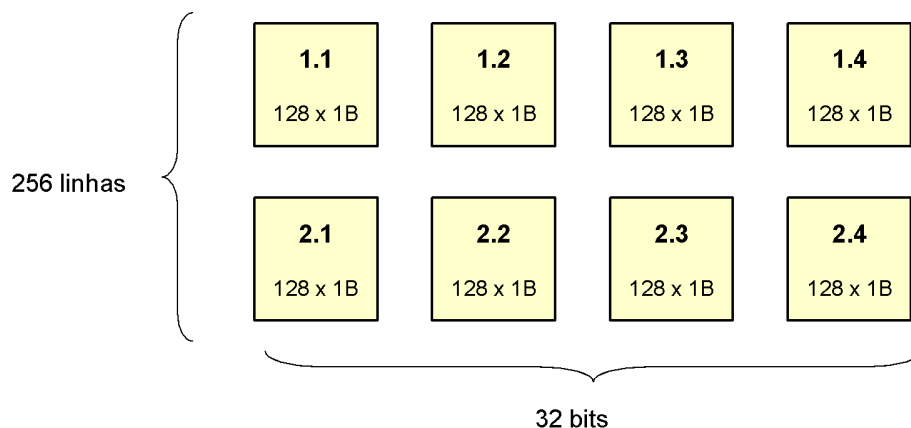


ENTREGA: arquivo *ram_block.vhd*.

I.2. Projete na entidade *ram* <ram.vhd> um sistema de memória RAM de 1KB, com organização de 256 x 4B, conforme a figura, utilizando 8 módulos *ram_block* desenvolvidos no item **I.1**. Considere que o barramento de endereços (*Address*) tem 10 bits (capacidade para endereçar 1024 linhas), e portanto alguns endereços serão inválidos. Utilize oito módulos *ram_block*, conforme mostrado no diagrama da figura abaixo. Para isso, você precisará projetar o decodificador de endereços. **IMPORTANTE:** a saída do sistema de memória (*DataOut*) deve ter alta impedância caso o endereço seja inválido.

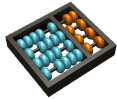


ENTREGA: arquivo *ram.vhd*.



I.3. Desenhe o mapa de memória do sistema do item **I.2**. Indique no mapa quais módulos (de 1.1 a 2.4) mapeiam para quais regiões de endereçamento. Indique também as regiões válidas e não válidas.

ENTREGA: arquivo *ram_map.pdf* com o mapa (formato livre).



MC613



- ENTREGA -

Entregue um único arquivo comprimido em formato **ZIP** de nome **T_Lab11_RA.zip**, onde **RA** é o RA do aluno entregando e **T** é a turma, contendo:

- Arquivo **ram_block.vhd** do item **I.1**.
- Arquivo **ram.vhd** do item **I.2**.
- Arquivo **ram_map.vhd** do item **I.3**.