



Organização de Computadores 2018/2

Prof. Dra. Débora Matos

Projeto: Arquitetura MIPS Multiciclo de 10 instruções

Alunos: Giovanni Brancher e Wellington Luz

Guaíba, 12 de novembro de 2018.

Configuração do MIPS definida:

- Implementação Multiciclo;
- Conjunto de 10 instruções (add, sub, and, or, lw, sw, beq, bne, jmp, sll);
- Instruções e Dados de 16 bits (2 bytes);
- 9 Registradores (\$zero, \$s0-\$s7);
- Única memória para Dados e Instruções;
- Memória com 128 posições;
- Tamanho da memória de 256 bytes;

Conjunto de instruções

Categoría	Instrução	Exemplo	Significado
Aritmética	add	add \$s0, \$s1, \$s2	$\$s0 = \$s1 + \$s2$
	sub	sub \$s0, \$s1, \$s2	$\$s0 = \$s1 - \$s2$
	and	and \$s0, \$s1, \$s2	$\$s0 = \$s1 \text{ and } \$s2$
	or	or \$s0, \$s1, \$s2	$\$s0 = \$s1 \text{ or } \$s2$
Transferência de dados	lw	lw \$s0, \$s1	$\$s0 = \text{memória}(\$s1)$
	sw	sw \$s0, \$s1	$\text{memória}(\$s1) = \$s0$
Branch condicional	beq	beq \$s0, \$s1, end	Se $\$s0 = \$s1$, logo pc=end
	bne	bne \$s0, \$s1, end	Se $\$s0 \neq \$s1$, logo pc=end
Jump incondicional	jmp	jmp end	pc=end
Shift Left Logical	sll	sll \$s0, \$s1, desloc.	$\$s1 = \$s0 \ll \text{desloc.}$

Formato das instruções

- Instruções add, sub, and e or

Opcode	Reg 1	Reg 2	Reg Dst	Don't care	Funct
3 bits	3 bits	3 bits	3 bits	2 bits	2 bits

- Instrução sll

Opcode	Reg 1	Don't care	Reg Dst	Shamt	Don't care
3 bits	3 bits	3 bits	3 bits	2 bits	2 bits

- Instruções de Transferência de Dados

Opcode	Don't care	Reg end	Reg Dst	Don't care
3 bits	3 bits	3 bits	3 bits	4 bits

- Instruções de Branch condicional

Opcode	Reg 1	Reg 2	Endereço
3 bits	3 bits	3 bits	7 bits

- Instruções de Jump Incondicional

Opcode	Don't care	Endereço
3 bits	6 bits	7 bits

Tabela de códigos de operação

Instrução	Opcode	Funct
nop	000	--
add		00
sub		01
and		10
or		11
lw	010	--
sw	011	--
jmp	100	--
beq	101	--
bne	110	--
sll	111	--

Tabela de códigos de operação da ULA

Operações	Opcode
add	00
sub	01
and	10
or	11

Máquina de estados do MIPS

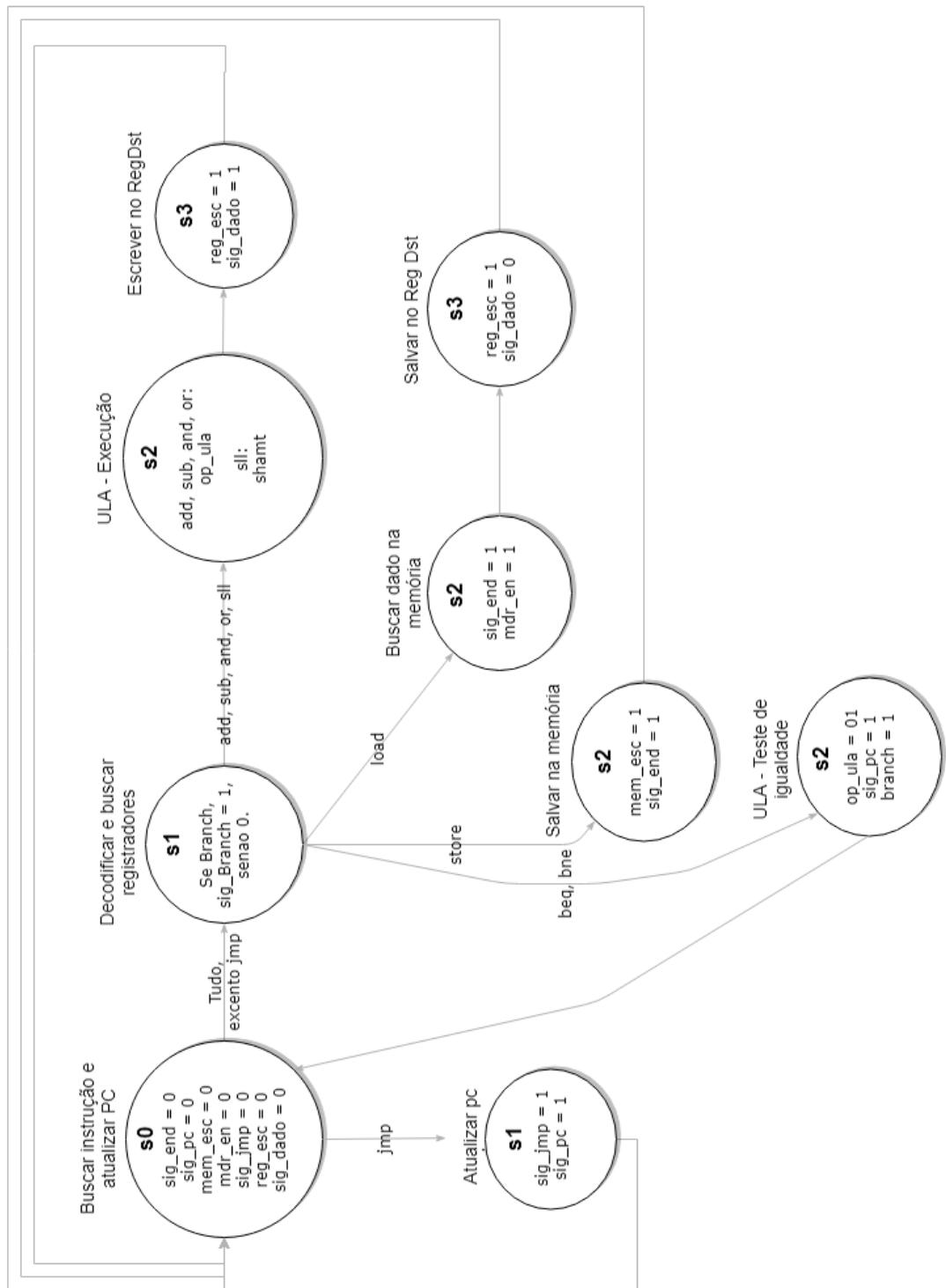
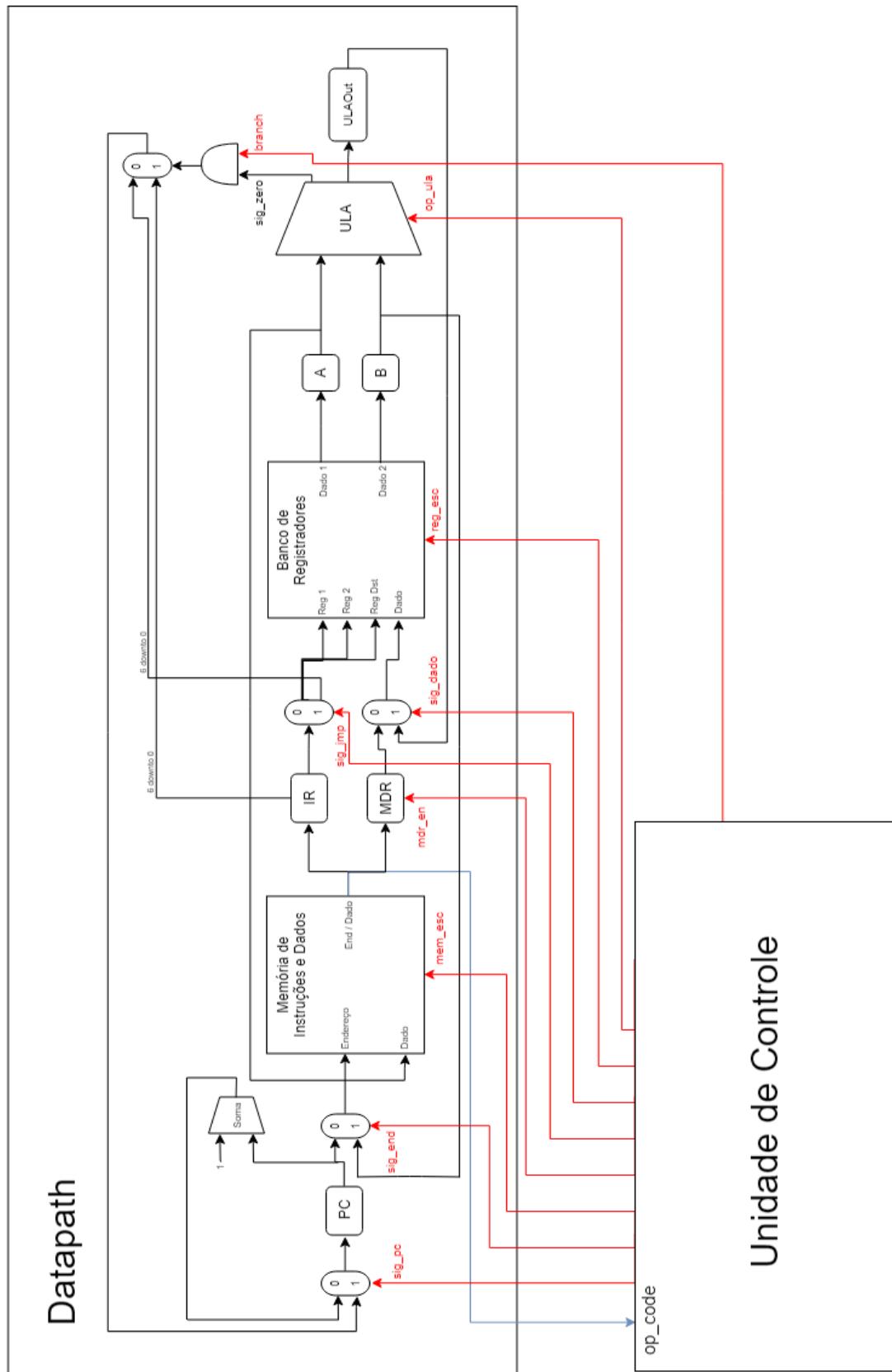


Diagrama de blocos do MIPS



Unidade de Controle