



## Centro Federal de Educação Tecnológica de Minas Gerais

Departamento de Computação  
Curso de Graduação em Engenharia da Computação  
Laboratório de Arquitetura e Organização de Computadores II  
Prof.<sup>a</sup> Poliana Aparecida Corrêa de Oliveira (poliana@cefetmg.br)

### **Prática 1 – Valor: 20 pontos** **Data de Entrega – Partes I e II: 01/04/2024** **Parte III: 08/04/2024**

**Objetivo:** Esta prática tem a finalidade de exercitar os conceitos relacionados à hierarquia de memória e relembrar como se utiliza a placa FPGA.

**Parte I (4 pontos):** Implementação de uma memória RAM utilizando a biblioteca LPM. A parte I do arquivo *PraticaI\_ingles.pdf* apresenta uma orientação de como utilizar essa biblioteca. A leitura e escrita devem ser realizadas utilizando o display de 7-segmentos. Devem ser realizadas duas escritas em posições distintas da memória e, em seguida, a leitura destas posições.

**Parte II (4 pontos):** Inicialização da memória utilizando um arquivo (MIF - *memory initialization file* (MIF)). A parte V do arquivo *PraticaI\_ingles.pdf* apresenta uma orientação de como usar essa biblioteca. A leitura e escrita devem ser realizadas utilizando o *display* de 7-segmentos.

**Parte III (12 pontos):** Implemente uma hierarquia de memória organizada em uma cache L1 e uma memória principal (atualização da memória utilizando *Write-Back*). A cache deve ser associativa por conjunto de 2 vias e a memória principal deve ser diretamente mapeada, com inicialização via arquivo MIF. Cada dupla deve criar o seu código de teste para demonstrar os seguintes casos: o que ocorre em quando há acerto e falha de leitura/escrita na cache e situações que modificam os bits “Dirty”, “LRU” e “Válido”.

## Submissão

Crie um pacote contendo TODOS os códigos fontes, formas de onda e o relatório do projeto. Cada dupla deverá submeter um pacote no Moodle. O nome do arquivo deve ser: *pratica1\_nomealuno1\_nomealuno2.zip*

O relatório deverá incluir os seguintes componentes:

1. Para cada parte, as **formas de onda** com uma **explicação** e **indicações** na figura que mostre o correto funcionamento.
2. Para a parte II e III, arquivo .mif.
3. O **projeto** do seu sistema para a **Parte III**, incluindo detalhes necessários dos módulos criados. Faça uma figura mostrando os blocos básicos e interconexões.

## Apresentação em sala

Para cada parte da atividade prática, a dupla deverá apresentar o funcionamento na placa com as seguintes funcionalidades:

**Parte I e Parte II:** Leitura e escrita em posições distintas da memória.

**Parte III:** (a) Leitura/escrita com acerto; (b) Leitura/escrita com falha; (c) atualização da cache com dados vindos da memória principal; (d) atualização dos bits “válido”, “dirty” e “LRU”, (e) funcionamento do *write-back*.

## Avaliação

**Parte I:** Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

**Parte II:** Qualidade do código (0,5 pt); Simulações com explicações no relatório (1,5 pt); Apresentação na Placa (1,5 pt)

**Parte III:** Qualidade do código (3,0 pts); Simulações com explicações no relatório (3,5 pts); Apresentação na Placa (3,5 pts)

**Relatório:** Qualidade do texto, descrição do projeto e figura (3,0 pts)