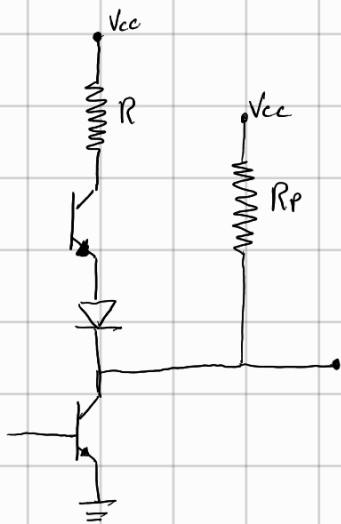


# A) DISEGNARE SCHEMA E SPIEGARE FUNZIONAMENTO



La rete di interfacciamento è necessaria perché l'uscita alta della TTL potrebbe non garantire il corretto funzionamento in ingresso all'invertitore CMOS, che ha bisogno di una tensione di almeno 4V per avere il PMOS sotto soglia.

La rete riesce a portare l'uscita a un valore alto perché un'uscita a tensione più bassa implicherebbe una corrente che scorre all'indietro Rp, che però non può né attraversare il diodo in verso opposto, né penetrare al connettore di Q2 perché in saturazione, né scorrere in ingresso al CMOS, che lavora a corrente nulla.

È tuttavia importante dimensionare bene Rp per evitare che, in uscita bassa, si rischi di aumentare troppo la corrente di Vcc e di conseguenza il parametro  $B_{FOR}$  e la  $V_{CESAT} = V_o$ .

## B) DIMENSIONARE RETE IN MODO CHE $V_{OL} = 0.20V$

$$B_{FOR} = 30 \quad I_B = 2mA \text{ per BST interessato}$$

$$V_{OH} = 5V \quad V_{OL} = 0.2V$$

$$B_{FOR} = \frac{I_C}{I_B} \Rightarrow I_C = I_B B_{FOR} = 60mA = I_{RES}$$

$$I_{RES} = \frac{(V_{CC} - V_{OL})}{R_p} \Rightarrow R_p = \frac{V_{CC} - V_{OL}}{I_{RES}} = 80\Omega$$

