

Interfacciamento tra famiglie logiche diverse

I problemi di interfacciamento tra logiche diverse sorgono quando si vogliono utilizzare porte diverse in uno stesso circuito per sfruttare al meglio le peculiarità di ciascuna

Esempi tipici sono:

- **Circuiti CMOS ad alta integrazione con periferiche TTL per il pilotaggio di bus con elevata capacità di carico**
- **Circuiti TTL a frequenza relativamente bassa utilizzati insieme a circuiti ECL veloci nelle Unità Aritmetico-Logiche (ALU)**



Occorrono circuiti che modificano i livelli logici

1ª DOMANDA: 2 circuiti con logiche diverse come si interfacciano?

Bisogna sapere

Interfacciamento TTL-CMOS

L'uscita bassa delle porte TTL è compatibile con l'ingresso basso per le porte CMOS essendo minore o uguale di 0.2V e quindi minore della tensione di soglia dei MOS.

L'uscita alta delle porte TTL può non risultare sufficiente a garantire l'interdizione dei PMOS in quanto $V_{OH(TTL)} \cong 3.8V$ mentre occorrono almeno 4V in ingresso affinché il PMOS si trovi sotto soglia.

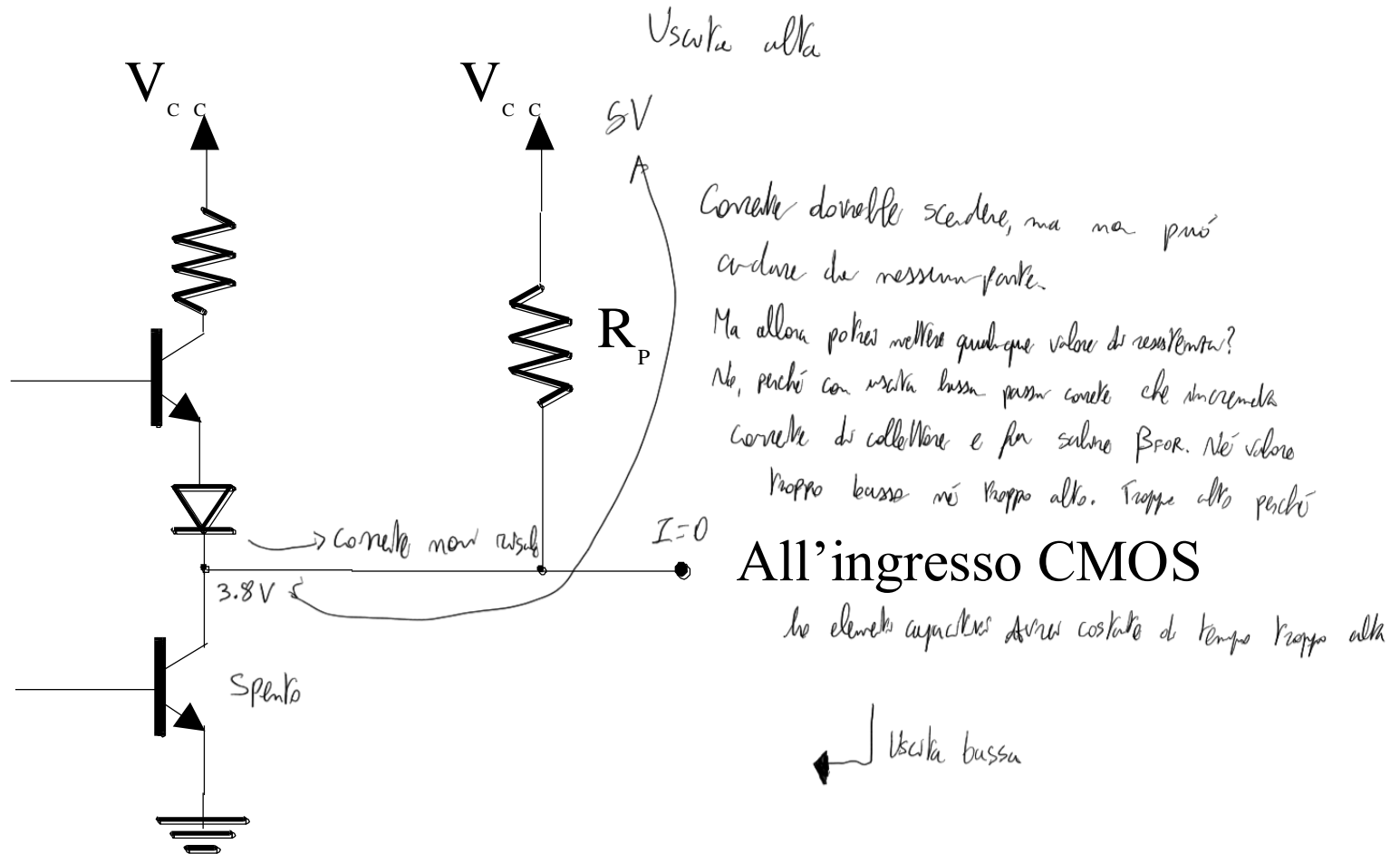


Si ricorre ad una resistenza di “pull-up” collegata all'uscita della TTL che, quando l'uscita è alta, non essendo attraversata da corrente porta la tensione al valore dell'alimentazione

Temp su tensione: TTL alta non entra corrente CMOS non assorbe corrente.

Resistenza alimentata ad alimentazione.

Interfacciamento TTL-CMOS



Interfacciamento CMOS-TTL

I livelli di uscita del CMOS sono già compatibili con quelli di ingresso delle TTL tuttavia le correnti $I_{IH} \cong 0.17\text{mA}$ e $I_{IL} \cong 1\text{mA}$ della TTL standard fluiranno, rispettivamente, nel PMOS e nel NMOS della porta CMOS. Ciò conduce ad alterazioni dei livelli logici, in particolare V_{OL} può crescere oltre il valore consentito a causa dell'elevato valore di I_{IL} .

Occorre quindi prevedere uno stadio CMOS di interfaccia con i rapporti di aspetto opportunamente calcolati in modo da garantire la compatibilità piena. Lo stadio di interfaccia può essere costituito da una coppia di invertitori CMOS in cascata, in modo da non alterare la funzione logica, in cui il secondo presenta un $(W/L)_N$ maggiorato per supportare la corrente I_{IL} .

CMOS abituato a lavorare a corrente nulla. Come risolvere? Cambiamo il livello logico perché passa una certa corrente.

Solo la Vcc troppo. Si agisce sui rapporti d'aspetto CMOS. Riduco lui R_{on} , corrente alta caduta bassa.

Non necessariamente possibile però. Si usa stadio di interfaccia. 2 invertitori in cascata, ma lo costruisco con mosfet con altri rapporti d'aspetto in modo da evitare alterazioni.

Posso mettere MOS in parallelo fino ad arrivare a quello che voglio in modo da avere R_{on} più piccola.

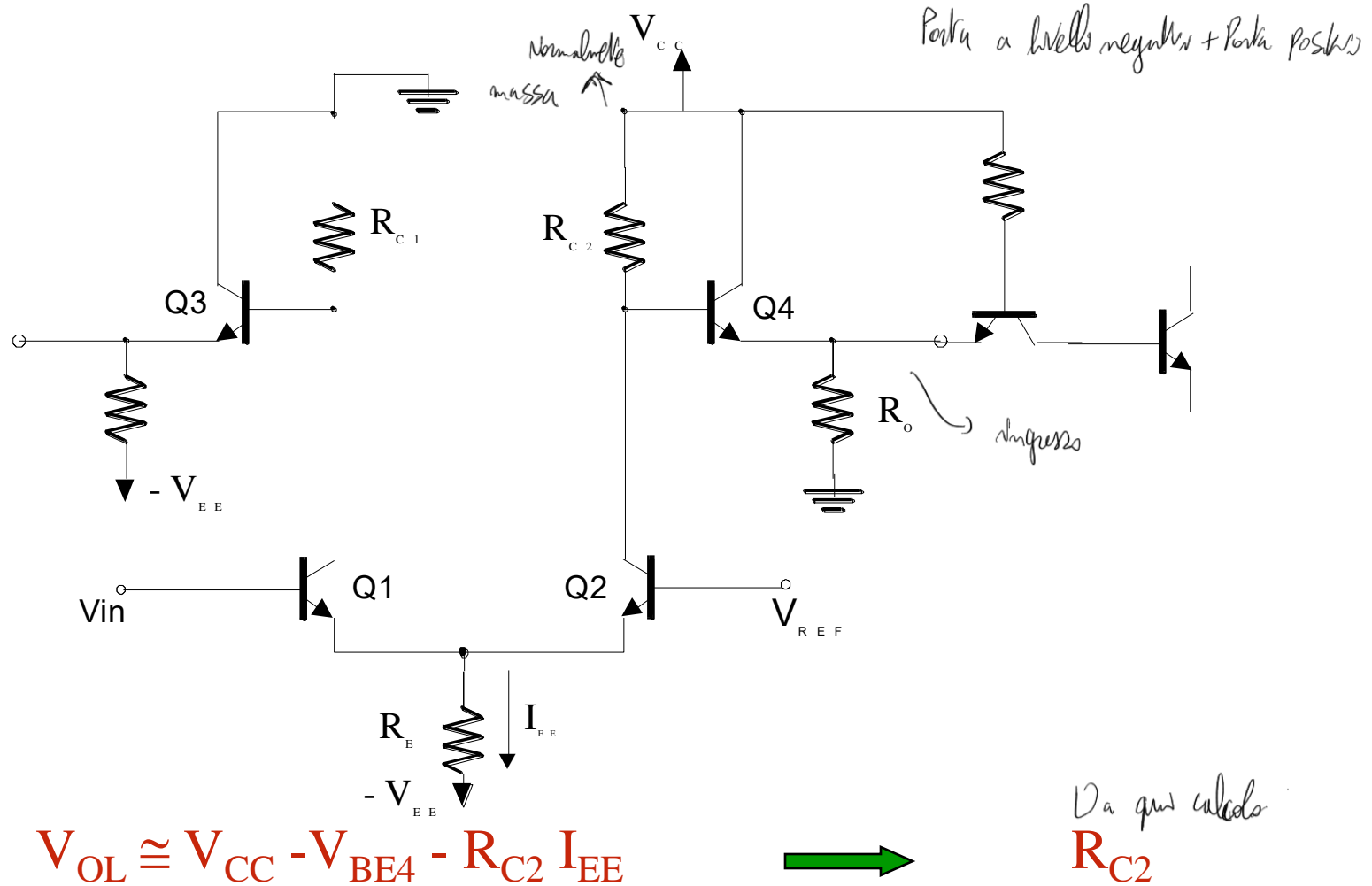
Ma serve $\frac{20}{1}$ ma ho 10 MOS $\frac{1}{1}$, ne metto 10 in parallelo.

$\Delta V = R_{on} i$ nel MOS

↳ Trovo rapporti

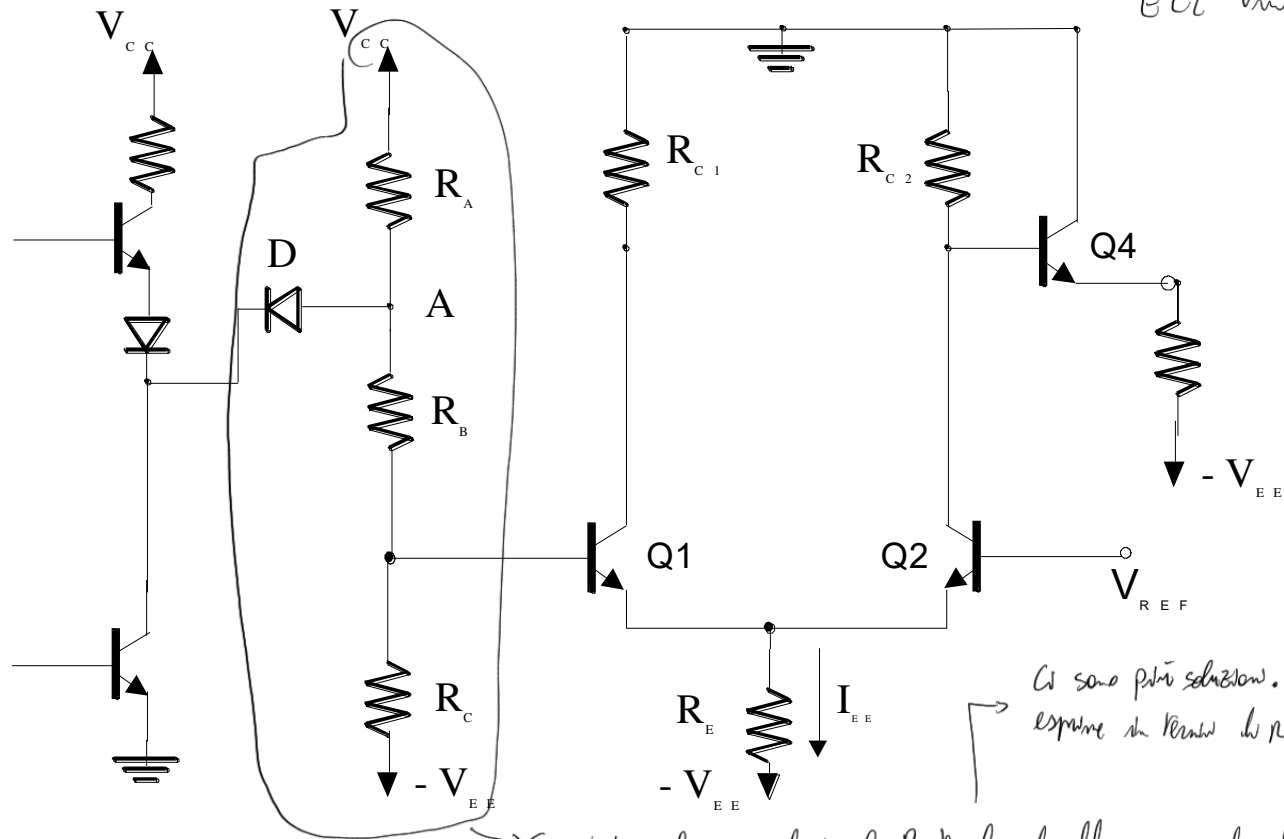
Interfacciamento ECL-TTL

Per rendere compatibile l'uscita di una porta ECL con l'ingresso di una porta TTL occorre una modifica dei livelli logici ed una traslazione. Occorre modificare la porta ECL.



Interfacciamento TTL-ECL

Al carico: TTL esce 20,
ECL vuole 0.



→ Si vede che scegliendo le R molto livelli verso il basso.

Per uscita TTL alta il diodo D non conduce e l'ingresso della ECL viene fissato, mediante opportuna scelta delle resistenze R_A , R_B e R_C , a $-0.7V$.

Per uscita TTL bassa il diodo D conduce e fissa il potenziale del punto A a $V_{OL(TTL)} + V_D$

Scegliendo opportunamente R_B/R_C si fissa l'ingresso ECL a $-1.3V$