

LOGICA ECL:

Emitter Coupled Logic (ECL)

Nasce con idea di logica estremamente veloce. Allo modo per gestire problemi non mandare via saturaz. al Transistor. Quindi non immaginando come interruttore. Configuraz. che fa questo. Si lavora tra interdizione e ZAD.

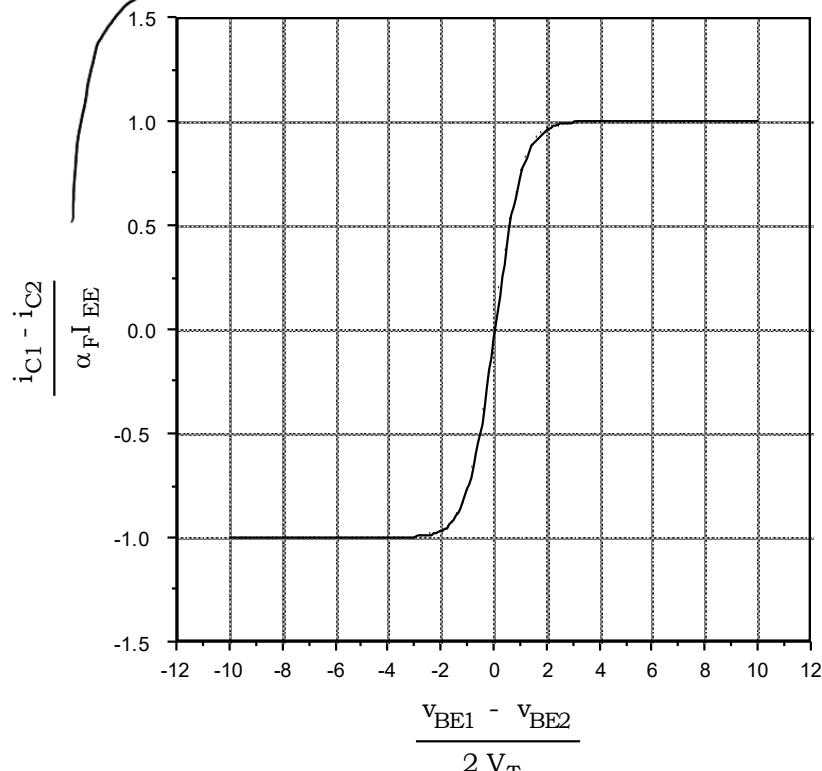
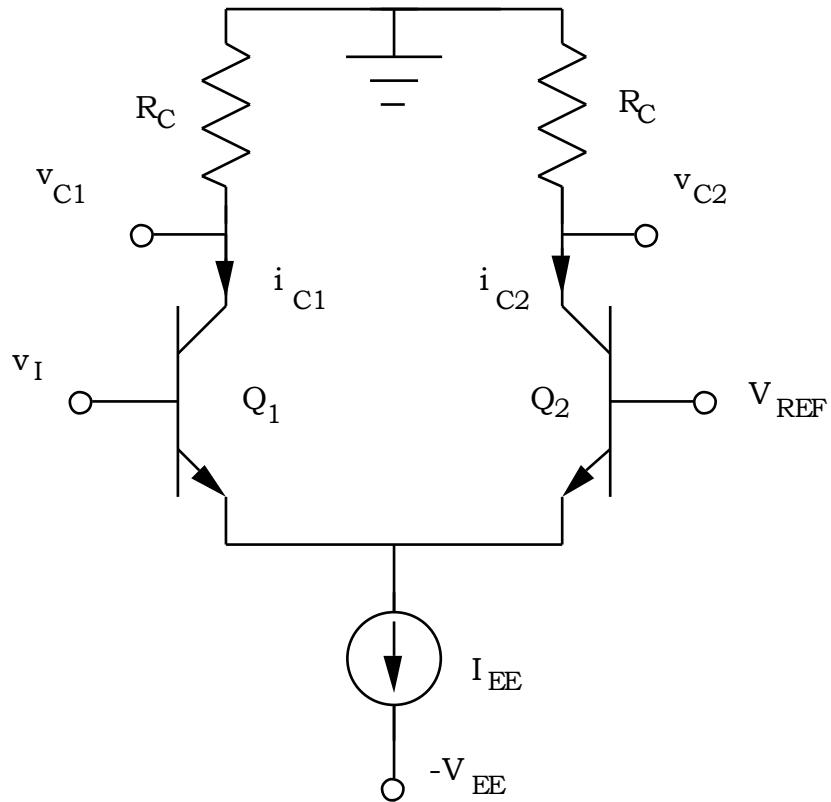
Utilizza la coppia differenziale come interruttore di corrente
I BJT lavorano tra interdizione e zona attiva diretta



- Elevata velocità di commutazione
- Dissipazione di potenza relativamente alta

Coppia differenziale

di forward, sorta di diff. tra le due I normalizzate.

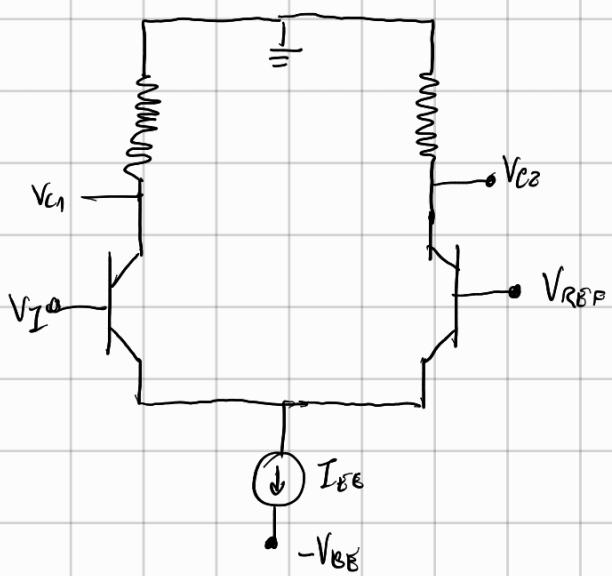


Se accedo uno o l'altro ha corrente va da una parte o dall'altra

$$V_T = 25 \text{ mV} \text{ a temperatura ambiente (300K)}$$

Sono sufficienti 0.3V per la commutazione

Uso 2 transistori accoppiati su E, assolutamente identici. Devono avere anche la stessa escursione tensione.



Se ho corrente costante su emettitori, consente di dividere l'una in due a seconda delle condizioni del transistor.

Potrei switchare da uno all'altro imponendo che il DDP fra le basi sia 0,3V.

Se V_{BE} è 0,3 volte la tensione termica, già si ha saturazione: 300mV sufficiente per spegnere uno e accendere un altro. In equilibrio le correnti sono uguali.

Squilibrio fa spegnere uno e far andare la corrente nell'altro.

Equazioni della corrente

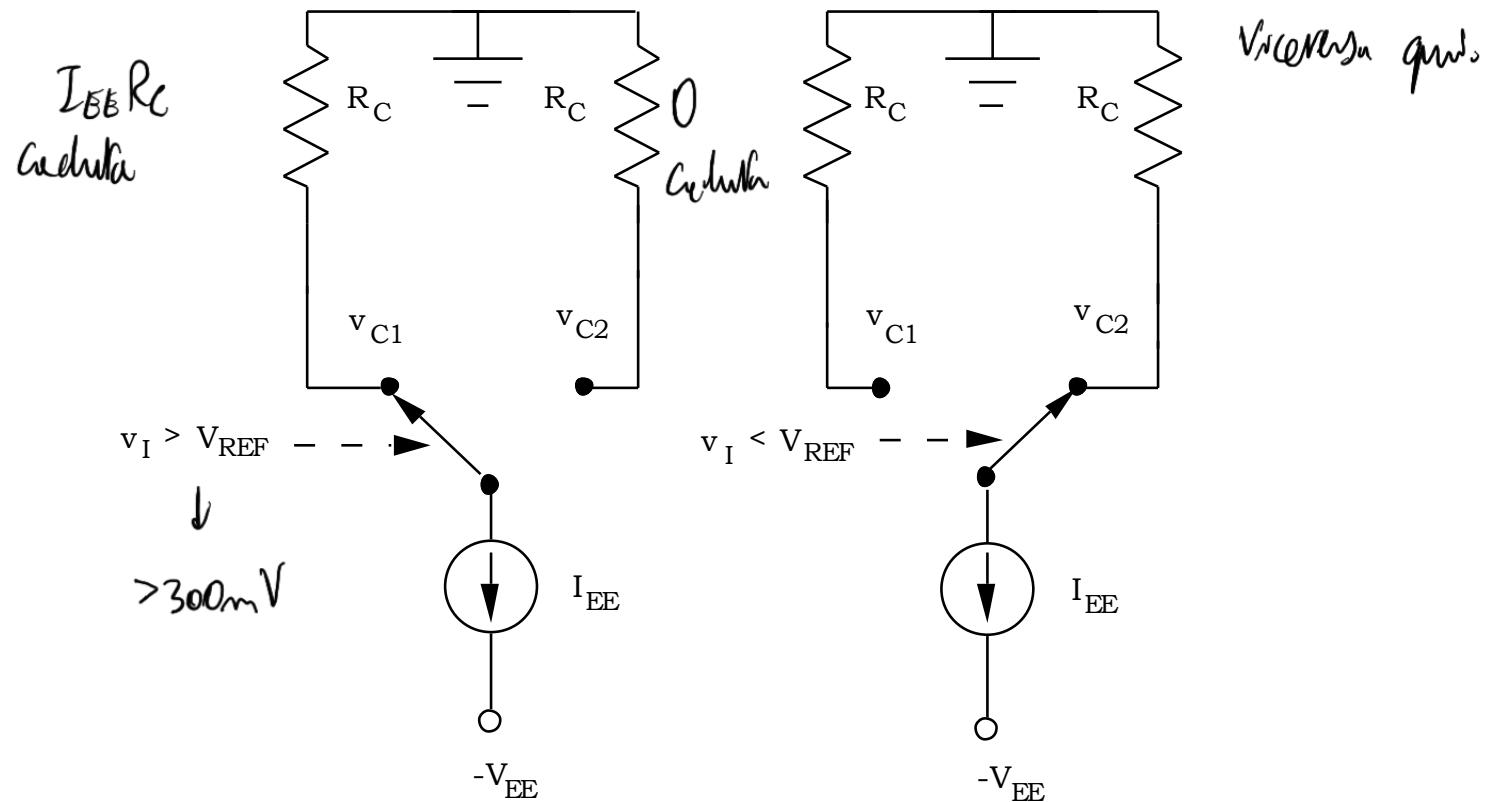
$$i_{C1} = I_S \exp\left(\frac{V_{BE1}}{V_T}\right)$$

$$i_{C2} = I_S \exp\left(\frac{V_{BE2}}{V_T}\right)$$

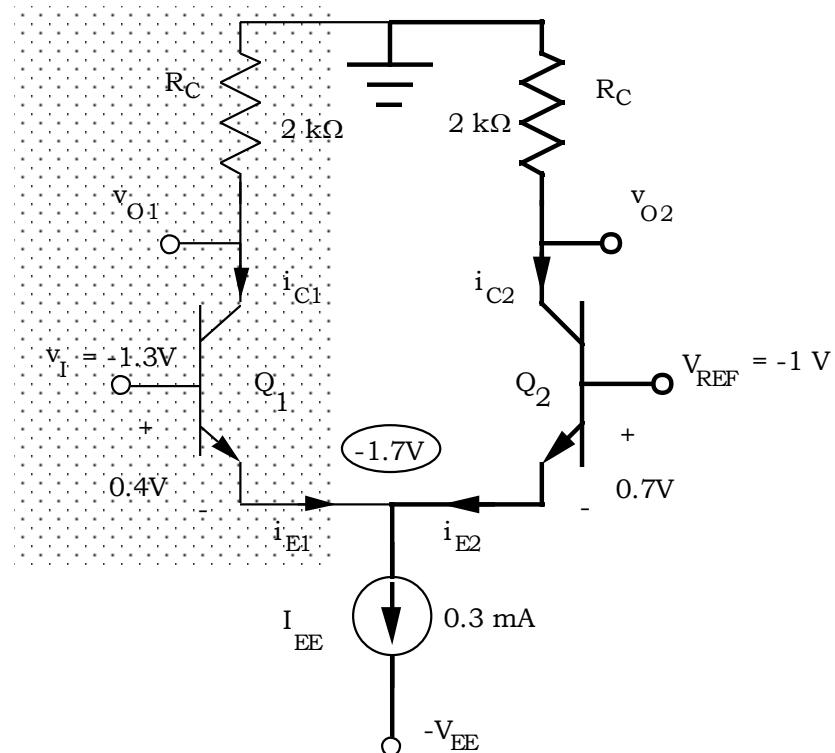
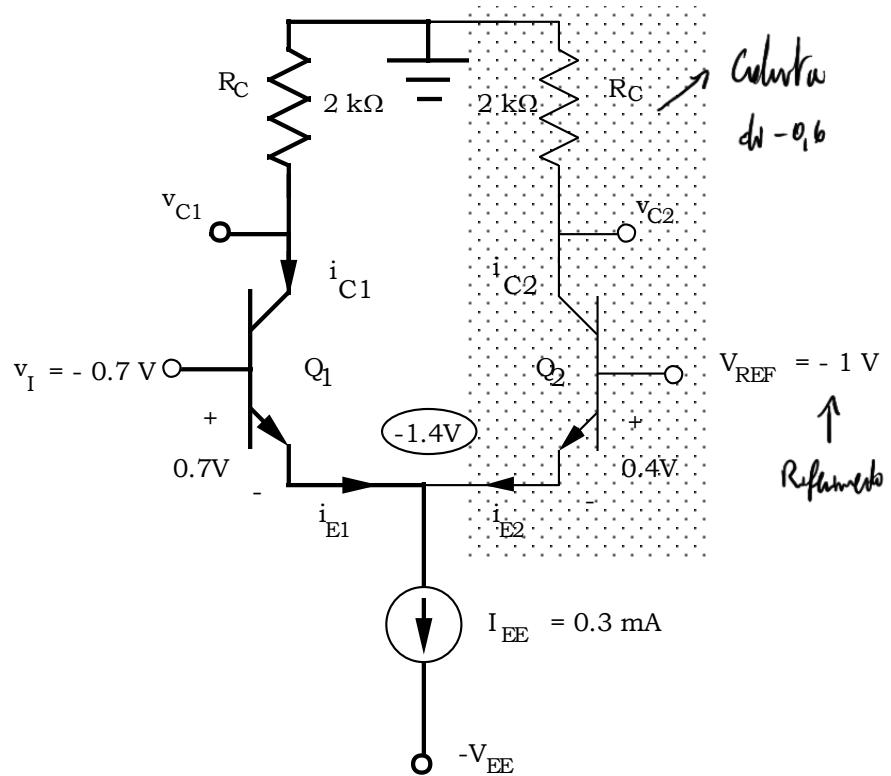
$$i_{C1} - i_{C2} = \alpha_F I_{EE} \tanh\left(\frac{V_{BE1} - V_{BE2}}{2V_T}\right)$$

Perché normalizzate ad $\alpha_F I_{EE}$.

Coppia differenziale come interruttore di corrente



Valori di tensione



Le tensioni sui collettori sono 0V e 0.6V e non coincidono con quelle di ingresso

Quella sulla resistenza



NON è una porta logica

Saremo tutte le tensioni negative. $V_{REF} = -1V$, quindi se così applicare per le correnti.

Comunque la corrente oggi. $-0,7$ Voh e $-1,3$ Vol? Funziona? No. Tensione sul collettore è 0 oppure $-0,6V$.

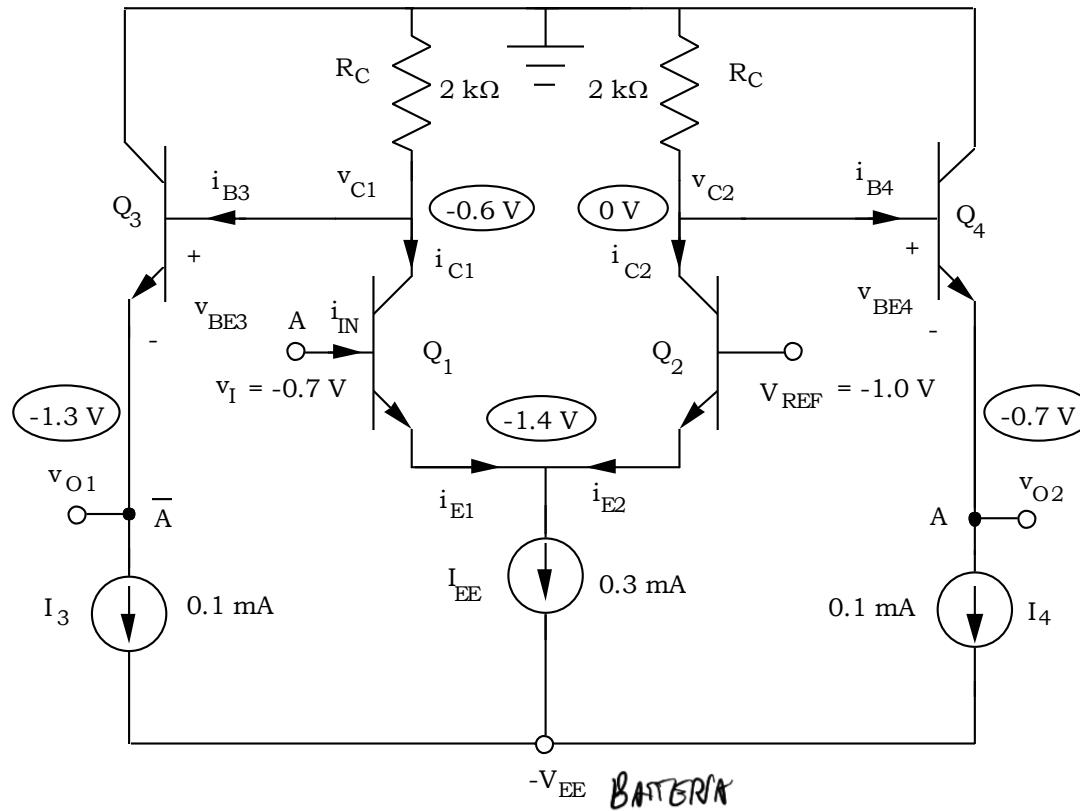
Sui collettori ho valori di tensione non uguali a quelli di ingresso.

Ma tra $0,7$ e 0 e $0,6$ e $1,3$ differenza di $0,7V$. Quindi se trovo di $-0,7V$ con tensione sui
collettori ho fatto

$$0 - 0,7 = 0,3$$

$$-0,6 - 0,7 = -1,3$$

Invertitore ECL



Gli inseguitori di emettitore traslano le tensioni di collettore rendendole uguali a quelle di ingresso



E' una porta logica

Sarà fai così la traslazione. Oltretutto ha l'altro pull-up e 2 le uscite: V_{O1} è A, ma V_{O2} = A. Non regola. Con altri due transistor che lavorano al 700, se C a massa e alimentato da gic, riuscirà a traslare. Interruttore di corrente come cuore della porta e trasferire il pull-up.

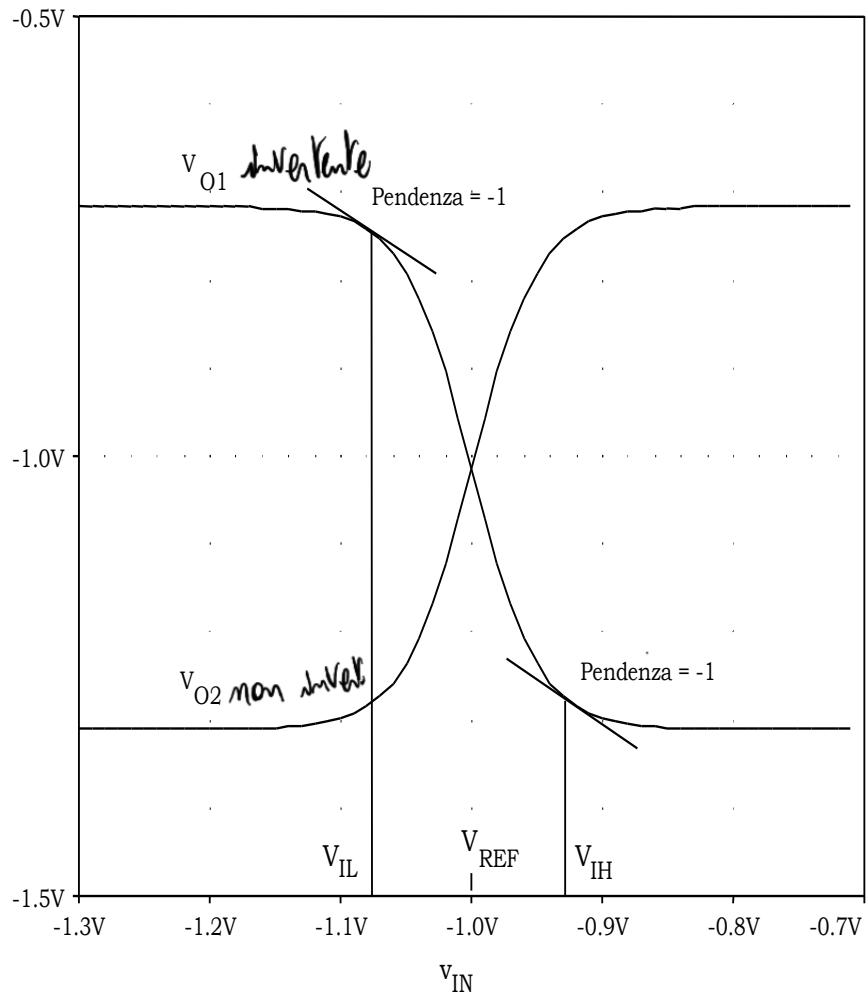
NOTA: excursione logica è da 0,6: -0,7 → +1,3 valori logici che applico.

Quindi, questo motivo per cui punto in alto a massa: tensione di uscita dipende solo da resistenza, corrente I_{EE} e dalla VBE dei transistors Q₃ e Q₄.

Non c'è alcun motivo che tensione di uscita dipenda da batteria. Livelli logici Se sopra mettiamo batteria, le DDP non ci dipendono da batteria che esiste quando ho già la gic. Tensioni dipendono solo da corrente e resistenza. Però dipende da 0,7, cioè la VBE del transistor che lo aggiunto.

Punto medio di traslazione è -1, cioè V_{REF}, che potrebbe essere realizzato con un buffer! Problema? Si propone? In realtà non si realizza con buffer, ma con ulteriore di transistor. Dipende solo da VBE dei transistor. Dipendenza solo dalla temperatura, che produce una traslazione uguale. Però uso transistor bipolar e non un buffer.

Caratteristica di trasferimento e margini di rumore



Possiamo fare i conti con le derivate.

$$V_{OH} = -0.7V; \quad V_{OL} = -1.3V$$

$$\Delta V = V_{OH} - V_{OL} = I_{EE} R_C = 0.6V$$



ridotta escursione logica

$$V_{IL} = V_{REF} - V_T \ln\left(\frac{\Delta V}{V_T} - 1\right)$$

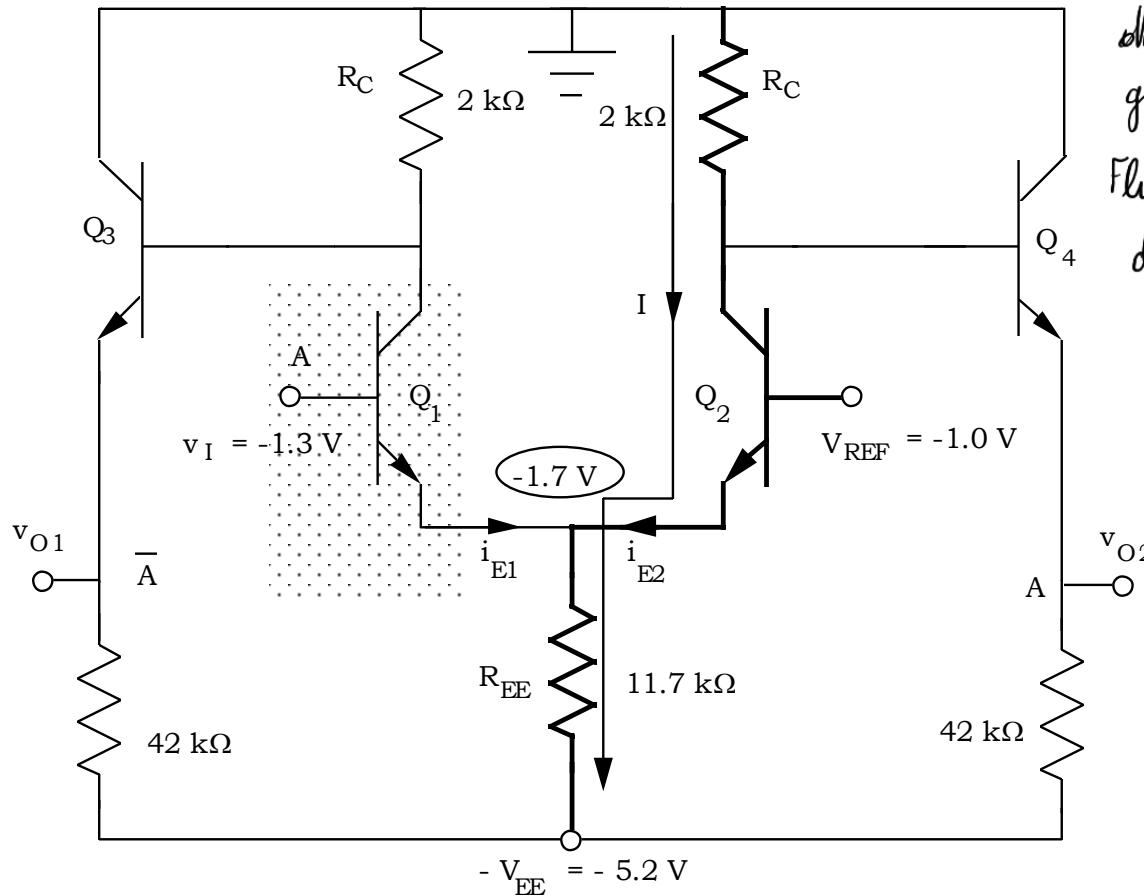
$$V_{IH} = V_{REF} + V_T \ln\left(\frac{\Delta V}{V_T} - 1\right)$$

$$NM_L = NM_H = V_T \left[\frac{\Delta V}{2V_T} - \ln\left(\frac{\Delta V}{V_T} - 1\right) \right] = 0.22V$$

Estremamente utile: è importante che non ci siano problemi di margine.

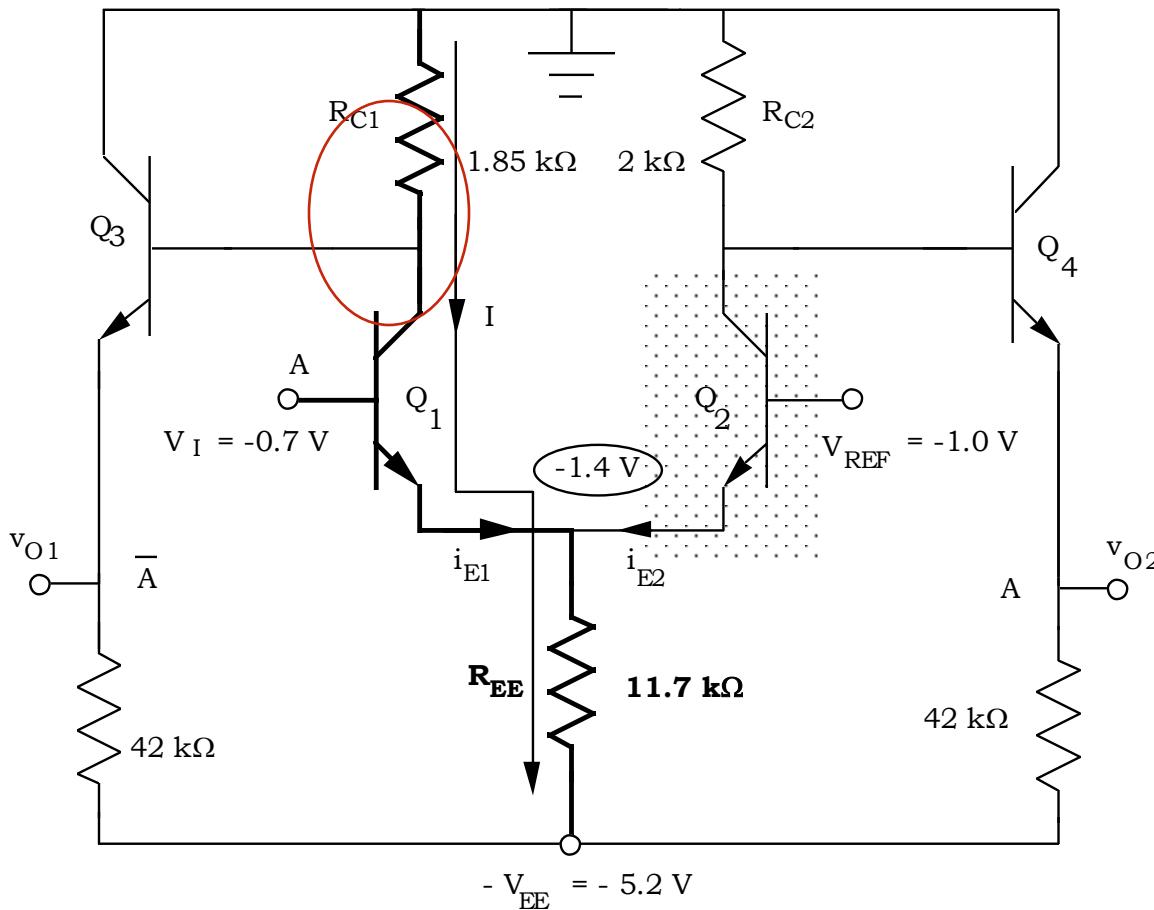
Realizzazione con resistori

Altre implementazioni:
 Generatore di corrente mag
 ollinare: Resistori molto
 grande
 Fluttuazioni filtrate
 da R_C grande.



$$R_{EE} = [-1.7V - (-5.2V)] / (0.3mA) = 11.7k\Omega$$

Realizzazione con resistori

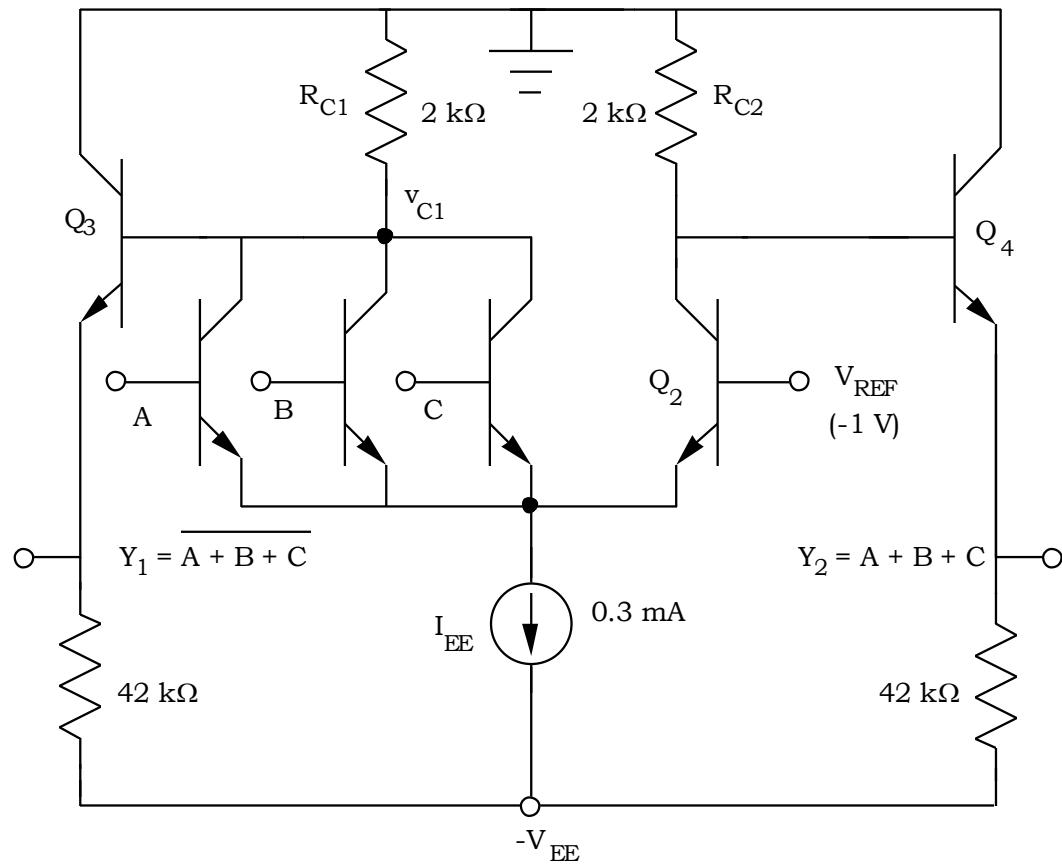


Cambiò qualcosa
ma polo ci manca

$$i_{E1} = [-1.4V - (-5.2V)] / (11.7k\Omega) = 0.325 \text{ mA}$$

$$R_{C1} = 0.6V / (0.325 \text{ mA}) = 1.85 \text{ V}$$

Porta OR-NOR

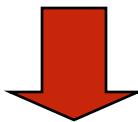


Pentru ca pără să fie posibilă: după cum se dezvoltă (migrarea) și crește numărul OR/NOR.
Cea mai mare durată este de la 10 ani.

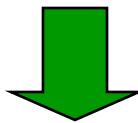
Chiar dacă este să fie în competiție, în același mod; trebuie să fie pe număr fără persoane
competitorice în situația.

Dipendenza dei parametri dalla temperatura

- I valori logici dipendono dalle tensioni base-emettitore dei BJT
- Le tensioni V_{BE} dipendono dalla temperatura
- Il coefficiente di temperatura della V_{BE} è di circa -1.8mV/K

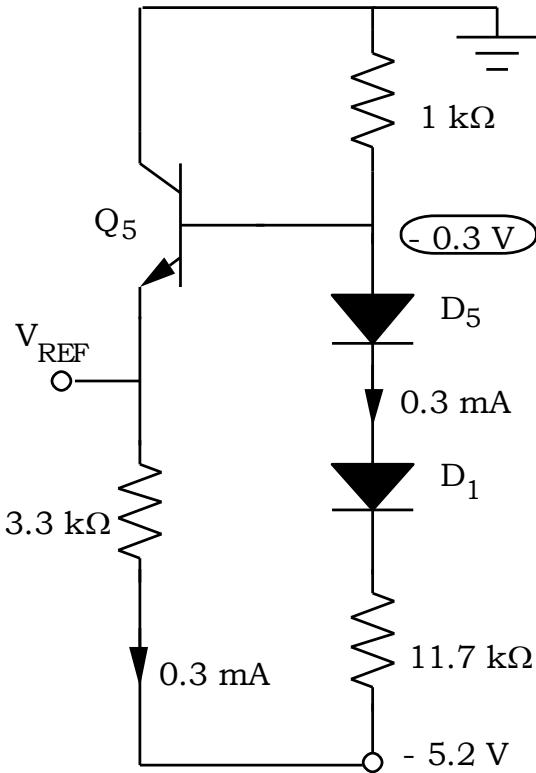


- La tensione di riferimento ($V_{REF} = -1\text{V}$) non è più $(V_{OH}+V_{OL})/2$
- I margini di rumore non sono più simmetrici



Problemi nel funzionamento della porta vista la ridotta escursione logica

Generatore di tensione di riferimento



Si dimostra che
oggetto genera tensione
di 1V.

transistor montato a die.

Tutto compreso sul chip e
al vario di temperatura
ha la stessa.

Il circuito fornisce una tensione di riferimento che varia con la temperatura verificando sempre la condizione $V_{REF} = (V_{OH} + V_{OL})/2$

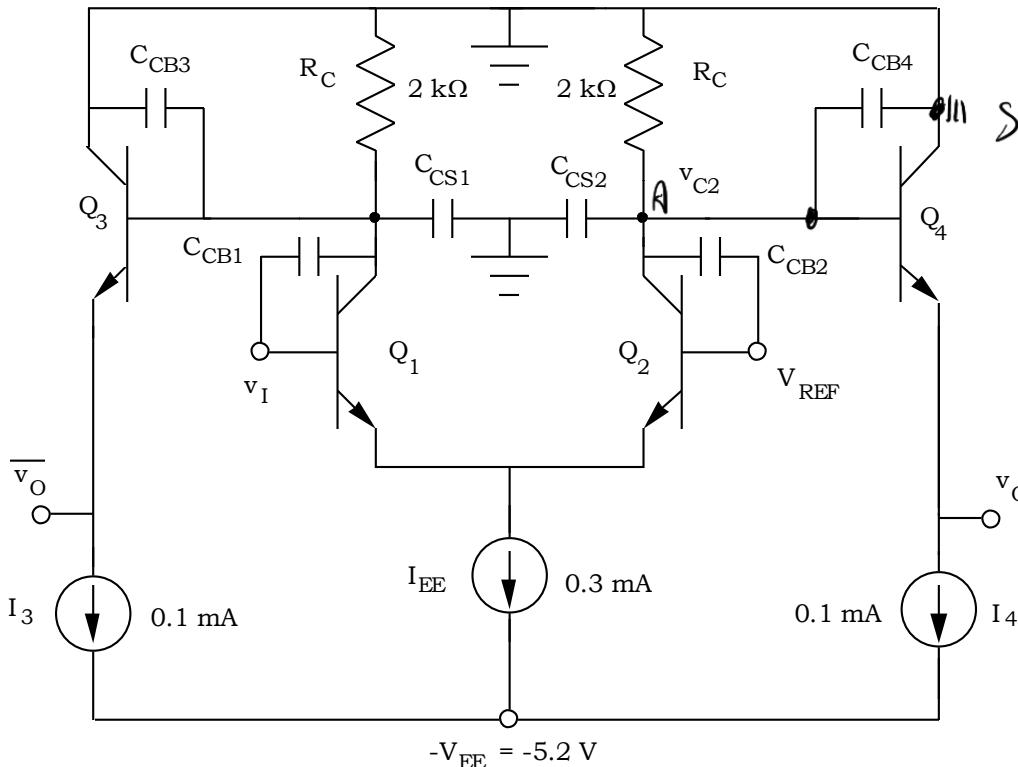
RITARDO?

Porta veloce perché

Q man. non SAT.

Come si spieghi dinamica?

Studio capacità carico



Il ritardo di propagazione della porta dipende dalle capacità in figura e da quella del carico

Ho anche capacità di curvo, Sia V_o o V_c. Comunque, capacità che coinvolgono commutaz.
dove sono tutte raggruppabili // a restare di curvo.

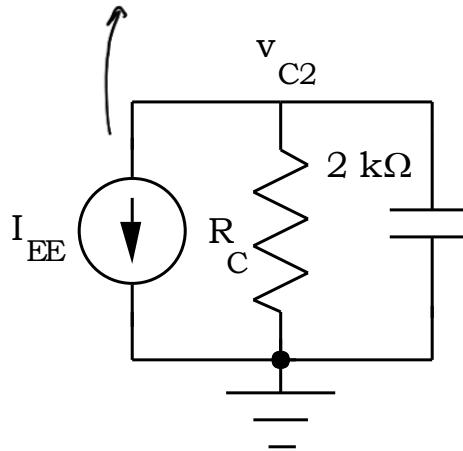
* Sono sempre in ZAD \Rightarrow Se non succede perché capacità di curvo est. troppo alta
* Trasystola estensiva non aggiungono niente apprezzabile: anche le capacità di curvo sono trascurabili.

Modello semplificato

(A) modo nulldiporto: posso modellarlo così

La dinamica in uscita è la stessa.

è la pN₀ condensatore e massa. Posso studiarlo così, dunque



$$C_L = C_{CS2} + C_{CB2} + C_{CB4}$$

$$v_{C2}(t) = -I_{EE} R_C \left[1 - \exp\left(-\frac{t}{R_C C_L}\right) \right]$$

$$\tau_{PHL} = 0.69 R_C C_L$$

$$v_{C2}(t) = -I_{EE} R_C \exp\left(-\frac{t}{R_C C_L}\right)$$

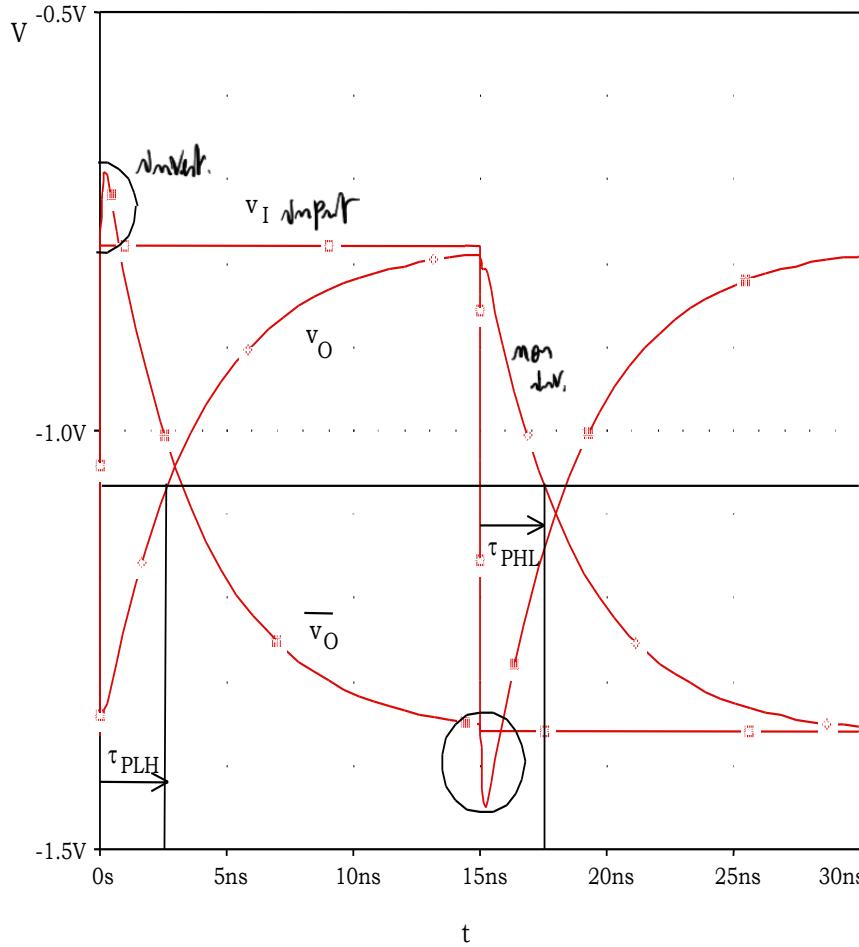
$$\tau_{PLH} = 0.69 R_C C_L$$

La effettiva tensione di uscita è traslata di $V_{BE} = 0.7V$ ma la dinamica è ovviamente la stessa

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} = 0.69 R_C C_L$$

Dunque nel studio stiamo facendo variazioni del punto A (sul specchietto), con differenza Δh . Cosa non è proprio un parallelo a R_c , dunque le variazioni, perché non è a "massa". Facciamo di conto e troviamo θ_{PA} e θ_{PB} , che è semplice, semplice commutazione.

Commutazione dell'invertitore ECL



L'uscita è normalmente simmetrica, tuttavia una elevata (10pF) capacità di carico può portare ad una asimmetria della forma d'onda di uscita, in particolare ad un rallentamento della transizione H-L

Gli impulsi (spikes) sull'uscita negata sono dovuti ad un effetto derivativo della capacità C_{CB1} che collega direttamente l'uscita invertente con l'ingresso

*↓ Problem di non funzionamento:

ACCOPIAMENTO DIRETTO B-C

Su uscite invertente vele dei picchi, che non sono previsti. Effetto derivativo della capacità base-collettore di ingresso. Picco SPIKE positivo e negativo su uscite invertente. La uscita invertente è pulita perché non dipende da V_{BE}.

CASE 2: Capacità esterna pesata, che non funziona bene su ZAD o Transistor esterno.

Visto che è quella causata da V_O, quando falesio transiz. H2 dell'usata (-0,7 → -1,3)

Capacità inversa stimata a -0,7. Ormai deve arrivare a -1,3V. Se capacità è grande, il valore -0,7 V viene mantenuto per troppo tempo: → -0,6 - (-0,7) = 0,1. Non ha più transistor acceso. Il punto fermo di potere va più rapidamente a -0,6V. Quando Transistor est. va in saturazione. La durata dell'uscita allora sarà legata a capacità esterna e si ha un rallentamento violento.

DA RICORDARE: Descrivere le cause della risposta domanda: 1 cesta con le cause: effetto derivativo su uscite invertente. Un altro delle cause che fu un bordello descritto sopra. Perché altrimenti? Se esistesse logica è di soli 0,6 V e NM = 0,2 V non possono vincolare le tensioni di uscita a delle battute, che sono solo sotto e al di fuori di ciò. L'altra logica spieghi solo la G/C, Resistenze e traslazione del transistor, che ha gravissime bugie, che non dipende da battute: se funziona su ZAD, la V_O = 0,7. Dipende solo da temperatura e tutto compatibilmente sullo stesso chip: variaz. di temperatura uguali per tutte → si mantiene la simmetria perché ha traslato dei valori costanti.

V_{BEFF} con transistor bipolare, ciruito alla stessa temperatura

• SPIKE su uscite invertente che dà variaz. dinamica.

Potenza dissipata dall'invertitore ECL

→ Viene solo danni: Poiss non dipende da stato logico

Nelle porte ECL circola praticamente la stessa corrente, salvo piccole differenze, sia per uscita alta sia per uscita bassa e dipende dai valori delle resistenze. Nel caso delle porte analizzate precedentemente la dissipazione di potenza è di circa 2.7mW.

Il prodotto ritardo-potenza è dell'ordine della decina di pJ e ciò non rende adatte le famiglie ECL alla realizzazione di circuiti VLSI.

↑
Per colpa delle resistenze.

Solo con CMOS e almeno
NMOS

FAN-OUT dell'invertitore ECL

Il FAN-OUT per uscita bassa non è un problema in quanto le porte in uscita non assorbono corrente significativa (il BJT di ingresso è interdetto).

Il FAN-OUT per uscita alta dipende dal massimo incremento della corrente, che attraversa il resistore R_C , tollerabile senza che V_{OH} si abbassi troppo. E' comunque un valore piuttosto alto ($N > 150$) perché l'incremento di corrente che attraversa R_C è pari alla corrente di uscita divisa per $\beta_F + 1$.

↳ Fallaggio di $\beta_F + 1$.

La vera limitazione al numero di porte in uscita dipende, come per le porte CMOS, da considerazioni di tipo dinamico. *Capacità effettiva di carica*

In particolare, il FAN-OUT è limitato dal rallentamento della transizione H-L per elevati carichi capacitivi. *Molto simili alle CMOS*

Prodotto ritardo-potenza di famiglie logiche commerciali ECL e TTL

