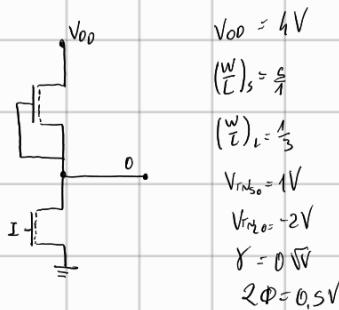


ALCUNE CONSIDERAZIONI:

- È possibile che una piccola parte degli esercizi sia scorretta
- Alcuni esercizi possono essere risolti in modi diversi, ma ugualmente corretti
- Gli esercizi sono svolti in ordine cronologico, quindi più si va in fondo nel file più sarà probabile che con più esperienza alle spalle saranno corretti.

Buon LAVORO!

NMOS a strutturato:



$$V_{DD} = 4V$$

$$\left(\frac{W}{L}\right)_S = \frac{6}{1}$$

$$\left(\frac{W}{L}\right)_D = \frac{1}{3}$$

$$V_{TDS_0} = 1V$$

$$V_{TDL_0} = -2V$$

$$Y = 0 \text{ mV}$$

$$Q_0 = 0.5V$$

$$K_m' = 15 \mu A/V^2 \quad C_L = 3pF$$

a) Livelli logici:

$V_{DD} = V_{DD}$ per invertitore realizzato a strutturato.

$V_{out} = ?$ Se ho un ingresso V_{in} ,

Hp che mosfet S è in triodo.

Nota: $V_{DD} - V_{in} = V_{DS}$. Suppongo che V_{DS} sia più alta di $-V_{TDL_0}$ (Posso trascurare Body)

$$\Delta_0 = K_m' \cdot \left(\frac{W}{L}\right)_S \left(V_{in} - V_{TDS_0} - \frac{V_{out}}{2}\right) V_{out}$$

$$\Delta_0 = \frac{K_m'}{2} \left(\frac{W}{L}\right)_D \cdot (-V_{TDL_0})^2$$

$$\Rightarrow \frac{K_m'}{2} \left(\frac{W}{L}\right)_S \cdot (-V_{TDL_0})^2 = K_m' \cdot \left(\frac{W}{L}\right)_S \left(V_{in} - V_{TDS_0} - \frac{V_{out}}{2}\right) V_{out}$$

$$\frac{1}{3} \cdot 2 = 5 \cdot \left(4 - 1 - \frac{V_{out}}{2}\right) V_{out}$$

$$2 = 15 \left(3 - \frac{V_{out}}{2}\right) V_{out}$$

$$\Rightarrow 2 = 45V_{out} - \frac{15}{2} V_{out}^2$$

$$\Rightarrow 15V_{out}^2 - 90V_{out} + 4 = 0$$

$$x_1 = 0.04V \quad \text{e sia}$$

$$x_2 = 5.3V \text{ non accettabile}$$

Potenza sottratta media:

I_{DS} quando $V_{DS} < 0$.

$$I_D = \frac{K_m'}{2} \left(\frac{W}{L}\right)_S \cdot (-V_{TDL_0})^2 = 10^{-5} A \Rightarrow 10 \mu A$$

$$P = \frac{I_D V_{DD}}{2} = 20 \mu W$$

c) Energie dissipate durante la transz. $V_{in} \rightarrow \frac{V_{DD}}{2}$

$$\text{NOTA: } \frac{V_{DD}}{2} = 2V$$

$V_{GS0} = V_{DS0} > V_{DD0} \Rightarrow 4 - 1 > 2V$ Resta sempre in triodo.

$V_{DS0} = V_{DD} - V_0$

$V_{DS0} = 4 - 0.04V$ Resta in saturazione.

$V_{DS0} = 4 - 2V \Rightarrow 2V$ Resta in saturazione fino alla fine.

La corrente è costante.

$$\Delta_0 = K_m' \cdot \left(\frac{W}{L}\right)_S \left(V_{in} - V_{TDS_0} - \frac{V_{out}}{2}\right) V_{out} \quad \text{VARIA NEL TEMPO}$$

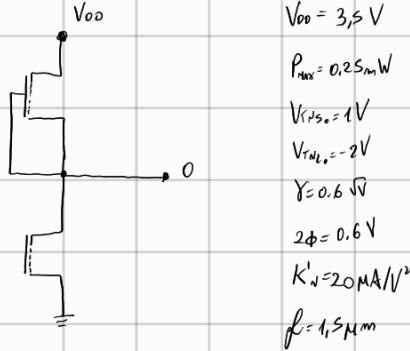
$$\Delta_0 = \frac{K_m'}{2} \left(\frac{W}{L}\right)_D \cdot (-V_{TDL_0})^2 \quad \text{NON VARIA NEL TEMPO}$$

COME RISOLVO?



infatica? E se sì, come giustifico l'esercitazione 3?

ES. 2)



$$\begin{aligned}
 V_{ol} &= 0.20 \text{ V} \\
 V_{DD} &= 3.5 \text{ V} \\
 P_{max} &= 0.25 \text{ mW} \\
 V_{TSS} &= 1 \text{ V} \\
 V_{TSL} &= -2 \text{ V} \\
 Y &= 0.6 \text{ } \Omega \\
 2\phi &= 0.6 \text{ V} \\
 K'_n &= 20 \text{ mA/V} \\
 l &= 1.5 \mu\text{m}
 \end{aligned}$$

$$V_{OL} = 3.5 \text{ V}$$

$$V_{OL} = 0.20 \text{ V}$$

$$P_{max} = \frac{I_L V_{DD} + I_L V_{OL}}{2} \Rightarrow I_L = \frac{2 P_{max}}{V_{DD}} = 0.14 \text{ mA}$$

Se ho V_{DD} in ingresso:

1) Trivolo per S

$$2) V_{DS} = V_{DD} - V_{ol} = 3.3 \text{ V} \rightarrow \text{Saturation.}$$

$$V_{TSL} = V_{TSL} + Y(\sqrt{2\phi_p V_{DS}} - \sqrt{2\phi_n}) = -1.33 \text{ V}$$

$$\delta_D = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (-V_{TSL})^2 \Rightarrow$$

$$\left(\frac{W}{L} \right)_L = \frac{2 \delta_D}{K'_n (V_{TSL})^2} = \frac{2.76}{1}$$

$$\delta_D = K'_n \left(\frac{W}{L} \right)_S \left(V_{DS} - V_{TSL} - \frac{V_{DS}}{2} \right) N_n$$

$$\left(\frac{W}{L} \right)_S = \frac{14.6}{1}$$

2)

$$A = (W_i L_s f^2) + (W_i L_s f^2) = 49.31 \text{ mV/m}$$

3)

$$V_{ol} \rightarrow V_b = 1.3 \text{ V} ?$$

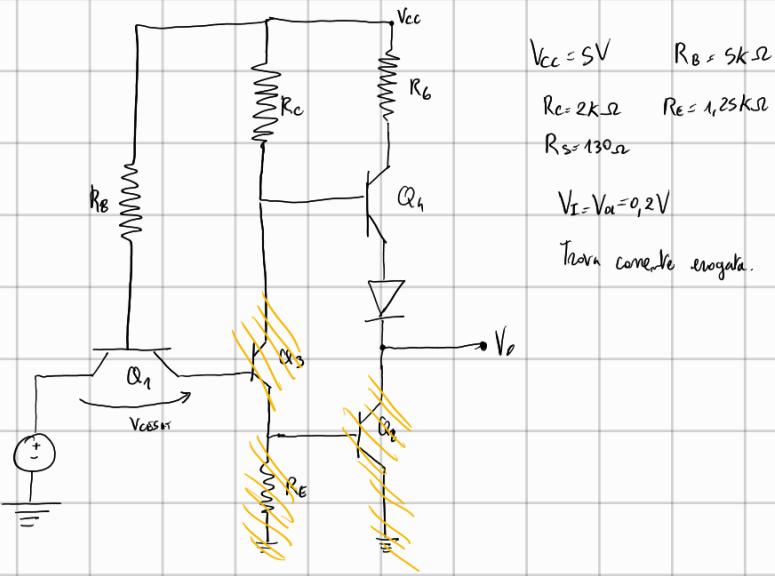
$$\text{Nota: Se } V_b = 1.3 \text{ V}, V_{DS} = 3.5 - 1.3 = 2.2 \text{ V}$$

Reale in saturation.

$$\delta_D = \frac{K'_n}{2} \left(\frac{W}{L} \right)_L (V_{TSL})^2 = 0.15 \text{ mA}$$

$$\delta = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = \frac{C \Delta V}{\delta} = 7.3 \cdot 10^{-3} \text{ s}$$

4)

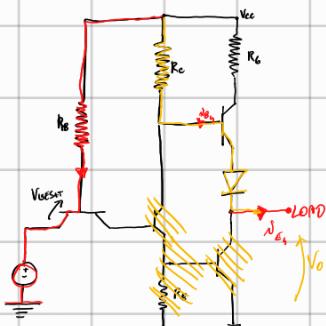


Se ho ingresso basso, Q₁ si trova in ZAD.

Q₂ si spegne, Q₁ si spegne.

Q₂ funziona in saturaz. a collettore aperto.

Q₁ è in ZAD perché ha tensioni simili su B,C mentre non c'è tensione più alta che B,E.



$$V_{cc} - R_B \Delta B_1 - V_{BESAT} - V_{ol} = 0$$

$$\Delta B_1 = \frac{V_{cc} - V_{BESAT} - V_{ol}}{R_B}$$

$$\Delta B \approx \Delta B_1 \Rightarrow \text{Corrente erogata} > -\Delta E$$

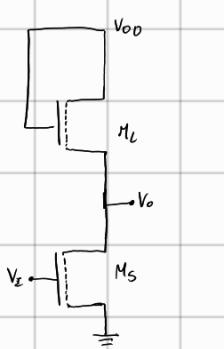
Se ho $\Delta E_1 = 1,5mA$, allora $\Delta A_1 = \frac{\Delta E_1}{\beta_F + 1}$

$$V_{O0} - \Delta A_1 R_C - V_{BE1} - V_D = 0$$

$$V_O = V_{O0} - \Delta A_1 R_C - V_{BE1} - V_D$$

1)

NMOS in saturazione



$$\begin{aligned}V_{DD} &= 4 \text{ V} \\ \left(\frac{W}{L}\right)_S &= \frac{5}{1} \\ \left(\frac{W}{L}\right)_L &= \frac{1}{2} \\ V_{IO} &= 1 \text{ V} \quad \gamma = 0.4 \text{ mV} \quad k'_N = 25 \text{ mA/V}^2 \\ 2\phi_b &= 0.6 \text{ V}\end{aligned}$$

LIVELLI LOGICI:

$$\begin{cases} V_O = V_{DD} - V_{IN} \\ V_{IN} = V_{IN0} + \gamma \left(\sqrt{V_O + 2\phi_b} - \sqrt{2\phi_b} \right) \end{cases}$$

$$\Rightarrow V_O = V_{DD} - V_{IN0} - \gamma \left(\sqrt{V_O + 2\phi_b} - \sqrt{2\phi_b} \right)$$

$$V_O = V_{DD} - V_{IN0} + \underbrace{\gamma \sqrt{2\phi_b}}_{\alpha} - \gamma \sqrt{V_O + 2\phi_b}$$

$$V_O = \alpha - \gamma \sqrt{V_O + 2\phi_b}$$

$$\Rightarrow V_O^2 + \alpha^2 - 2\alpha V_O = \gamma^2 V_O + \gamma^2 \cdot 2\phi_b$$

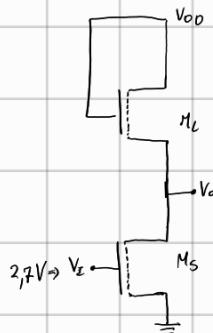
$$\alpha = 3,31$$

$$V_O^2 + 10,96 - 6,62 V_O = 0,16 V_O + 0,1$$

$$V_O^2 - 6,78 V_O + 11,06 = 0$$

$$x_1 = 2,73 \text{ V} \quad x_2 = 4,04 \text{ V} \quad \text{non acc.}$$

ACCETTABILE

Hyp: $V_{OH} - V_{OI} > V_{OL}$ \Rightarrow Trabado. M_L sempre in saturazione.

$$I_L = k_m' \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{IN} - \frac{V_O}{2} \right) V_{DD}$$

$$I_L = \frac{k_m'}{2} \left(\frac{W}{L} \right)_L \left(V_{DD} - V_{OI} - V_{IN} \right)^2$$

Hyp: effetto body biasabile

$$\Rightarrow \left(\frac{W}{L}\right)_S \left(V_{0u} - V_{rN} - \frac{V_{0L}}{2}\right) V_{0L} = \frac{1}{2} \left(\frac{W}{L}\right)_L \left(V_{0v} - V_{0L} - V_{rN}\right)^2$$

$$5 \left(1,7 - \frac{V_{0L}}{2}\right) V_{0L} = \frac{1}{2} (3 - V_{0L})^2$$

$$20 \left(1,7 - \frac{V_{0L}}{2}\right) V_{0L} = (3 - V_{0L})^2$$

$$34 V_{0L} - 10 V_{0L}^2 = 9 + V_{0L}^2 - 6 V_{0L}$$

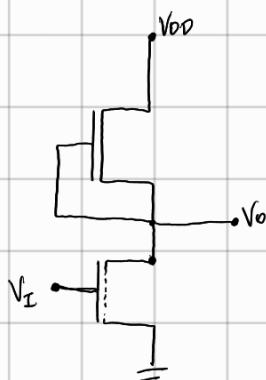
$$11 V_{0L}^2 - 40 V_{0L} + 9 = 0$$

$$x_1 = 0,24V \quad x_2 = 3,4V \quad \text{non acceptable.}$$

||
 $V_{0L} \checkmark$

1)

NMOS a Schmittumkehr



$$V_{th} = 0,2 \text{ V}$$

$$P_{st} = 0,4 \text{ mW}$$

$$V_{DD} = 3,5 \text{ V}$$

$$V_{TNs0} = 1 \text{ V}$$

$$V_{TNL} = -2 \text{ V}$$

$$\gamma = 0,5 \sqrt{V}$$

$$2\phi = 0,6 \text{ V}$$

$$K_m' = 25 \text{ mA/V}^2$$

$$V_{OH} = 3,5 \text{ V}$$

$$P_{am} = \frac{V_{OL} I_L + V_{OH} I_{OL}}{2} \Rightarrow I_L = \frac{2 P_{am}}{V_{OL}} = \frac{0,8 \text{ mW}}{92} = 6 \text{ mA}$$

Se ho V_{OH} in ingresso:

$$V_{OH} - V_{TNs} > V_{OL} ? \text{ Sì, Trivolo.}$$

$$\delta_0 = K_m' \left(\frac{W}{L} \right)_S (V_{OH} - V_{TNs} - \frac{V_{OL}}{2}) V_{OL}$$

$$V_{OL} = V_{TNs} + \gamma (\sqrt{2\phi_F + V_{OL}} - \sqrt{2\phi_F}) = -1,94 \text{ V}$$

$$\Rightarrow \delta_0 = K_m' \left(\frac{W}{L} \right)_S \cdot 2,4 \cdot 0,2 = \frac{1000}{3} = 334$$

$$V_{GS} = 0 \quad -V_{TN} > V_{OL} ?$$

$$\uparrow \\ V_{DD} - V_{OL} = 3,5 - 0,2 = 3,3 \text{ V} \quad \text{SATURAZ.}$$

$$\delta_0 = \frac{K_m' (W)}{2 (L)} V_{OL}^2$$

$$\Rightarrow \left(\frac{W}{L} \right) = \frac{85}{1}$$

$$A = (85 \cdot 1 \cdot f^2) + (334 \cdot 1 \cdot f) \approx 3,77 \text{ mm.}$$

$$\frac{1}{I}$$

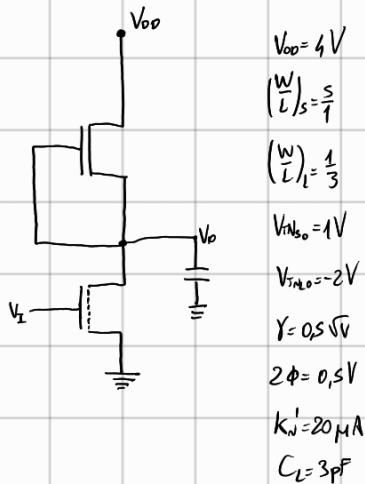
basso alba: 0,2 → 1 V

$$-V_{TN} \geq V_{OL} ?$$

$$\Rightarrow 2 \geq (V_{DD} - V_{OL}) \Rightarrow +2,25 \text{ Vb. Regola di saturaz.}$$

$$\delta_0 = K_m' \left(\frac{W}{L} \right)_S (-V_{OL})^2 = 4,25 \text{ mA} \Rightarrow \delta = c \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = c \frac{\Delta V}{\delta} = 3,76 \cdot 10^{-10} \text{ s}$$

1)



$$V_{DD} = 6V$$

$$\left(\frac{W}{L}\right)_S = \frac{5}{1}$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{3}$$

$$V_{NL_0} = 1V$$

$$V_{INL_0} = 2V$$

$$\gamma = 0,5\sqrt{V}$$

$$2\phi = 0,5V$$

$$K_m' = 20 \text{ mA/V}^2$$

$$C_L = 3 \text{ pF}$$

$$V_{DD} = 6V$$

$$V_{OL} = ?$$

Supposizione: $V_{OH} - V_{NL} \geq V_{OL}$ S. Triodo.

$$-V_{NL} > V_{OL} - V_{NL}$$

N.B. Schemazione. Ipotesi.

$$I_D = \frac{K_m'}{2} \left(\frac{W}{L}\right)_L (-V_{NL})^2 \quad \text{Transistor body-bip.}$$

$$I_D = K_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{NL} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$\Rightarrow \frac{K_m'}{2} \left(\frac{W}{L}\right)_L (-V_{NL})^2 = K_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{NL} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$\Rightarrow \frac{1}{2} \cdot \frac{1}{3} \cdot 4 = 5 \left(3 - \frac{V_{OL}}{2}\right) V_{OL}$$

$$\Rightarrow \frac{4}{3} = 5 \left(6 - V_{OL}\right) V_{OL}$$

$$4 = 15(6 - V_{OL}) V_{OL}$$

$$\Rightarrow 4 = 90 V_{OL} - 15 V_{OL}^2$$

$$V_{OL} = 0,045V \text{ accettabile.}$$

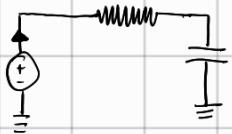
$$V_{NL} = V_{NL_0} + \gamma (\sqrt{2\phi_F + V_{OL}} - \sqrt{2\phi_F}) = -1,98V \text{ variabile trascurabile}$$

Potenza sottesa max:

$$I_D = K_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{NL} - \frac{V_{OL}}{2}\right) V_{OL} = 1,36 \cdot 10^{-5} A = 13,6 \mu A$$

$$P_{max} = V_{OH} I_D = 53,6 \mu W \text{ con duty cycle 100\%}$$

Transistor basso-alto: 26/01/15



$$V_{OL} \rightarrow \frac{1}{2} V_{DD}$$

↑
0,045V → 2V

$$\delta_c = k_m' \left(\frac{W}{L} \right)_c (-V_{IN})^2 \rightarrow \text{Trascurato effetto body}$$

Resto da saturazione per tutto il tempo.

$$\Delta t = C \frac{\Delta V}{\Delta I} \Rightarrow \Delta t = C \frac{\Delta V}{\delta_c} = 2,2 \cdot 10^{-7} \text{ s}$$

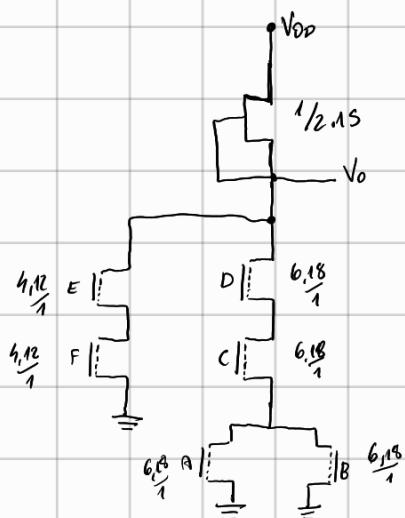
Energia: $V_{DD} \Delta t = 2,35 \cdot 10^{-11} \text{ J} = 24 \text{ pJ}$

6)

NMOS a SWingando:

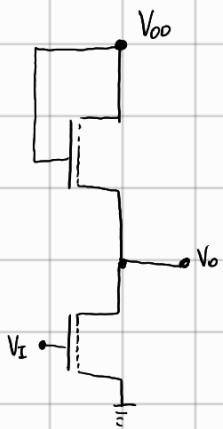
$$Y = \overline{(A+B)CD + EF}$$

A+B parallello
AB serie



$$A = 4 \cdot f^2 \cdot 6,18 + 2 \cdot 4,12 \cdot f^2 + 2,15 f^2$$

1) 29-04-2016



$$V_{DD} = 5V$$

$$(\frac{W}{L})_S = \frac{5}{1}$$

$$(\frac{W}{L})_L = \frac{1}{2}$$

$$V_{TO} = 1V$$

$$\gamma = 0.5\sqrt{2}$$

$$2\phi = 0.6V$$

$$K_N^I = 25MA/V^2$$

Il livello logico $V_{OH} = V_{DD} - V_{TN_L}$ perché contiene ampiezza di guadagno quando si spegne canale.

$$V_{IN_L} = V_{TO} + \gamma (\sqrt{2\phi_F + V_{OH}} - \sqrt{2\phi_F})$$

$$\Rightarrow V_{OH} = V_{DD} - V_{TO} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} = \underbrace{V_{DD} - V_{TO}}_{\alpha} + \gamma \sqrt{2\phi} - \gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 + \alpha^2 - 2\alpha V_{OH} - \gamma^2 (2\phi + V_{OH}) = \gamma^2 (2\phi + V_{OH})$$

$$V_{OH}^2 - 2\alpha V_{OH} - \gamma^2 V_{OH} + \alpha^2 - \gamma^2 2\phi = 0$$

$$V_{OH}^2 - V_{OH} (2\alpha + \gamma^2) + \alpha^2 - \gamma^2 2\phi = 0$$

$$2\alpha + \gamma^2 = 9.03$$

↑
19,22

$V_{OH} =$

3.44 V	accettabile
5.6 V	non accettabile

V_{OL} ?

Se ho V_{OH} al ingresso S al tubolo.

L sempre saturazione

$$K_N^I \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{TN_L} - \frac{V_{OL}}{2} \right) V_{OL} = K_N^I \left(\frac{W}{L} \right)_L \left(V_{DD} - V_{OH} - V_{TN_L} \right)^2$$

NOTA: Suppongo che effetto body sia trascurabile: verifichiamolo.

$$K_N^I \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{TN_L} - \frac{V_{OL}}{2} \right) V_{OL} = K_N^I \left(\frac{W}{L} \right)_L \left(V_{DD} - V_{OH} - V_{TN_L} \right)^2$$

$$\Rightarrow 5 \left(3.44 - 1 - \frac{V_{OL}}{2} \right) V_{OL} = \frac{1}{4} (5 - 3.44 - 1)^2$$

$$20 \left(2.44 - \frac{V_{OL}}{2} \right) V_{OL} = 0.314$$

$$48.8 V_{OL} - 10 V_{OL}^2 = 0.314$$

$$V_{OL} = 0.0064 \text{ V}$$

Potenza dinamica:

$$P_0 = V_{DD} I C = 2.5 \cdot 10^{-5} \text{ W}$$

Potenza massima sfida:

Si ha con V_{DD} di stampo:

$$I_D = \left(\frac{W}{L} \right)_S k_m' \left(V_{OB} - V_{TN} - \frac{V_{DS}}{2} \right) V_{OL} = 2 \cdot 10^{-6} \text{ A}$$

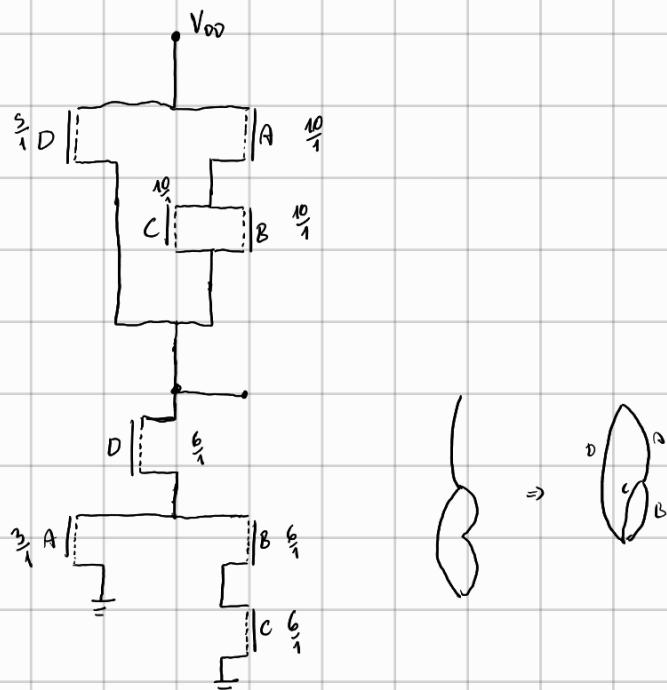
$$P_{MAX} = V_{DD} I_D = 6.71 \cdot 10^{-6} \text{ W}$$

$$\frac{P_0}{P_{MAX}} = 3.73$$

$$\text{Se } k_m' = 30 \text{ mA/V}^2: \frac{P_0}{P_{MAX}} = 10.69$$

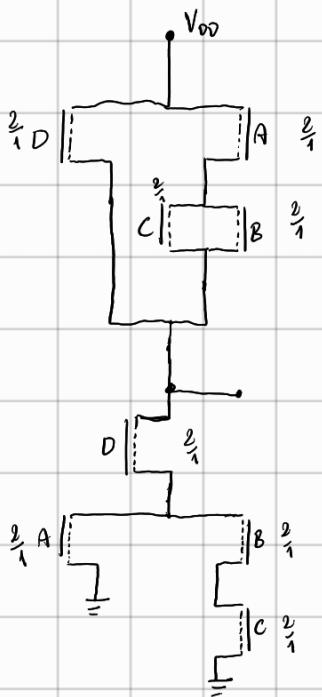
3)

$$Y = \overline{(A+BC)D}$$



$$\frac{R}{\frac{6}{1}} + \frac{R}{x} = \frac{R}{\frac{2}{1}} \Rightarrow x = \frac{3}{1}$$

DBC percorso più lungo. 3 transistor \Rightarrow triplo delle dimensioni
per avere stessa resistenza equivalente.



Ritardo d'innamoramento proporzionale a resistenza.

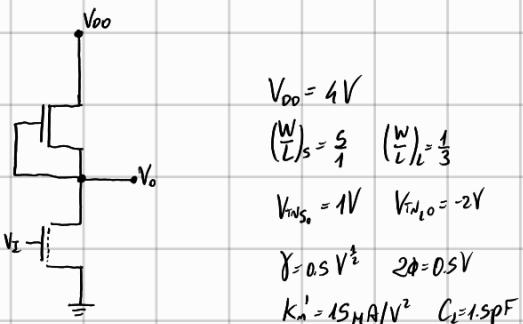
$$\gamma_{PH^*} = 3 \gamma_{PH} \text{ perché ho resistenza triplicata.}$$

$$\frac{\gamma_{PH^*}}{2 \cdot \frac{1}{2}} = \frac{\gamma_{PH}}{\frac{1}{2}} = 5 \gamma_{PH}$$

Se suppongo $\gamma_{PH} = \gamma_{PH^*}$,

$$\text{allora } \gamma_P^* = 6 \gamma_P$$

1) 30/05/2012



$$V_{DD} = 4V$$

$$\left(\frac{W}{L}\right)_S = \frac{5}{1} \quad \left(\frac{W}{L}\right)_L = \frac{1}{3}$$

$$V_{IN,S_0} = 1V \quad V_{IN,L_0} = -2V$$

$$\gamma = 0.5 V^{1/2} \quad 2\phi = 0.5V$$

$$K_n' = 15 MA/V^2 \quad C_L = 1.5 pF$$

$V_{OH} = V_{DD} = 4V$ perché come L aperto fino a che $V_{DS} > 0$.

Se $V_{DS} = 0$, $V_{OH} = V_{DD}$.

Se ho V_{OH} da input, $V_{OH} - V_{IN,S_0} > V_{GS}$? Suppongo di sì. Regole di tracci.

$V_{DSL} = V_{DD} - V_{OL}$, suppongo più grande di V_{GS} . Salvo?

$$I_D = k_m' \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{INL} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$I_D = \frac{k_m'}{2} \left(\frac{W}{L} \right)_S (-V_{INL})^2 \quad \text{Trascurando effetto body, } V_{OL} \text{ basso, Volo alla fine.}$$

$$k_m' \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{INL} - \frac{V_{OL}}{2} \right) V_{OL} = \frac{k_m'}{2} \left(\frac{W}{L} \right)_S (-V_{INL})^2$$

$$5 \left(4 - 1 - \frac{V_{OL}}{2} \right) V_{OL} = \frac{1}{6} \cdot 4$$

$$30 \left(3 - \frac{V_{OL}}{2} \right) V_{OL} = 4$$

$$90 V_{OL} - 15 V_{OL}^2 = 4$$

$$V_{OL} = \begin{cases} 5.36 \text{ V} & \text{Non accettabile} \\ 0.045 \text{ V} & \text{accettabile} \end{cases}$$

Verificando, si trova che l'intervallo è L in salvo.

$$\text{Calcolo } V_{INL} = V_{IN0} + \gamma (\sqrt{2\phi_F + V_{OL}} - \sqrt{2\phi_F}) = -1.98 \text{ V}$$

\Rightarrow differenza misurabile.

Calcolo potenza media:

$$P_S = \frac{V_{OH} I_{DH} + V_{OL} I_{DL}}{2}$$

$$I_{DH} = k_m' \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{INL} - \frac{V_{OL}}{2} \right) V_{OL} = 1 \cdot 10^{-5} \text{ A}$$

$$P_S = 2 \cdot 10^{-5} \text{ W}$$

• Tempo nella transizione basso-alto:

$$V_{OL} \rightarrow \frac{1}{2} V_{DH} \Rightarrow 0.045 \rightarrow 2 \text{ V}$$

Se arrivo a 2V,

$$V_{OH} - V_{INL} \geq V_{DS} ?$$

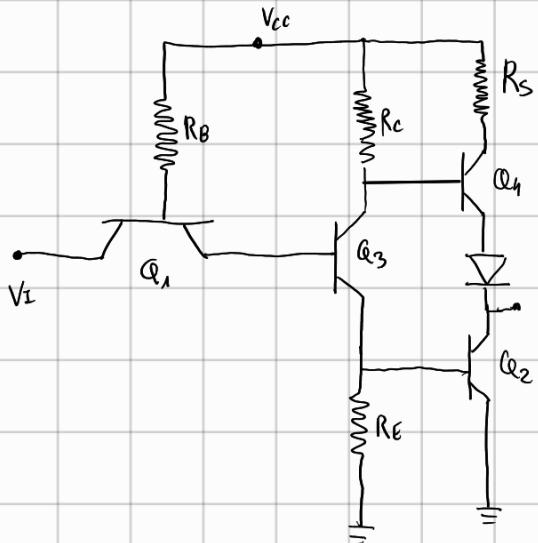
$$4 - 1 \geq 2 \checkmark$$

$-V_{INL} \leq V_o$? Trascurando effetto body sì.

Rimango in salvo.

$$I_D = k_m' \left(\frac{W}{L} \right)_S (-V_{INL})^2 = 10^{-5} \text{ A}$$

$$I_D = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = \frac{C \Delta V}{I_D} = 2.93 \cdot 10^{-7} \text{ s}$$



$$\beta_F = 20$$

$$\beta_R = 0,05$$

$$V_{cc} = 5V$$

$$R_b = 5k\Omega$$

$$R_c = 2k\Omega$$

$$R_E = 1,25k\Omega$$

$$R_s = 130\Omega$$

Fare analisi per uscita alta e bassa:

Suppongo di avere uscita alta. \Rightarrow Componenti assorbono corrente.

Uscita non deve scendere al di sotto di V_{B1} con ingresso alto, che equivale a?

Se input alto, Q_1 è un ZAI, Q_3 e Q_2 non sat, Q_4 non d.

$$V_B - V_{BE1} - V_{BE_{SAT3}} - V_{BE_{SAT2}} = 0$$

$$V_B = V_{cc1} + V_{BE_{SAT3}} + V_{BE_{SAT2}} = 0.7 + 0.8 + 0.8 = 2.3V$$

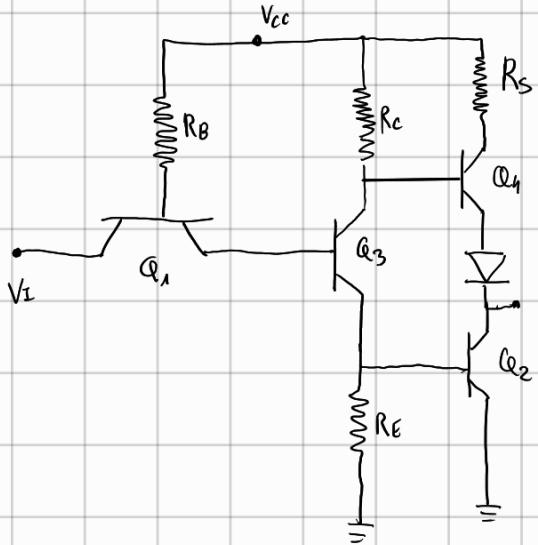
Ma come hovo uscita alta? Q_1 in ZAD, Q_2 in saturaz.

$$V_{DD} - R_c I_{B2} - V_{BE2} - V_0 = V_0$$

$$V_0 = 5 - 0,7 - 0,7 - R_c \frac{N_{A2}}{\beta_F + 1} = 3,6 - R_c \frac{N_{A2}}{21}$$

Dobbiamo trovare la N_{A2} .

Con input alto ho Q_2 in saturaz., come Q_3 .



$$\beta_F = 20$$

$$\beta_R = 0,05$$

$$V_{cc} = 5V$$

$$R_B = 5k\Omega$$

$$R_C = 2k\Omega$$

$$R_E = 1,25k\Omega$$

$$R_S = 130\Omega$$

$$V_{cc} - R_B I_{B1} - V_{BE1} - V_{BE3} - V_{BE2} = 0$$

$$I_{B1} = \frac{V_{cc} - V_{BE1} - V_{BE3} - V_{BE2}}{R_B} = \frac{5 - 0.7 - 0.8 - 0.8}{5000} = 540 \mu A$$

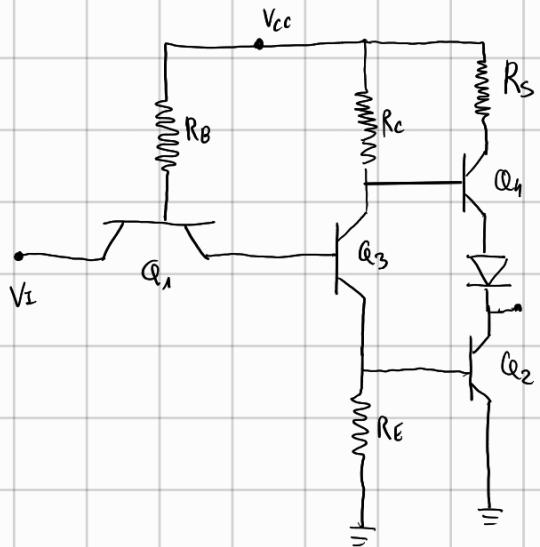
$$- \Delta E = \beta_R I_{B1} = 27 \mu A = I_H$$

Querend:

$$\frac{3,6 - R_C N I_H}{21} > 2,3 \Rightarrow 21 \cdot 1,3 > R_C N I_H \Rightarrow$$

$$\Rightarrow N < \frac{27,3}{I_H + R_C} = 505$$

Consideriamo ora uscita bassa:



$$\beta_F = 20$$

$$\beta_R = 0,05$$

$$V_{cc} = 5V$$

$$R_b = 5k\Omega$$

$$R_c = 2k\Omega$$

$$R_e = 1,25k\Omega$$

$$R_s = 130\Omega$$

Ricorda: USCITA BASSA: Q_1 ZAI, Q_3 SAT, Q_2 SAT, Q_4 INTER

Quindi vogliamo mantenere $V_{out} = 0,15V \Rightarrow \beta_{FOR}$ deve essere calcolato.

$$V_{cesat} = V_T \ln \left[\left(\frac{1}{\alpha_R} \right) \cdot \frac{1 + \frac{\beta_{FOR}}{\beta_R + 1}}{1 - \frac{\beta_{FOR}}{\beta_F}} \right]$$

$$\Rightarrow \alpha_R \cdot \frac{V_{ces}}{V_T} = \frac{1 + \frac{\beta_{FOR}}{\beta_R + 1}}{1 - \frac{\beta_{FOR}}{\beta_F}}$$

$$\alpha_R = \beta_R - \beta_R \alpha_R$$

$$\alpha_R = \frac{\beta_R}{\beta_R + 1} = \frac{1}{21}$$

$$19,21 \left(1 - \frac{\beta_{FOR}}{20} \right) = 1 + \frac{\beta_{FOR}}{1,05}$$

$$19,21 \left(20 - \beta_{FOR} \right) = 20 + 20 \frac{\beta_{FOR}}{1,05}$$

$$20 \cdot 17 \left(20 - \beta_{FOR} \right) = 21 + 20 \beta_{FOR}$$

$$40 \cdot 17 \beta_{FOR} = 382,4$$

$$\beta_{FOR} = 9,52$$

$$\Rightarrow \frac{N_{C_2}}{N_{B_2}} < \beta_{FOR}$$

$$N_{C_2} = ? \quad N_{C_2} = N I_L$$

Cálculo I:

Se ho ingresso basso, Q₁ è da salvare a collezione.

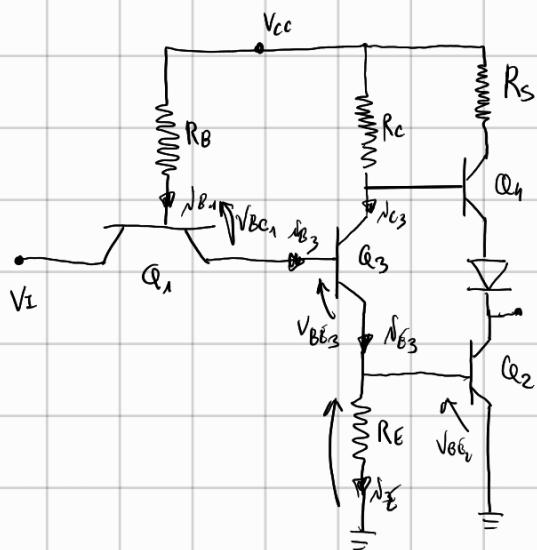
agent:

$$V_{OB} - R_{BN_{Si}} - V_{BE5M_{Si}} - V_I = 0$$

$$N_{B_1} = \frac{V_{DD} - V_{BE(SAT_1)} - V_L}{R_B}, \quad 8.10 \mu A = N_E = N_L$$

Calcolo N_{B_2} :

Covenants can impinge also;



$$N_B = \frac{V_{BE2}}{R_S} = 640 \mu A$$

$$V_{CC} - R_B N B_1 - V_{BE3} - V_{BE2} = 0$$

$$N_{B_1} = 680 \mu A$$

$$-\sqrt{c_1} = \sqrt{B_3} = (\beta_{R+1})\sqrt{B_1} = \sqrt{f^R h^R M^R}$$

$$V_{CC} - R_C N_{C3} - V_{CE3} - V_{BE2} = 0 \Rightarrow N_{C3} = Q_{mA}$$

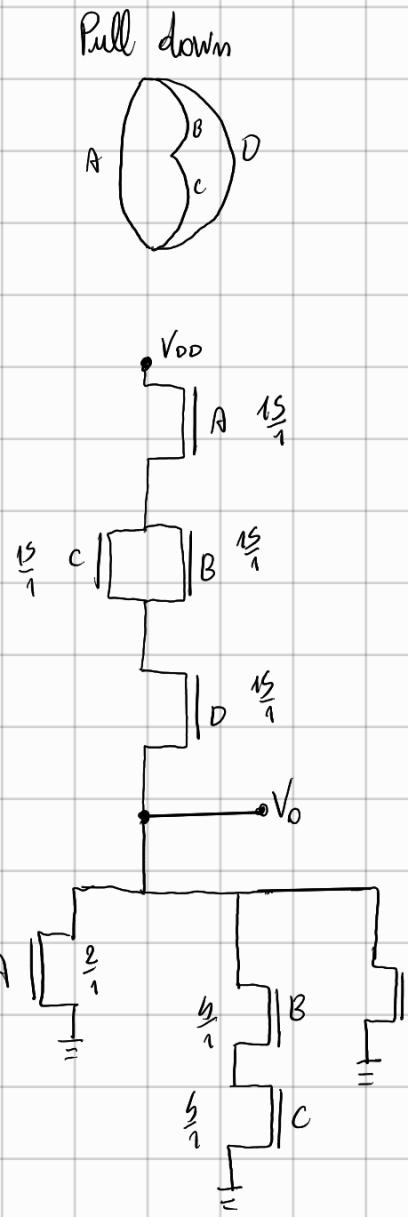
$$N_{B_3} = N_{B_2} + N_{C_3} = 2,7 \text{ mA}$$

$$N_{B_2} = N_{B_3} - N_E = 2,06 \text{ mA}$$

$$\frac{N \cdot A}{N_{B_2}} < 9,52 \Rightarrow N < \frac{9,52 \cdot N_{B_2}}{A} \approx 24$$

2)

$$Y = \overline{A + BC + D}$$



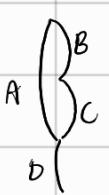
Tempo di propagazione: Lascio t_{PHL} uguale a quella di riferimento. Per trionfazione il ritardo deve dividere per 3
e rapporti d'aspetto dei PMOS:

$$\Rightarrow \left(\frac{W}{L}\right)_P = \frac{S}{1}$$

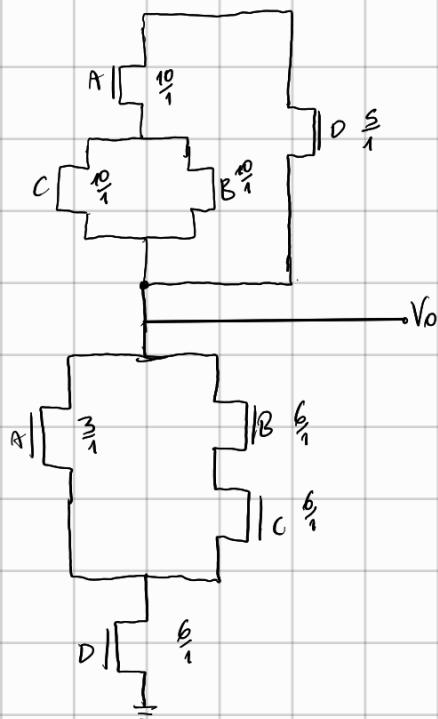
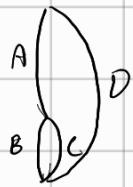
6)

$$Y = \overline{(A+BC)D}$$

Pull down:



Pull up:



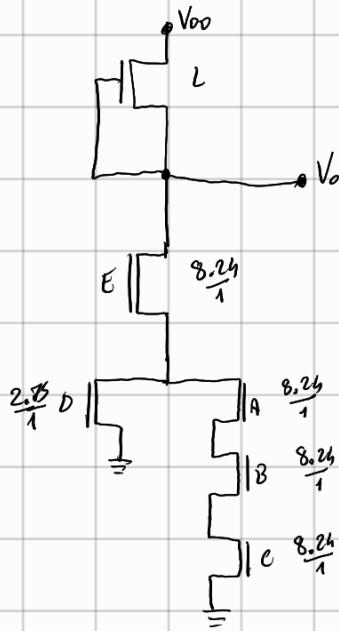
$$\frac{1}{6} + \frac{1}{x} = \frac{1}{2} \Rightarrow \frac{1}{8} < \frac{3}{6} - \frac{1}{6} = \frac{1}{3}$$

Area minima:

$$A = 8 \cdot 2 \cdot 1 \cdot f^e$$

2)

$$Y = \overline{(ABC+D)E}V_0$$

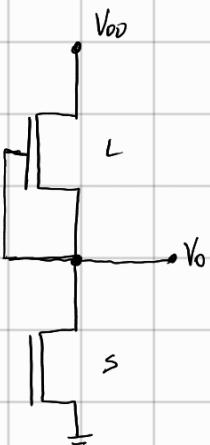


$$\frac{1}{8.24} + \frac{1}{x} = \frac{1}{2.06} \Rightarrow \frac{1}{x} = 0.364 \Rightarrow x = 2.76$$

Se devo rendere basso allo più veloce raddoppio i rapporti d'uscita.

da qui l'invertitore Powerscaling.

1)



$$V_{OL} = 0.2 \text{ V}$$

$$P_M = 0.4 \text{ mW}$$

$$V_{DD} = 3.5 \text{ V}$$

$$\sqrt{T_{NSO}} = 1 \text{ V}$$

$$V_{TMO} = -2 \text{ V}$$

$$\gamma = 0.9 \text{ V}^2$$

$$2\Phi = 0.6 \text{ V}$$

$$K_N' = 25 \mu\text{A/V}^2$$

$$V_{OL} = 0.2 \text{ V} \quad V_{OH} = 3.5 \text{ V}$$

$$P_M = \frac{V_{OH} I_H}{2} \rightarrow I_H = \frac{2 P_M}{V_{OH}} = 0.23 \text{ mA}$$

Mit dem Wert am Aimpkt:

$$V_{OH} - V_{TNSO} \geq V_{OL} ? \text{ So, Transistor.}$$

$$V_{DD} - V_{OH} - V_{TNSO} \geq V_{DD} - V_{OL} ? \text{ No. Sättigung.}$$

$$I_H = K_N' \left(\frac{W}{L} \right)_S \left(V_{OH} - V_{TNSO} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$\left(\frac{W}{L} \right)_S = \frac{15}{6} = \frac{19.2}{1}$$

$$V_{TNSO} = V_{TMO} + \gamma \left(\sqrt{2\Phi_p + V_{DD}} - \sqrt{2\Phi_p} \right) =$$

$$I_H = K_N' \left(\frac{W}{L} \right)_S (-V_{TNSO})^2$$

$$\left(\frac{W}{L} \right)_S \approx \frac{5}{1}$$

Transistor im Sättigungsbereich:

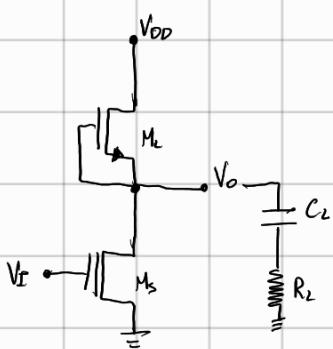
$$0.2 \text{ V} \rightarrow 1 \text{ V} \quad \text{so } V_0 = 1 \text{ V},$$

$$-V_{TNSO} \geq V_{DD} - V_0 ? \text{ No. Sättigung.}$$

$$I_H = K_N' \left(\frac{W}{L} \right)_S (-V_{TNSO})^2 = 0.25 \text{ mA}$$

$$I_H = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = \frac{C \Delta V}{I_H} = 6.4 \text{ ms}$$

1)



$$V_{DD} = 4V$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{3} \quad \left(\frac{W}{L}\right)_S = \frac{3}{1}$$

$$V_{TNLO} = 1V$$

$$V_{TNLO} = -2V$$

$$\gamma = 0.5V^{\frac{1}{2}}$$

$$2\phi = 0.6V \quad k_N' = 25 \mu A/V^2$$

$$C_L = 1pF \quad R_L = 1K\Omega$$

Calcolare livelli logici:

$V_{OH} = V_{DD}$ perché uscita si carica fino a quando canale è aperto. Se $V_{DS2} = 0$, $V_{DD} = V_{OH}$.

Calcolo V_{OL} :

Hb al ingresso V_{DD} , Hp: M_S è un hodo e M_L un saturazione. Verificare.

Hp: mostrano effetto body per load perché precede.

$$\lambda_D = \frac{k_m'}{2} \left(\frac{W}{L}\right)_L (-V_{TN})^2$$

$$\lambda_D = k_m' \left(\frac{W}{L}\right)_S (V_{GS} - V_{TN} - \frac{V_{DS}}{2}) V_{DS}$$

$$\Rightarrow \frac{k_m'}{2} \left(\frac{W}{L}\right)_L (-V_{TN})^2 = k_m' \left(\frac{W}{L}\right)_S (V_{GS} - V_{TN} - \frac{V_{DS}}{2}) V_{DS}$$

$$\frac{2}{3} = 5 \left(3 - \frac{V_{DS}}{2}\right) V_{DS}$$

$$2 = 15 \left(3 - \frac{V_{DS}}{2}\right) V_{DS}$$

$$2 = 45 V_{DS} - \frac{15}{2} V_{DS}^2$$

$$15V_{DS}^2 - 90V_{DS} + 4 = 0$$

$$V_{DS} = \begin{cases} 0.045V \\ 6V \text{ non accettabile} \end{cases}$$

$$V_{GS} - V_{TN} = 3V > 0.045V \checkmark$$

$$-V_{TN} \leq V_{DS2}?$$

$$2V \leq 4 - 0.015\sqrt{V}$$

$$V_{TNL} = V_{TN0} + \gamma (\sqrt{2\phi_F + V_a} - \sqrt{2\phi_F}) = -1.99V \quad \text{accattabile approssimazione}$$

$$I_D = K_m' \left(\frac{W}{L}\right)_S (V_{GS} - V_{TN} - \frac{V_{DS}}{2}) V_{DS} = 16.7 \mu A$$

Potenza dissipata da pucco:

$$P_{MAX} = I_D V_{DS} = 66.8 \mu W$$

3) Energia dissipata sulla R_L da $V_{OL} = \frac{1}{2} V_{OH}$

$$\frac{1}{2} V_{OH} = 2V$$

$-V_{TN} \geq V_{DS}$? Sono uguali. Lavoro in saturazione oltranza la linea.

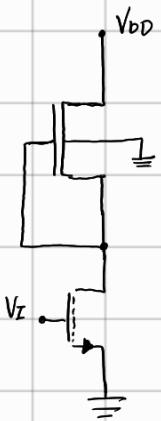
Mosfet S intendendo

$$I_D = K_m' \left(\frac{W}{L}\right)_S (-V_{TN})^2 = 16.7 \mu A$$

$$\Delta t = \frac{C \Delta V}{I_D} = 1.17 \cdot 10^{-7} s$$

$$E_{RES} = R_L I_D^2 \Delta t = 3.26 \cdot 10^{-14} W$$

1)



$$V_{OL} = 0.20 \text{ V}$$

$$P_{MAX} = 0.25 \text{ mW}$$

$$V_{DD} = 4.5 \text{ V}$$

$$V_{INSO} = 1 \text{ V}$$

$$V_{TN20} = -2 \text{ V}$$

$$\gamma = 0.6 \text{ V}^{\frac{1}{2}} \quad 2\phi = 0.6 \text{ V} \quad k_m' = 20 \mu\text{A/V}^2$$

$$V_{OH} = V_{OD}$$

$$P_{MAX} = \frac{I_H V_{DD}}{2} \Rightarrow I_H = \frac{2 P_{MAX}}{V_{DD}} = 0.1 \text{ mA}$$

Se ho V_{OH} dm doppio: Trovare per MOS_S

$$V_{DSL} = V_{DD} - V_{OL} = 4.3 \text{ V} \quad \text{Salutazione per MOS}_L$$

$$I_H = \frac{k_m'(W)}{2(L)}_S (-V_{IN})^2 \quad V_{TN} = V_{IN0} + \gamma (\sqrt{V_{OL} + 2\phi} - \sqrt{2\phi}) = -1.93 \text{ V}$$

$$\left(\frac{W}{L}\right)_S = \frac{2.68}{1}$$

$$I_H = k_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{INs} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$\left(\frac{W}{L}\right)_S = \frac{7.35}{1}$$

$$\text{Area} = (W_s L_s f^2) + (W_s L_s f^2) = 62.7 \cdot 10^{-12} \text{ m}^2$$

b) Tempo per raggiungere 2.3 V dm basso-alto:

$$0.2 \text{ V} \rightarrow 2.3 \text{ V}$$

Mosfer S spento.

$$V_{DSL0} = V_{DD} - 0.2 = 4.3 \text{ V}$$

$$V_{DSL1} = V_{DD} - 2.3 = 2.2 \text{ V} \quad \text{Almango in Salutazione.}$$

$$I_D = \frac{k_m'(W)}{2(L)}_S (-V_{IN})^2 \leq 0.1 \text{ mA}$$

$$n_0 = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta r = \frac{C \Delta V}{n_0} = 4.2 \cdot 10^{-8} \text{ s}$$

2)

L'amplificatore di lettura è un particolare latch

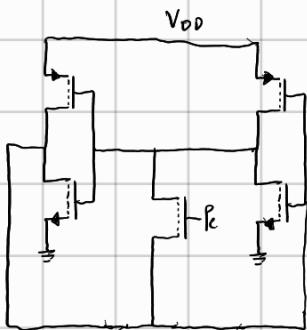
di cui, grazie all'aggiunta di un mos che collega

oggi e i uscite dei due transistori, è possibile forzare

le condizioni di lavoro sul punto di equilibrio instabile.

Vedrete utilizzata nelle operazioni di lettura, dove, a livello
una volta individuata la colonna della cella di interesse,
være fatto evolvere nello stato stabile che corrisponde al valore
salvato in memoria; dopo il segnale di wordline, infatti,
la corrente che scorre attraverso il mosfet di lettura causa
una leggera fluctuazione sulla tensione di lettura, questa
è amplificata dal lettore, che provate a stabilizzarsi sul valore
letto.

SCHHEMA CMOS:



$$V_{DD} = 4V \quad \left(\frac{W}{L}\right)_N = \frac{6}{1} \quad \left(\frac{W}{L}\right)_P = \frac{2}{1} \quad V_{TN} = -V_{TP} = 1V$$

$$k_n' = 22 \mu A/V^2 \quad k_p' = 8 \mu A/V^2$$

Imposto che $V_I = V_0$:

Se $V_{GS} = V_{DS}$:

$V_{GS} - V_{TN} \geq V_{DS}$? No, saturazione

$$|V_{SG} - V_{TP}| \geq V_{DD} - V_{DS}$$

↓

$$V_{SG} = V_{DD} - V_{DS} \Rightarrow N_o. \text{ Subtraction}$$

$$\frac{K_m'}{2} \left(\frac{W}{L} \right)_N (V_o - V_{TN})^2 = \frac{K_p'}{2} \left(\frac{W}{L} \right)_D (V_{DD} - V_o - |V_{TP}|)^2$$

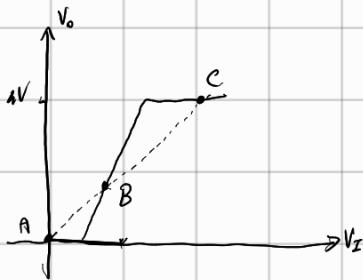
$$\sqrt{\frac{4K_p'}{SK_p'}} (V_o - V_{TN}) = V_{DD} - V_o - |V_{TP}|$$

$$1.48V_o - 1.48V_{TN} = V_{DD} - V_o - |V_{TP}|$$

$$1.48V_o - 1.48 = h - V_o - 1$$

$$2.48V_o = h + 1$$

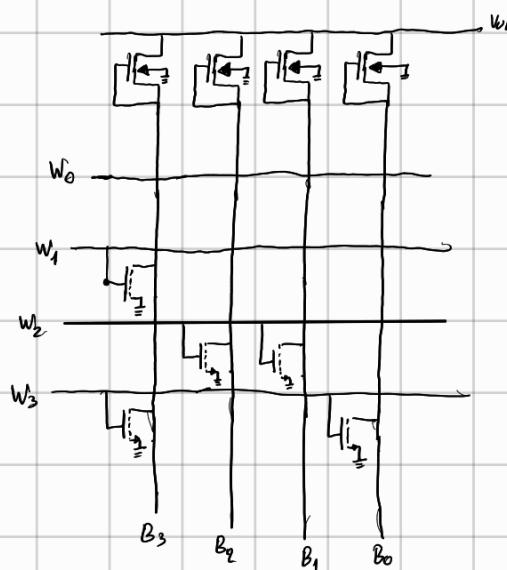
$$V_o = 1.8 \text{ V}$$



$$A(0,0) \quad B(1.8, 1.8) \quad C(4.4, 4.4)$$

3) SCHEMA ROM

$$W_0 = 1111 \quad W_1 = 0111 \quad W_2 = 1001 \quad W_3 = 0110$$

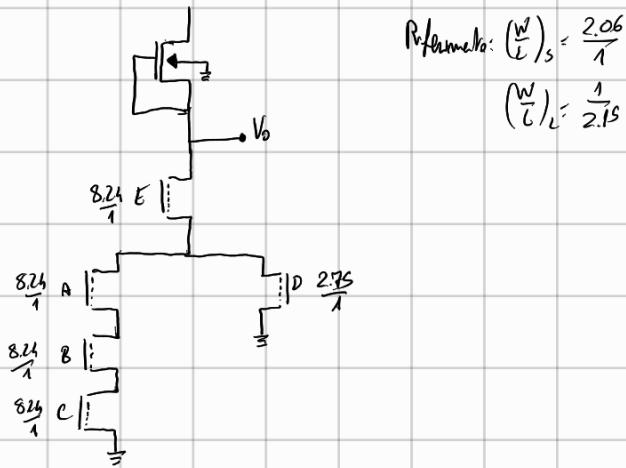


Max. potenti dissipata se hm dove ho fatto 0.

Min. potenti dissipata se hm dove ho messo 0. $\Rightarrow +00$.

4)

$$Y = \overline{(ABC + D)E}$$

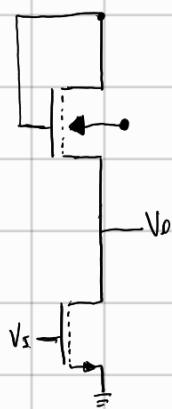


$$\frac{1}{8.24} + \frac{1}{x} = \frac{1}{2.06}$$

$$\frac{1}{x} = \frac{3}{8.24} \quad x = \frac{2.75}{1}$$

c) Per network bussu con 2 volte prim villole, Power Saving, Reddige.

1)



$$V_{DD} = 5V$$

$$\left(\frac{W}{L}\right)_S = \frac{S}{1}$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{2}$$

$$V_{TO} = 1V$$

$$\gamma = 0.5 V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$k_n' = 25 \text{ mA/V}^2$$

Lvds logic:

$$\begin{cases} V_{OH} = V_{DD} - V_{TNL} \\ V_{TNL} = V_{DD} + \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right) \end{cases}$$

$$V_{OH} = V_{DD} - V_{TN} - \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} + V_{TN} - V_{DD} = -\gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} - 4 = -\gamma \left(\sqrt{2\phi + V_{OH}} \right) + \gamma \sqrt{2\phi}$$

$$V_{OH} - 4.42 = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 + 19.5 - 8.84 V_{OH} = \gamma^2 \cdot (2\phi + V_{OH})$$

$$V_{OH}^2 - 8.84 V_{OH} + 19.5 = 0.175 + 0.25 V_{OH}$$

$$V_{OH}^2 - 9.09 V_{OH} + 19.3 = 0$$

$$V_{OH} = \begin{cases} 3.4 \text{ V} < V_{DD} - V_{TN} \text{. Accettabile.} \\ 5.71 \text{ V} \text{ non accettabile} \end{cases}$$

Calcolo V_{OL} :

Se ho V_{OH} di sopra: H.P.:

$$V_{OH} - V_{TN} \geq V_{OL}$$

L si trova sempre in saturazione.

$$n_D = \frac{k_n' (W)}{2} \left(\frac{W}{L} \right)_L \left(V_{DD} - V_{OL} - V_{TNL} \right)^2 \quad \text{H.P. effetto body hugonable.}$$

$$A_D = \frac{K_m'}{2} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{IN} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$\frac{K_m'}{2} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{OL} - V_{IN_L} \right)^2 = \frac{K_m'}{2} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{IN} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$\frac{1}{4} \left(4 - V_{OL} \right)^2 = 5 \left(2 \cdot 4 - \frac{V_{OL}}{2} \right) V_{OL}$$

$$16 + V_{OL}^2 - 8V_{OL} = 20V_{OL} \left(2 \cdot 4 - \frac{V_{OL}}{2} \right)$$

$$V_{OL}^2 - 8V_{OL} + 16 = 48V_{OL} - 10V_{OL}^2$$

$$11V_{OL}^2 - 56V_{OL} + 16 = 0$$

$$V_{OL} = 0.3 \text{ V}$$

$$V_{OL_2} = 4.8 \text{ V non acceptable}$$

$$V_{IN_L} = V_{IN} + \gamma \left(\sqrt{2\phi + V_{OL}} - \sqrt{2\phi} \right) = 1.08 \text{ V } \text{acceptable.}$$

$$V_{DD} \cdot V_{IN} \geq V_{OL} \checkmark$$

$$A_D = \frac{K_m'}{2} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{OL} - V_{IN_L} \right)^2 = 85.5 \mu\text{A}$$

$$P_{max} = A_D V_{DD} \quad \text{con duty cycle del 100\%}$$

$$P_{max} = 4.275 \cdot 10^{-4} \text{ W}$$

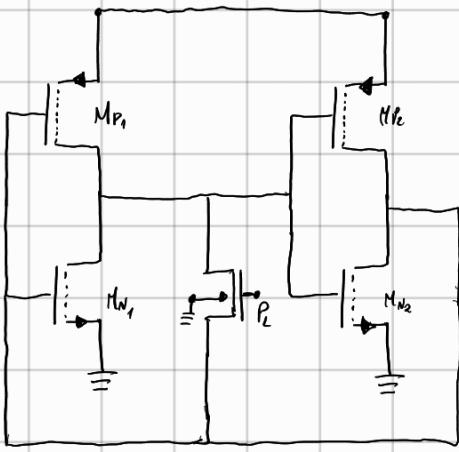
$$P_{DD} = V_{DD}^2 C_{fb} = 3 \cdot 10^{-5} \text{ W}$$

$$\eta = \frac{P_{max}}{P_{DD}} = 14.25$$

$$\text{Se } K_m' = 15 \mu\text{A/V}^2 \text{ cambia solo } P_{max} = 2.56 \cdot 10^{-4} \text{ W}$$

$$\eta = 8.53$$

2)



$$V_{DD} = 4V \quad \left(\frac{W}{L}\right)_N = \frac{4}{1} \quad \left(\frac{W}{L}\right)_P = \frac{3}{1} \quad V_{IN} = -V_{TP} = 1V$$

$$K_N' = 20 \mu A/V^2 \quad K_P' = 10 \mu A/V^2$$

$$A(0,0) \quad C(4,4)$$

$$B(V_x, V_x)$$

Per trovare V_x impongo che $V_I = V_0$ nel cross

$$V_{DS} - V_{IN} = V_{DS} \text{ No. Saturation}$$

$$|V_{DD} - V_x - V_{TP}| = V_{DD} - V_x \quad \text{No. Saturation}$$

Eguagli le condizioni:

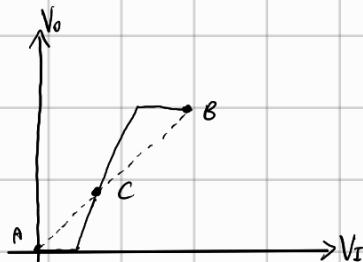
$$\frac{K_N'}{2} \left(\frac{W}{L}\right)_N (V_x - V_{IN})^2 = \frac{K_P'}{2} \left(\frac{W}{L}\right)_P (V_{DD} - V_x - |V_{TP}|)^2$$

$$\sqrt{\frac{4K_N'}{3K_P'}} = 1.26$$

$$1.26 V_x - 1.26 V_{IN} = V_{DD} - V_x - |V_{TP}|$$

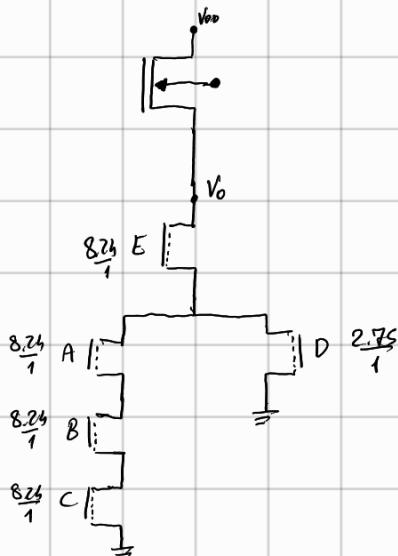
$$2.26 V_x - 1.26 = 3$$

$$V_x = 1.88 V$$



3)

$$Y = \overline{(ABC + D)E}$$

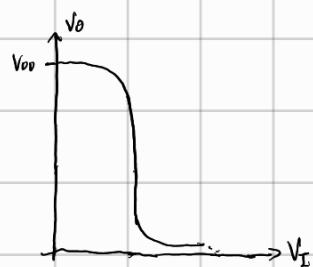
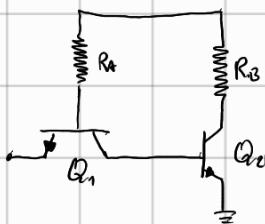


Per vedere PowerStone L-H 3 volte più veloce, con power scaling.

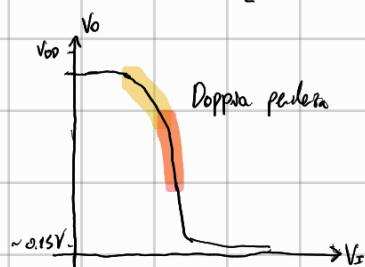
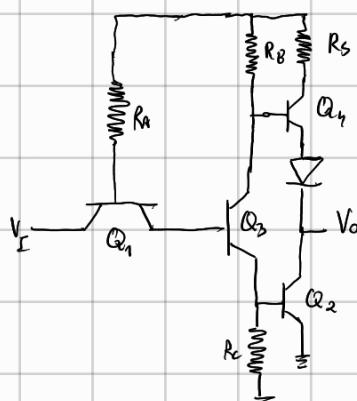
Sr. Leonelbe Liphane Bello, no appelle d'apelle

6)

TTL elementare



TTL Standard



TTL elementare:

Nel TTL elementare, il transistore Q_1 è utilizzato per velocizzare il processo di saturazione di Q_2 in caso di ingresso basso: supposto Q_2 in saturazione, Q_1 si muova in ZAD (perché la tensione bias trice di emettitore è grande, mentre quella della base e commettore è piccola).

L'altra comete di commettore smonta rapidamente le curche nella base di Q_2 , mandando in saturazione. A quel punto,

$\beta_{B2} = n_{C1} > 0$, quindi Q_2 non può più muoversi in ZAD, ma manderà in ZAI o in trazione (perché quota base emettitore abbassa). Sarà quindi in saturazione commettore aperto, con $\beta_{B1} = n_{E1} = 1$.

Con ingresso alto, invece, la gestione base emettitore di Q_1 sarà spenta, mentre la BC sarà accesa per la bassa tensione sui BE di Q_2 .

Il componente è un ZAI, e manda Q_2 in saturazione pompare una forte corrente nella base di Q_2 . In questo caso, $\beta_H = \beta_B, \beta_R$.

- Il transistore Q_2 ha il compito di essere pilotato da Q_1 .
Saturazione e trazione, fanno quindi varcare la tensione VCE di Q_2 dalla base dell'ingresso.

TTL STANDARD:

- Il compito di Q_2 e Q_3 sono gli stessi: la principale differenza è che ora Q_1 pilota Q_2 passando per Q_3 : manda in saturazione Q_3 che forzino anche Q_2 con V_T basso, mentre di saturare Q_3 e poi Q_2 con input alto.

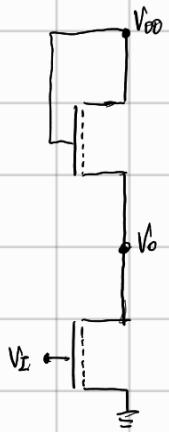
- Il transistore Q_2 ha il compito di risolvere, mentre al di sotto i problemi legati al livello basso fan-out della TTL elementare:
è in grado di gestire in maniera migliore le comete assorbite da altre TTL poste in ingresso quando ha uscita alta.

Saranno in ZAD infatti, la comete che arriva sulla resistenza risultante essere ridotta da un fattore P_F , causata da un'altra sub resistenza molto minore.

Q4 è possibile o no di essere accusato quanto Q2 è un obbligo
non di essere obbligato quanto Q2 è un salvaguardia: la tesi che
avrebbe sulla sua difesa bisognerebbe dire, infatti, non d'
obbligare a garantire l'accesso sinistra di chiunque, a chiunque non
di chiunque sia collegato o no.

La risposta RS avrà, da un punto di vista della sostanza dell'
affidato (Q4 si) caso di una collegamento a massim dell'obbligo
questo considerato, infatti, delle parti contrattuali e Q4 che
rischierebbe di compromettere il dir. dell'invito
la presenza di RS, tuttavia, anche se ci fosse il rischio
sul rischio del garante che con corruzione Q2 garantisce
il salvaguardia o salvaguardia.

1)



$$V_{DD} = 5V$$

$$\left(\frac{w}{l}\right)_S = \frac{S}{1}$$

$$\left(\frac{w}{l}\right)_L = \frac{1}{2}$$

$$V_{TO} = 1V$$

$$\gamma = 0.5V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$K_r' = 2SMA/V^2$$

Calcolo logica:

$$\begin{cases} V_{OT} = V_{DD} - V_{TN} \\ V_{TN} = V_{TN} + \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi}) \end{cases}$$

Centro su chiuso quando $V_{OS} - V_{TN} = 0$

$$\Rightarrow V_{OT} = V_{DD} - V_{TN}$$

$$V_{OH} = V_{DD} - V_{TN} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} - V_{DD} + V_{TN} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + V_{OH}}$$

$\alpha = -6.41$

$$V_{OH} + \alpha = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 + \alpha^2 + 2\alpha V_{OH} - \gamma^2 \cdot 2\phi - \gamma^2 V_{OH} = 0$$

$$V_{OH}^2 - 9.07 V_{OH} + 19.27 = 0$$

$$V_{OH} = 3.6V \text{ accettabile}$$

$$V_{OT} = 5.67V \text{ non accettabile}$$

Calcolo V_{OL} :

$$V_{OT} - V_{TN} \geq V_{OL} \text{ Hp: } 5.6$$

M_1 sempre in saturazione. Hp: nessuno effetto body

$$I_D = \frac{K_r'}{2} \left(\frac{w}{l}\right)_L (V_{DD} - V_{OL} - V_{TN})^2$$

$$I_D = K_r' \left(\frac{w}{l}\right)_S \left(V_{OH} - V_{TN} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$k_m' \left(\frac{w}{l} \right)_S \left(V_{OH} - V_{TN} - \frac{V_{OL}}{2} \right) V_{OL} = \frac{k_m'}{2} \left(\frac{w}{l} \right)_L \left(V_{DD} - V_{OL} - V_{IW} \right)^2$$

$$5 \left(2 \cdot 4 - \frac{V_{OL}}{2} \right) V_{OL} = \frac{1}{2} \left(4 - V_{OL} \right)^2$$

$$10 \left(2 \cdot 4 - \frac{V_{OL}}{2} \right) V_{OL} = 16 + V_{OL}^2 - 8 V_{OL}$$

$$24 V_{OL} - 5 V_{OL}^2 = 16 + V_{OL}^2 - 8 V_{OL}$$

$$6 V_{OL}^2 - 32 V_{OL} + 16 = 0$$

$$3 V_{OL}^2 - 16 V_{OL} + 8 = 0$$

$V_{OL} = 0.56 V$ $V_2 = 4.7 V$ non acceptable
acceptable.

b) Δt per cadere durante alto-busso fino a $2.8 V$

$$3.4 V \rightarrow 2.8 V$$

Se devo aumentare a valore basso lo valore alto da ingresso.

MosFET S rimane in saturazione

MosFET L in saturazione. Traemos ΔI_L .

$$\Delta I_D = k_m' \left(\frac{w}{l} \right)_S \left(V_{OH} - V_{IW} \right)^2 = 360 \mu A$$

$$\Delta I_D = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta I = \frac{C \Delta V}{\Delta D} = 1.67 \cdot 10^{-9} S$$

2) PAL:

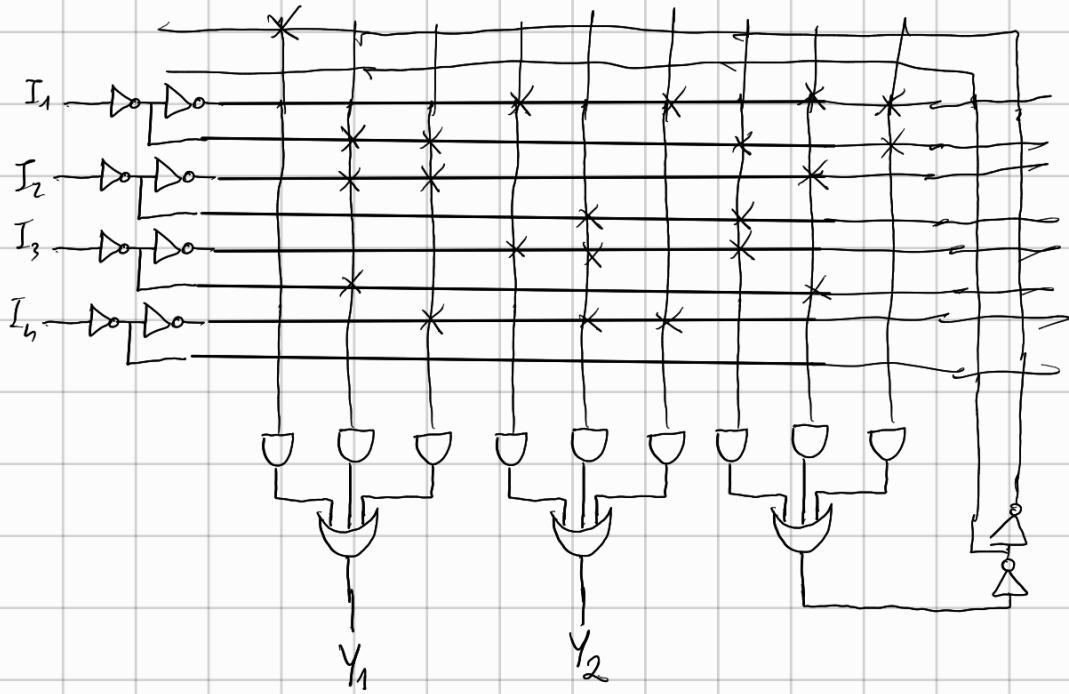
$$Y_1 = \bar{I}_1 \bar{I}_2 I_3 + I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_1 \bar{I}_2 I_3$$

$$Y_2 = I_1 I_3 + \bar{I}_2 I_3 \bar{I}_4 + I_1 I_4$$

2) PAL:

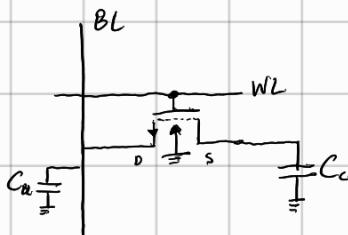
$$Y_1 = \bar{I}_1 \bar{I}_2 I_3 + I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_1 \bar{I}_2 I_3$$

$$Y_2 = I_1 I_3 + \bar{I}_2 I_3 \bar{I}_4 + I_1 I_4$$



3)

$$V_{DD} = 1V \quad \gamma = 0.5V^{\frac{1}{2}} \quad 2\phi = 0.6V \quad C = 0.25pF$$



Se voglio 1 logico per a 1:

$$V_C = V_{WL} - V_{IN} = 3V - V_{SS}$$

$$V_{IN} = V_{IN} + \sqrt{(2\phi + V_{SS})} - \sqrt{2\phi} = 1.56V$$

$$V_{WL} = V_C + V_{IN} = 4.56V = V_{BL}$$

Lo zero logico è il valore minimo da default.

$$b) C_{BL}=1.5PF \quad V_{BL}=2V$$

$$\Delta V = \frac{V_c - V_{BL}}{\frac{C_{BL}}{C_c} + 1} =$$

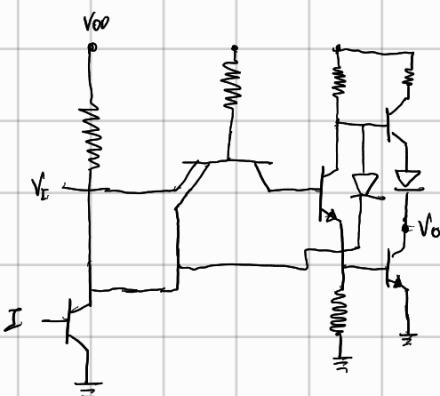
$$\textcircled{1} \text{ caso 1 } \omega \text{ GIGI} = \frac{3-2}{\frac{C_{BL}}{C_c} + 1} = 0.14V$$

$$\textcircled{2} \text{ caso 0 } \omega \text{ GIGI} = \frac{-2}{\frac{C_{BL}}{C_c} + 1} = -0.28V$$

$$\textcircled{1} V_F = V_{BL} + \Delta V = 2.14V$$

$$\textcircled{2} V_F = V_{BL} + \Delta V = 1.72V$$

4) PORTE TRISTATE



La porta tristate TTL è realizzata collegando

ai due ingressi V_I e I agli emettori dei transistori

multimediatore di Q_1 , funzionante in modo simile a

come funzionerebbe una porta NOR.

Quando l'alimentazione è bassa, infatti, l'ingresso co-contra restano nulle

in ingresso ma segnala alto in Q_1 . A questo punto, avendo l'alimentazione

alta sul catodo del diodo e bassa sull'anodo, il diodo $\textcircled{1}$ sarà

spezzato e la porta si comporterà come un invertitore bidirezionale, le cui uscite

sfrecceranno solo da V_I . Nel caso di ingresso alto per l'alimentazione,

l'invertitore risulterà un segnale basso in ingresso a Q_1 , che manderà in

Q2. Tuttavia, data l'alta differenza tra potenze che si
 trova adesso tra auto e codice del doppio che ne causa la sua
 accelerazione, si imposta un valore di circa 0.7V ai capi, che consente
 un codice massimale tra i due 1 e 0 per la loro accelerazione stimata.
 Per questo motivo, l'uscita sarà scorretta sia da meno che da più.

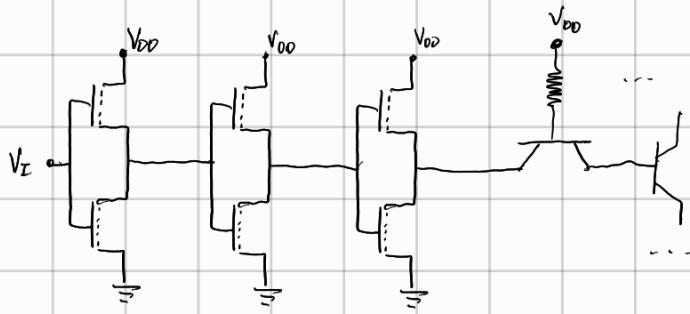
Le porte bistabili sono porte logiche realizzate con la
 possibilità di lavorare su 3 livelli logici possibili:
 il neutro alto e basso, e un livello di alto impedenza
 dove l'uscita è scattata scorretta sia dalla massa che
 dall'alimentazione. Ciò ha reale molto utile in applicazioni
 in cui è necessario proteggere l'accesso di alcune periferiche
 a un servizio, come un bus o una cella di I/O:



Una possibile applicazione è quella di una cella
 utilizzabile sia come input che come output: nel primo caso
 infatti la porta 1 è fissata ad alta impedenza, in modo
 che il dato sia inviato in inverso e fatto uscire dall'
 porta 2. Al contrario, la porta 2 è fissata ad
 alta impedenza, mentre il dato che venga ottenuto da porta
 1, è che non sarà inviato se la porta

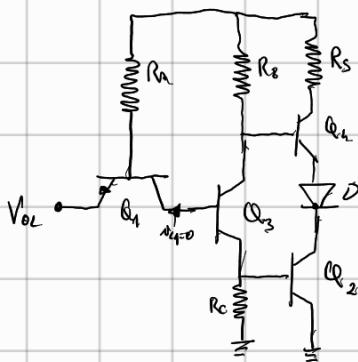
1)

Schema di funzionamento:



$$V_{OL} = 0.15 \text{ V} \quad V_{OH} = 3.4 \text{ V}$$

Calcolo le correnti a ingresso alto e basso su TTL

Con V_{OL} n° imposto, Q_1 è un sat a connettore aperto

$$\Delta I = \Delta I_E$$

$$\Delta I_E = \Delta I_B$$

$$V_{OD} - R_A \Delta I_B - V_{BE(SAT)} - V_{OL,0}$$

$$\Delta I_B = 1 \text{ mA} \quad \text{n° uscita}$$

Con V_{OH} n° imposto, Q_1 è n° ZAI, Q_3 n° Sat, Q_2 n° SAT;

$$V_{OD} - R_A \Delta I_B - V_{BC1} - V_{BE(SAT)} - V_{BE(SAT)} = 0$$

$$\Delta I_B = 675 \text{ mA}$$

$$\Delta I_E = \beta_R \Delta I_B = 169 \text{ mA} \quad \text{entraus.}$$

Caso V_{DS} = 0V CMOS:

Uscita deve essere alta, con corrente I_H.



$$V_{SG} = 5V \quad V_{SD} = V_{DD} - V_{th} = 5 - 3.6 = 1.6V$$

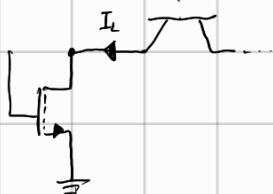
$|V_{SG} - V_{ir}| \geq V_{SD}$. Siamo in饱和.

$$\delta_D = K_p' \left(\frac{W}{L}\right)_p \left(V_{SG} - |V_{ir}| - \frac{V_{SD}}{2} \right) V_{SD}$$

$$\delta_D = K_p' \left(\frac{W}{L}\right)_p \cdot 5.12$$

$$\left(\frac{W}{L}\right)_p = \frac{3.3}{1}$$

Se V_{DS} ≠ 0V gresso:



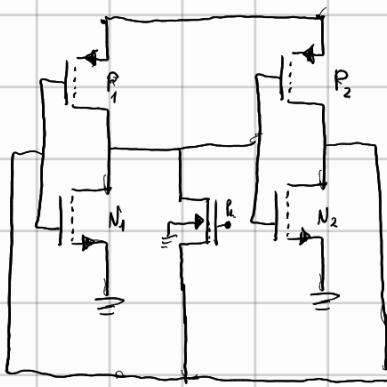
$$V_{GS} = 5V \quad V_{DS} = 0.15V \quad \text{Siamo in saturazione.}$$

$$\delta_L = K_n' \left(\frac{W}{L}\right)_n \left(V_{GS} - V_{ir} - \frac{V_{DS}}{2} \right) V_{DS}$$

$$\left(\frac{W}{L}\right)_n = \frac{68}{1}$$

2)

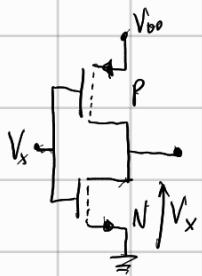
Schema AMPLIFICATORE DI LETTURA



$$V_{DD} = 6V \quad \left(\frac{W}{L}\right)_N = 4 \quad \left(\frac{W}{L}\right)_P = \frac{3}{4} \quad V_{TN} = -V_{TP} = 1V$$

$$k'_N = 22 \text{ mA/V}^2 \quad k'_P = 10 \text{ mA/V}^2$$

Coleido V_x :



$$V_x - V_{TN} \geq V_x ? \text{ No, } M_N \text{ non sat.}$$

$$V_{DD} - V_x - |V_{TP}| \geq V_{DD} - V_x ? \text{ No, } M_P \text{ non sat.}$$

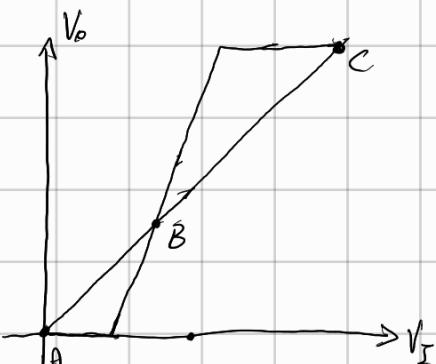
Imponeva ragionamento corrente:

$$\frac{k'_N}{2} \left(\frac{W}{L}\right)_N (V_x - V_{TN})^2 = \frac{k'_P}{2} \left(\frac{W}{L}\right)_P (V_{DD} - V_x - |V_{TP}|)^2$$

$$\sqrt{\frac{4k'_N}{5k'_P}} \leq 1.33$$

$$\Rightarrow 1.33(V_x - V_{TN}) = V_{DD} - V_x - |V_{TP}|$$

$$2.33V_x - 1.33 = 3 \Rightarrow V_x = 1.89V$$



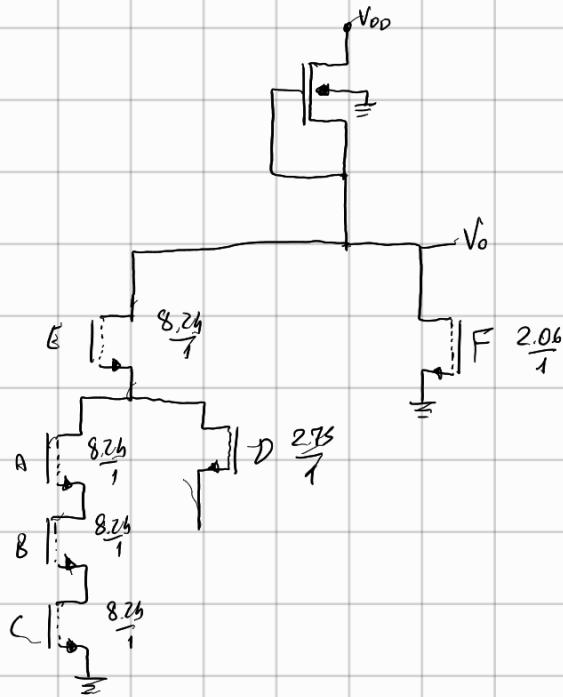
$$A = (0,0)$$

$$B = (4, 4)$$

$$C = (1.89, 1.89)$$

3)

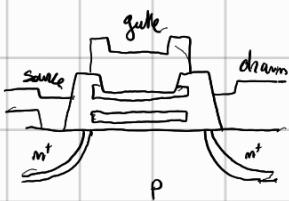
$$Y = \overline{(ABC + D)}E + F$$



$$\frac{1}{S.24} + \frac{1}{x} = \frac{1}{2.06} \Rightarrow \frac{1}{x} = \frac{3}{8.24} \quad x = \frac{2.75}{1}$$

Blocco memorazione e riappalto d'aspetto da 1 Wh e mai

4)



L'informazione viene memorizzata attraverso un'inversione o non inversione di carica

all'interno della gate fluttuante. Questa operazione può essere portata a termine

attraverso del carico o al suo interno. Il memoria è programmabile con

Ricarica come l'urto di elettroni caldi, il tunneling EM è cancellabile con inversione

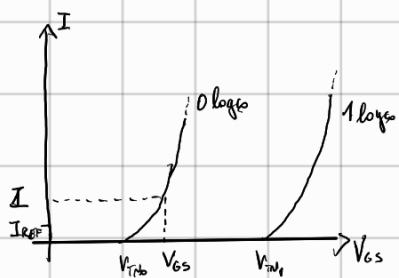
di raggi UV (fluo del carico) oppure con Tunneling PM.

Con la carica immagazzinata nella gate fluttuante,

la tensione di soglia del transistor aumenta, e consente

di impedire l'apertura del canale quando la si sollecita ad un

Tensione notturna.



Sul transistor viene impostata una tensione V_{GS} fissata. Se il transistor non ha canali nella gate flatgate, la V_{GS} è più grande della tensione di sogno, e scorre tra drain e source una corrente maggiore di quella di riferimento. Se il transistor ha canali nella gate flatgate, allora la V_{GS} non è sufficiente per aprire il canale e non scorrerà corrente tra drain e source, segno del fatto che non è stato messo sotto in 1.

INT

1)

$$V_{DD} = 5V$$

$$\left(\frac{W}{L}\right)_S = \frac{6}{1}$$

$$\left(\frac{W}{L}\right)_D = \frac{1}{3}$$

$$V_{INSO} = V_{INLO} = 1V$$

$$\gamma = 0.5 V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$K_N' = 20 \mu A/V^2$$

Livelli logici:

$$V_{OH} = V_{DD} - V_{INL}$$

$$V_{INL} = V_{IN} + \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} = V_{DD} - V_{IN} - \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} - V_{DD} + V_{IN} - \underbrace{\gamma \sqrt{2\phi}}_{\alpha} = -\gamma \left(\sqrt{2\phi + V_{OH}} \right)$$

$$\alpha = -6.42$$

$$V_{OH}^2 + \alpha^2 + 2\alpha V_{OH} = \gamma \cdot 2\phi + \gamma V_{OH}$$

$$V_{OH}^2 + V_{OH}(2\alpha - \gamma) + \alpha^2 + \gamma \cdot 2\phi = 0$$

$$V_{OH}^2 - 9.34 V_{OH} + 19.89 = 0$$

$$V_{OH_1} = 3.3V \quad V_{OH} < V_{DD} - V_{TNs}$$

$$V_{OH_2} = 6V \text{ max. acc.}$$

Per Kriterium V_{OH} :

$$HP: V_{OH} - V_{TNs} \geq V_{OL}$$

Mosfet L sempre im saturation HP: threshold body:

$$\frac{k_n'}{2} \left(\frac{W}{L} \right)_L (V_{DD} - V_{OL} - V_{TN_L})^2 = \frac{k_m'}{2} \left(\frac{W}{L} \right)_S (V_{OH} - V_{TN_S} - \frac{V_{OL}}{2}) V_{OL}$$

$$(4 - V_{OL})^2 = 24 V_{OL} (2.3 - \frac{V_{OL}}{2})$$

$$16 + V_{OL}^2 - 8V_{OL} = 55.2 V_{OL} - 12 V_{OL}^2$$

$$13V_{OL}^2 - 63.2V_{OL} + 16 = 0$$

$$V_{OL} = 0.27V \Rightarrow \text{Rispetto a b HP.}$$

$$V_{OL} = 4.6V \text{ max. acc. H.}$$

$$V_{TN} = V_{TN} + \gamma (\sqrt{2\phi + V_{OL}} - \sqrt{2\phi}) = 1.07V \text{ H.p. accettabile}$$

b) Margine di rumore:

$$NM_L = V_{IL} - V_{OL} = 1 - 0.27 = 0.73V$$

Per Kriterium V_{IH} :

$$V_o^* = \frac{V_{DD} - V_{TN_L}}{\sqrt{1 + \frac{3k_s}{k_L}}} \quad V_{IH} = V_{TN_S} + \frac{V_o^*}{2} + \frac{k_L}{2k_s} \cdot \frac{1}{V_o^*} (V_{DD} - V_o^* - V_{TN_L})^2$$

$$V_{TN_L} = V_{TN} + \gamma (\sqrt{2\phi + V_e} - \sqrt{2\phi})$$

ITERAZ.	V_o	V_{TN_L}	V_o^*	V_{IH}
0	4.6V	1V	0.66V	2.03V
1	0.66V	1.16V	0.63V	2V
2	0.63V	1.16V	0.63V	2V

$$NM_H = V_{OH} - V_{IH} = 3.3 - 2 = 1.3V$$

C) $H \rightarrow L$ da V_{OH} a $\frac{V}{S} V_{OH} = 2.64V$

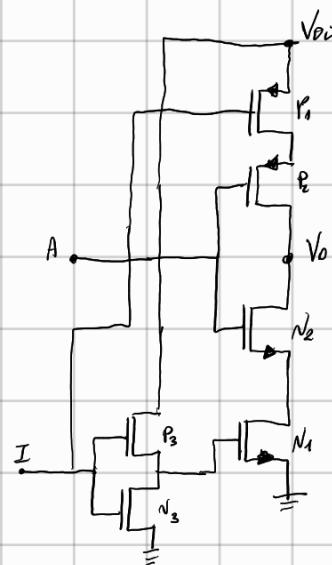
$$C = 2.5 \mu F$$

$V_{OH} - V_{IN} > 2.64?$ No. Saturazione

$$\delta_0 = \frac{k_m'(w)}{2(L)_S} (V_{OH} - V_{IN})^2 = 212 \text{ mA}$$

$$I_D = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = \frac{C \Delta V}{\delta_0} = 7.8 \cdot 10^{-9} \text{ s}$$

4) CMOS A 3 STATI



Per ottenere uno stesso tempo di propagazione del segnale bisca raddoppiare

i rapporti d'aspetto di N_1, N_2, P_1, P_2 , in modo che le serie delle coppie sia

due resistenze eq. uguali a quelle del seghettato.

FUNZIONAMENTO:

L'invertitore a 3 stati è progettato per funzionare su 3 livelli logici possibili:

oltre ai livelli bassi e alti, infatti, è ammessa anche l'uscita ad alta flangia.

In cui la V_0 è scorretta su da massa che da alimentazione.

Per ottenere questa configurazione, si usa una disposizione in serie di 2 PMOS e 2 NMOS

collegati a 2 ingressi differenti. Se I è basso, N_1 sente una tensione inversa alta, mentre P_1 una

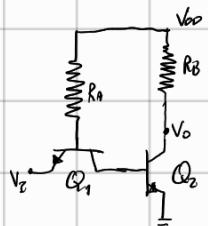
tensione bassa. Saranno quindi accesi, e l'invertitore funzionerà come un comune invertitore CMOS (con dei

tempi magg. di propagazione per la serie dei mos). Se I è alto, N_1 sente una tensione bassa, mentre

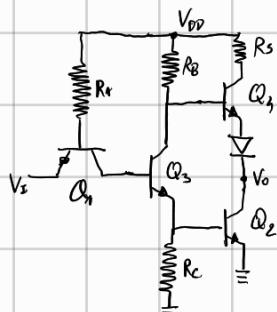
Per una tensione alta. Scenderà quindi spazio, lasciato l'uscita sconnessa sia da massa che dall'alimentazione indipendentemente dall'ingresso A. Questo rende queste porte particolarmente utili quando è necessario pilotare l'accesso di diverse periferiche a un bus, come per esempio un BUS.

3)

TTL ELEMENTARE:



TTL STANDARD



I transistor Q1 e Q2 hanno un compito simile per entrambe le porte:

- Q2 viene pilotato da Q1 e regola la tensione di uscita (V_{CE2}). Con ingresso alto si trova in saturazione, con ingresso basso in interdizione.
- Q1 ha il compito di pilotare il transistor Q2 sulla base dell'ingresso. Con ingresso basso, si trova inizialmente in ZAD e assorbe la corrente nella base di Q2 (caso TTL elem.) oppure di Q3, che a sua volta assorbe la corrente di Q2 (TTL standard), per poi raggiungere la zona di saturazione a controllore aperto quando Q2 (TTL elem.) o Q3 (TTL standard) raggiungono l'interdizione.

Per questo motivo, la porta eroga un ingresso una corrente $I_L = I_{B1} = I_{E2}$.

In caso di ingresso alto, Q1 si trova in ZAI e ha il compito di saturare Q2 (TTL elem.) oppure Q3, che poi saturerà Q2 (TTL standard). È importante che sia garantita una forte corrente da iniettare nella base del transistor per garantire la saturazione, che è garantita dalla presenza stessa di Q1. Così facendo, si avrà un'uscita bassa legata alla V_{CE12} .

- Q3, nella TTL standard, ha il compito di fare da intermettente tra Q1 e Q2 per il pilotaggio dell'uscita. Quando sarà saturato da Q1, saturerà Q2. Quando sarà invertito da Q1, intermetterà Q2. La sua presenza causa la tipica forma a doppia perla delle caratteristiche della TTL standard, proprio perché la saturazione di Q2 dopo Q3

non è stimata.

- Q_1 ha il compito di ridimensionare la corrente uscita da uscita alta per garantire un migliore fan out della TTL standard. È posizionato in modo da lavorare su ZAD quanto Q_2 è interdetto, attivando il diodo D, ma garantendo una corrente ridimensionata su R8 in modo da avere una caduta minore nel caso di forte corrente assorbita dalle porte successive. In caso di ingresso alto, grazie alla presenza del diodo non serve, sarà interdetto perché l'entrata ha la BE e la gara del diodo non è sufficiente per garantire il passaggio di corrente in entrambe.

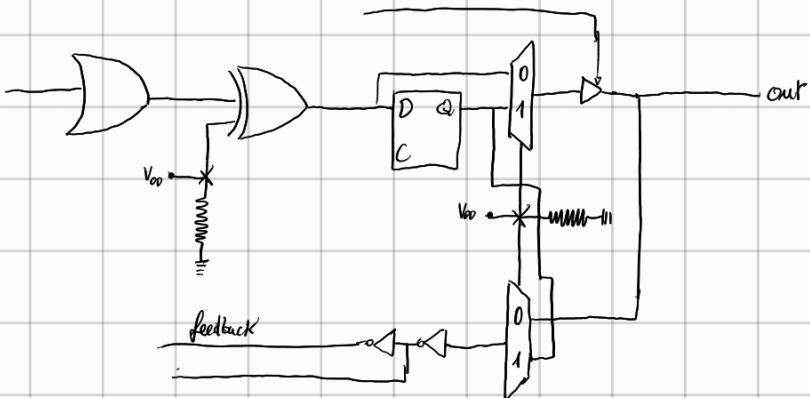
Il diodo ha quindi il compito di garantire un risparmio sull'utile dissipata con ingresso alto.

- Un resistore R_S è utilizzato come sistema di salvataggio in caso l'uscita dovesse diventare connessa a massa: ciò comporterebbe forte corrente che possono danneggiare il transistor Q_2 . La presenza di R_S però, garantisce che con forte corrente ci sono grandi cambiamenti nell'entrata, che mandano Q_2 in saturazione evitando di esporlo a uscite di rotazione.

DIFERENZE: Le principali differenze sono il livello logico alto (V_{DD} vs $V_{DD} - R_{DS(on)} \cdot V_D - V_O$), il fan out, molto maggiore per la TTL standard, la caratteristica a doppia portata non presente nella TTL enhancement.

STORAGE: Il problema principale di un invertitore TTL è il fenomeno dello storage che si verifica quando un transistor è mandato in saturazione: le gradi corrente sviluppate nella base, infatti, depositano una grande quantità di carica nella base del transistor, che deve poi essere rimossa per garantire l'interdetto, che richiede una forte corrente per garantire un tempo di propagazione basso. Il tempo per svuotare la base è detto tempo di storage.

2) SCHEMA MACRO CELLE



La porta XOR viene utilizzata in caso si voglia invertire l'uscita della porta OR:

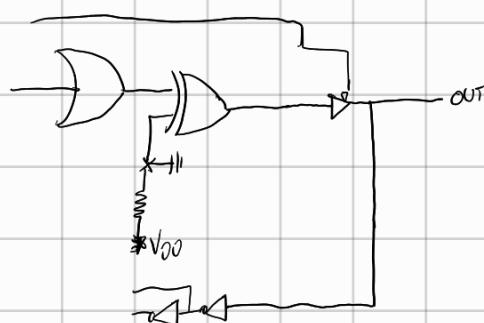
Con ingresso alto passato dall'interruttore, l'uscita sarà invertita rispetto all'OR. In caso contrario, l'uscita sarà la stessa della porta OR.

Il flip flop D viene utilizzato in modalità sequenziale per salvare il valore dello stato precedente e riproposto in ingresso come feedback in caso sia abilitata la modalità sequenziale. In alternativa, sarà riproposta in feedback l'uscita della XOR.

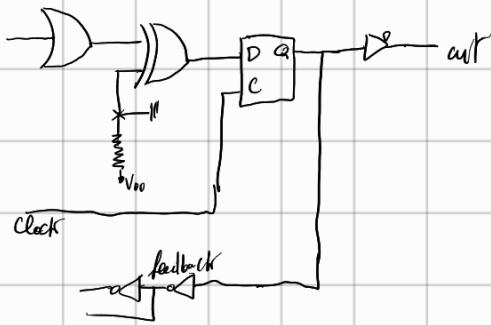
Il multiplexer abilita la modalità sequenziale (1) oppure combinatoria (0) sulla base del valore di abilitazione. In caso $A=0$, viene riproposto in uscita il segnale inviato in 0 (MODALITÀ COMBINATORIA). In caso contrario, verrà riproposto in uscita il valore inviato in 1 (uscita del flip flop, MODALITÀ SEQUENZIALE).

La porta Invstate viene utilizzata per abilitare la ricezione di input e disabilitare il resto delle porte. Con alta impedenza, il multiplexer risponde al feedback di dati inviati in ingresso.

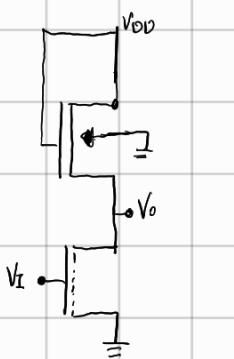
MODALITÀ COMBINATORIA



MODALITÀ SEQUENZIALE



1)



$$V_{00} = SV$$

$$\left(\frac{W}{U}\right)_S = \frac{S}{1}$$

$$\left(\frac{w}{L}\right)_L = \frac{1}{2}$$

$$V_{10} = 1 \text{ V}$$

$$\gamma = 0.5 \sqrt{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$K_i = 25 \mu A / V^2$$

Livello logici.

$$V_{\text{eff}} = V_{DD} - V_{TNK}$$

$$V_{TNL} = V_{T0} + \gamma \left(\sqrt{2\phi + V_{0H}} - \sqrt{2\phi} \right)$$

$$V_{OH} = V_{OD} - V_{TO} - \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$\underbrace{V_{0H} - V_{0D} + V_{z0}}_{\alpha = -4,42} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + V_{0H}}$$

$$V_{\text{eff}}^2 + \alpha_i^2 + 2\alpha V_{\text{eff}} = \gamma^2 2\phi + \gamma^2 V_{\text{eff}}$$

$$V_{OH}^2 + V_{OH}(2\alpha - \gamma^2) + \alpha^2 - \gamma^2 C_0 = 0$$

$$V_{OH}^2 - q_{\theta} q_{\theta} V_{OH} + 19.36 = 0$$

$$V_{\text{ohm}} = 5.68 \text{ V}$$

$$V_{OH} = 3.41V \quad \text{across Nafion} \quad V_{OH} \leq V_{pp} - V_{TR}$$

Calcolo Vol:

$$V_{OH} - V_{IN} \geq V_{OL} \text{ come ipotesi. Tweedle}$$

Hp: effetto body per load trascurabile.

$$\delta_D = \frac{K_m'}{2} \left(\frac{w}{L} \right)_s (V_{DD} - V_{OL} - V_{IN})^2$$

$$\delta_D = K_m' \left(\frac{w}{L} \right)_s \left(V_{OH} - V_{IN} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$\frac{K_m'}{2} \left(\frac{w}{L} \right)_s (V_{DD} - V_{OL} - V_{IN})^2 = K_m' \left(\frac{w}{L} \right)_s \left(V_{OH} - V_{IN} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$(4 - V_{OL})^2 = 20 V_{OL} \left(2.4 - \frac{V_{OL}}{2} \right)$$

$$16 + V_{OL}^2 - 8V_{OL} = 48V_{OL} - 10V_{OL}^2$$

$$11V_{OL}^2 - 56V_{OL} + 16 = 0$$

$$V_{OL} = 0.3V \quad \text{accettabile}$$

$$V_{OL} = 4.78V \quad \text{non accettabile}$$

$$V_{IN} = V_{IO} + \sqrt{2\phi + V_{OL}} - \sqrt{2\phi} = 1.08V \text{ approssimabile a } 1V$$

Con uscita bassa, ho come soluz:

$$i_D = K_m' \left(\frac{w}{L} \right)_s \left(V_{OH} - V_{IN} - \frac{V_{OL}}{2} \right) V_{OL} = 84.4 \mu A$$

$$P_{MAX} = \delta_D V_{DD} = 422 \mu W$$

$$P_{DIN} = C V_{DD}^2 f = 30 \mu W$$

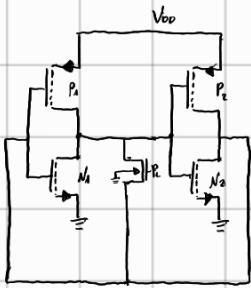
$$\eta = \frac{P_{MAX}}{P_{DIN}} = 14.1$$

$$\text{Se } K_m' = 15 \mu A/V^2 \quad i_D = 50.6 \mu A$$

$$P_{MAX} = \delta_D V_{DD} = 253 \mu W$$

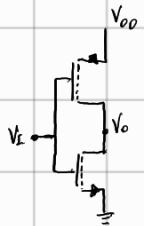
$$\eta_2 = \frac{P_{MAX}}{P_{DIN}} = 8.43$$

2)



$$V_{DD} = 4V \quad \left(\frac{W}{L}\right)_N = \frac{5}{1} \quad \left(\frac{W}{L}\right)_P = \frac{5}{1} \quad V_{TN} = -V_{TP} = 1V$$

$$K_N' = 20 \text{ mA/V}^2 \quad K_P' = 10 \text{ mA/V}^2$$



$$V_x = V_o \Rightarrow V_x - V_{TN} \geq V_x ? \text{ No, saturation}$$

$$V_{DD} - V_x - V_{TN} \geq V_{DD} - V_x ? \text{ No, saturation}$$

$$\frac{K_N'}{2} \left(\frac{W}{L}\right)_N (V_x - V_{TN})^2 = \frac{K_P'}{2} \left(\frac{W}{L}\right)_P (V_{DD} - V_x - V_{TP})^2$$

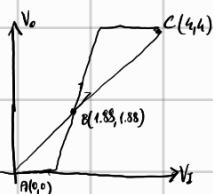
$$\sqrt{\frac{K_N'}{2K_P'}} = 1.26$$

$$1.26 V_x - 1.26 V_{TN} = V_{DD} - V_x - |V_{TP}|$$

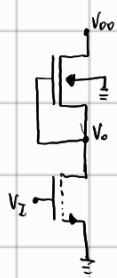
$$2.26 V_x - 1.26 = 3$$

$$2.26 V_x = 6.26$$

$$V_x = 2.8V$$



3)



$$V_{DD} = 4V$$

$$\left(\frac{W}{L}\right)_S = \frac{2}{1} \quad \left(\frac{W}{L}\right)_D = \frac{1}{3}$$

$$V_{TNS0} = 1V \quad V_{TNE0} = -2V$$

$$Y = 0.6V^{-\frac{1}{2}} \quad 2\phi = 0.5V \quad k_m' = 10MA/V^2$$

$$C_L = 1pF$$

Livelli logici:

$$V_{OH} = V_{DD}$$

$$V_{OL}: H_p: V_{OH} - V_{IN} \geq V_{OL} \quad \text{Trabolo}$$

$$-V_{IN} \leq V_{DD} - V_{OL} \quad \text{Se verifichemo. } H_p: \text{Krasnje effetti subtraz.}$$

↳ Saturazione

$$i_D = k_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{IN} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$i_D = k_m' \left(\frac{W}{L}\right)_D (-V_{IN})^2$$

$$k_m' \left(\frac{W}{L}\right)_S (-V_{IN})^2 = k_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{IN} - \frac{V_{OL}}{2}\right) V_{OL}$$

$$4 = 15V_{OL} \left(3 - \frac{V_{OL}}{2}\right)$$

$$4 = 45V_{OL} - \frac{15}{2}V_{OL}^2$$

$$15V_{OL}^2 - 90V_{OL} + 8 = 0$$

$$V_{OL_{ac}} = \begin{cases} 0.1V & \text{accettabile} \\ 5.5V & \text{ma acc.} \end{cases}$$

$$b) \Delta E = \frac{1}{2} C V_{OL}^2 - \frac{1}{2} C V_{OH}^2 = \frac{1}{2} C (V_{OL}^2 - V_{OH}^2) = -8 \cdot 10^{-12} J$$

c) Potenza dissipata da V_{DD} a $\frac{1}{2} V_{out}$:

$$0.1V \rightarrow 2V$$

Mosfet L parte da saturazione e ci resta:

$$-V_{IN} \geq V_{DD} - V_0 \quad \text{Mosfet S spez.}$$

$$i_D = \frac{k_m' (W/L)_D}{2} (-V_{IN})^2 = 6.67 MA$$

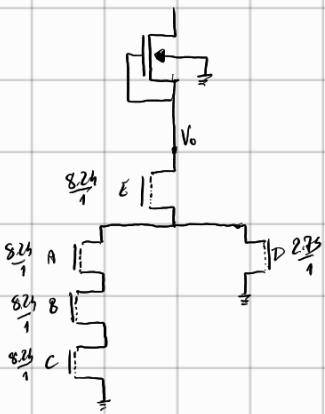
$$\Delta t = C \frac{\Delta V}{\Delta r} \Rightarrow \Delta r = \frac{C \Delta V}{\Delta i_D} = 2.85 \cdot 10^7 S$$

$$P_{diss} = \frac{\Delta E}{\Delta r} = \frac{1}{2} C \frac{(2-0.1)^2}{\Delta r} = 6.33 MW$$

$$P_{diss} = V_{DD} i_D = 26.68 MW \Rightarrow P_{diss,mos} = 29.35 \mu W$$

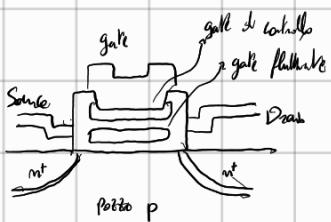
2)

$$Y = \overline{(ABC + D)E}$$



Per raddoppiare la velocità della L-H bisogna raddoppiare tutto al supp. d'espans.

4) MEMORIE FLASH



Il transistor a gate fluttuante prevede la possibilità di memorizzare

un bit attraverso la presenza o meno delle cariche nella gate fluttuante.

Cio' è ottenibile con diversi metodi di programmazione e cancellazione, e

ostacola la creazione del canale tra le zone obbligate in aumentato

la tensione di soglia necessaria da superare: questo proprio perché gli

elettronini addensati nella gate fluttuante si oppongono all'aumento

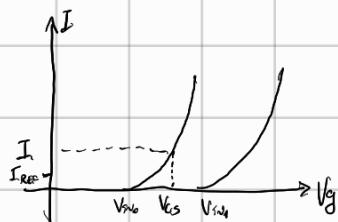
di ulteriori elettroni in prossimità dell'osso.

Per questo motivo, sollecitate un transistor con un V_{DS} fissato e

valutate la corrente che scorre al suo interno al momento in

un valore prefissato, si riesce a capire se il canale è aperto (valore logico 1)

oppure chiuso (valore logico 0).



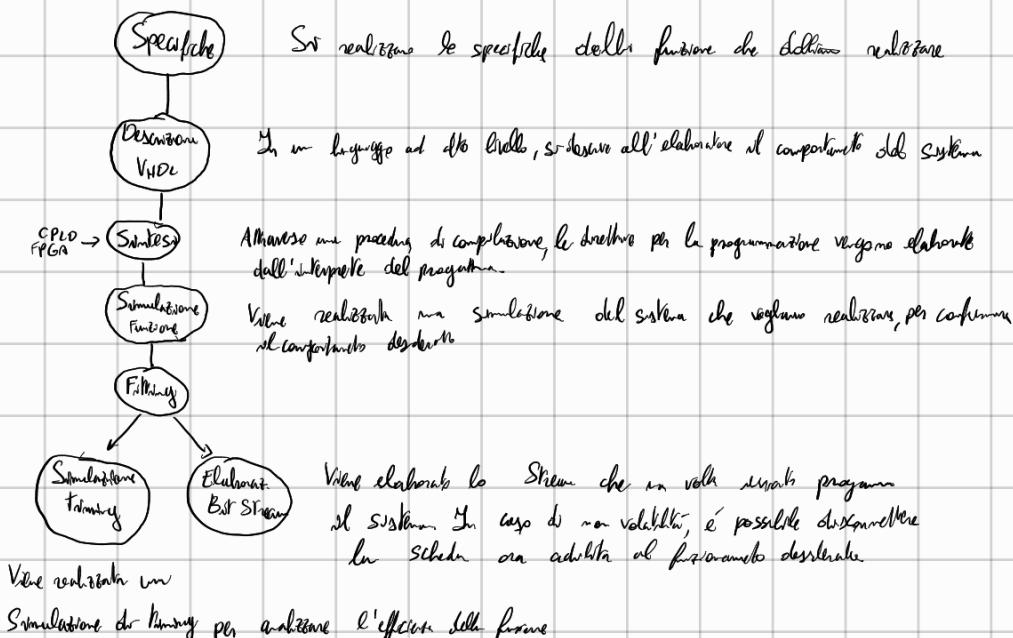
MECCANISMI DI PROGRAMMAZIONE:

- FN TUNNELING: Vengono imposte delle forte differenze di polarità sul circuito, in modo tale da rendere possibile agli elettroni di sfondare la barriera energetica impostata dall'ossido. In questo modo, si potrà anche a popolare le gate fluttuate. Il problema di questo approccio sono che non viene richiesta una corrente elevata, rendendo possibile programmare più celle contemporaneamente. I costi sono la richiesta di forte tensione, che a lungo andare potrebbe danneggiare il chip, e la forte dipendenza dai parametri di lavoro, come lo spessore o la polarità dell'ossido.
- INIEZIONE DI ELETTRONI CALDI: Prevede, con alte corrente sul circuito, di garantire che gli elettroni possano acquisire un'energia cinetica sufficiente, con una piccola deviazione data da un campo elettrico, di sfondare la barriera energetica dell'ossido e popolare nella gate fluttuante. Il problema di questo approccio sono la sua complessità, rapidità e la bassa dipendenza dai parametri di lavoro. Il costo è ovviamente l'uso di fonti corrente per garantire agli elettroni l'energia necessaria.

CANCELLAZIONE:

Per cedere agli elettroni energia sufficiente per lasciare l'ossido, man mano dalla gate fluttuante, si può ricorrere al FN TUNNELING (che forza un marcato risciacquo alla programmazione), oppure al bombardamento con raggi UV (che viene però fatto fuori dal circuito).

1)



Principali differenze:

CPLD: i CPLD sono sistemi realizzati da macrocellle disposte in modo da essere equivalenti di un matrice di controllo preprogrammata e due pin di I/O.

Il gran numero di blocchi logici permette realizzazione funzioni complesse senza stressare eccessivamente le porte logiche interne necessarie per i problemi di fan-in e fan-out. La struttura del sistema rete, tuttavia, è fissa e il tempo di propagazione indipendente dalla larghezza.

FPGA: un sistema complesso FPGA presenta una matrice di controllo che "invia" i block logici disposta lungo il chip. Nonostante questi siano più semplici a livello logico di quelli utilizzati nei sistemi CPLD, la perdita viene compensata da un maggior numero all'interno del chip, che permette di avere una disposizione, anche, in maggior numero di flip flop utilizzabili per funzioni complesse. Un'altra differenza è che, visto la distanza variabile delle varie porte, il tempo di propagazione possono dipendere dal blocco logico considerato.

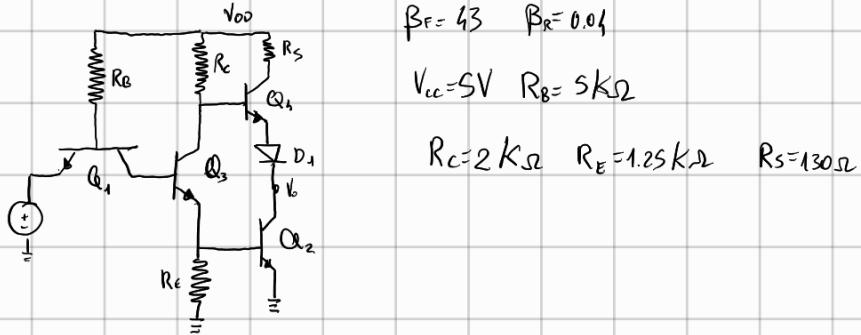
b) CAPACITÀ LOGICA: il numero di porte NAND a due ingressi necessari a realizzare un circuito equivalente a quello del sistema logico antecedente.

ES: PLD: 0-200~

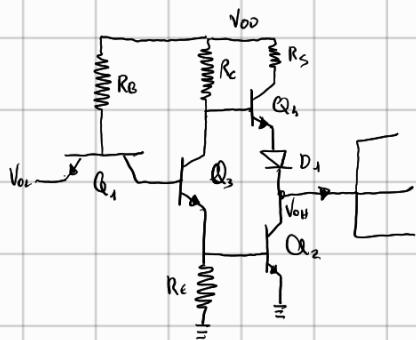
SILDO: 200-2000~

FPGA: 2000-20000~

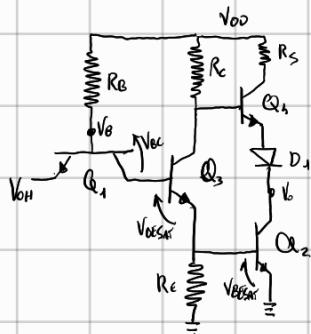
2)



FAN OUT PER USCITA ALTA:



Per uscita alta, si deve garantire un V_{th} sufficiente e garantire la ZAI per il transistor Q_1 delle porte connesse in uscita. Trovo la tensione di base a n-gresso alto:



$$V_B = V_{BC} + V_{BEQ2SAT2} + V_{Q2SAT2} = 0.7 + 0.8 + 0.8 = 2.3V$$

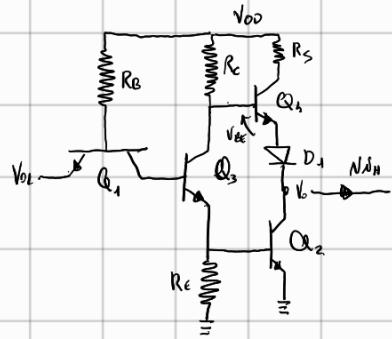
Allora, rimango che $V_{th} \geq 2.3V$. Ho bisogno di calcolare

$$\text{In corrente assorbita: } I_H = \beta_R \Delta I_B$$

$$V_{th} - R_B \Delta I_B - V_{BC} - V_{BEQ2SAT2} - V_{Q2SAT2} = 0$$

$$\Delta I_B = 540mA$$

$$I_H = 21.6mA$$



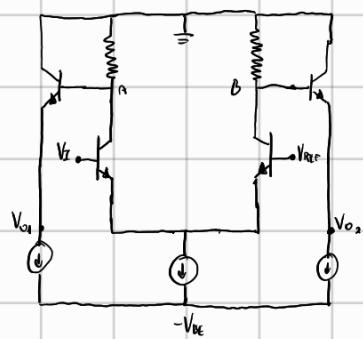
La corrente assorbita è $N\delta_H$. Q_4 è in ZAD, Q_3 in ADE.

$$V_{BD} - R_C \delta_{B4} - V_{BE4} - V_D = V_o \geq 2.3V \quad \text{Ma} \quad \delta_{B4} = \frac{\delta_E}{\beta_F + 1} = \frac{N\delta_H}{\beta_F + 1}$$

$$5 - 0.7 - 0.7 - \frac{R_C \cdot N\delta_H}{\beta_F + 1} \geq 2.3$$

$$\frac{R_C N\delta_H}{\beta_F + 1} \leq 1.3 \Rightarrow N \leq \frac{1.3(\beta_F + 1)}{R_C \delta_H} = 132.4$$

1)



L'invertitore è progettato in modo da garantire che, a temperatura ambiente, una differenza di 300mV fra la tensione di riferimento di Q2 e di Q1 è in grado di pilotare tutta la corrente su un transistor oppure su all'altro. Con ingresso alto, tutta la corrente scorre su Q1, né ZAD, mentre Q2 si trova in saturazione.

Avremo quindi una tensione sul coppia A e B pari a -0,6V e 0V (cittate sui resistori che sono uguali). Per avere una corrente regolare e non, occorre lasciare i valori di 0.7V, che viene eseguito grazie al trasistor esterno che in condizioni normali lavora in ZAD, con una tensione BE di 0.7V. L'invertitore è alimentato negativamente e filtrato da un generatore di corrente per ridurre al minimo le fluctuazioni d'onda. In ingresso, dati i valori logici rispettivi e i margini di rumore si ottiene (0.22V circa).

Più lo stesso motivo vengono usati i transistori esterni per la trascrizione dell'uscita (la sua tensione BE è fissata) e viene realizzato un ponte di lavoro circolante con due diodi e transistori per rendere stabile la tensione di riferimento.

È molto importante realizzare tutti i componenti vicini tra loro sul chip, in modo che le oscillazioni date dalla variazione di temperatura ritrasmettano tutto il circuito e non solo alcuni componenti, che avrebbe a capovolgere il fun. della parte.

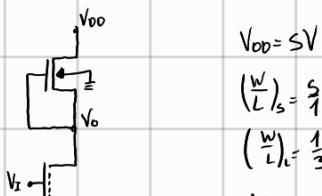


L'uscita invertente, a differenza della non invertente, presenta degli spari dovuti agli effetti derivativi causati dalla risposta della capacità BC in ingresso che reagisce

alle fonti parallele del segnale letta sulla base. Questi effetti non sono però presenti sull'usata non invertente, proprio perché la tensione di base è fissata a quella di riferimento e non presenta variazioni significative.

C) Un altro problema con l'ECI può verificarsi in caso di grossi cambiamenti di uscita, soprattutto durante la transizione da H-L: in alto corso, infatti, impiega un maggior tempo di carica, che può essere più lungo del tempo di commutazione della load sul resistore. Questo amplifica una tensione che è insufficiente a generare l'accensione della gabbia BE del transistor stesso, compromettendo il funzionamento della pila.

2)



$$V_{BD} = 5V$$

$$\left(\frac{W}{L}\right)_S = \frac{5}{1}$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{3} \quad V_{INSO} = 1V$$

$$V_{IN} = -2V \quad \gamma = 0.5$$

$$2\phi = 0.5V \quad K_n = 20 \mu A/V^2 \quad C = 1\mu F$$

$$V_{OH} = V_{OB}$$

$$V_{OL}?$$

$$H_p: V_{OH} - V_{IN} \geq V_{OL} \text{ nel buono}$$

$$-V_{IN} \geq V_{OB} - V_{OL} ? \quad N.B. S.m.v.$$

$$\frac{K_n'}{2} \left(\frac{W}{L}\right)_L (-V_{IN})^2 = K_n' \left(\frac{W}{L}\right)_S (V_{OH} - V_{IN} - \frac{V_{OL}}{2}) V_{OL}$$

$$\frac{1}{6} \cdot 4 = 5 V_{OL} \left(4 - \frac{V_{OL}}{2}\right)$$

$$4 = 30 V_{OL} \left(4 - \frac{V_{OL}}{2}\right)$$

$$4 = 120 V_{OL} - 15 V_{OL}^2$$

$$V_{OL} = 6.033V \text{ Accettabile} \quad H_p \text{ verificata.}$$

$$V_{OL} = 8V \text{ non accettabile}$$

$$I_D = \frac{K_n'}{2} \left(\frac{W}{L}\right)_L (-V_{IN})^2 = 13.3 \mu A$$

$$P_{SD} = \frac{I_D V_{DD} + \frac{1}{2} I_D V_{DD}^2}{2} = 33.3 \mu W$$

BASSO - ALTO \rightarrow

$$V_{OL} \rightarrow \frac{1}{2} V_{DD}$$

$$0.033 \rightarrow 2.5V$$

Punto di M_s di saturazione e punto di saturazione.

$$I_D = 13.3 \mu A$$

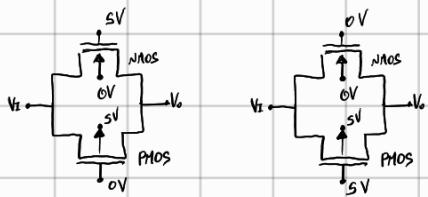
$$N_D = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = 1.85 \cdot 10^{-7} s$$

$$\mathcal{E}_{\text{eng}} = V_{DD} N_D \Delta t = 1.23 \cdot 10^{-11} J = 12.3 \text{ pJ}$$

$$\mathcal{E}_{\text{acc}} = \frac{1}{2} C \Delta V^2 = 3 \text{ pJ}$$

$$\mathcal{E}_{\text{MOS}} = \mathcal{E}_{\text{eng}} - \mathcal{E}_{\text{acc}} = 9.3 \text{ pJ}$$

3)



Una porta di trasmissione è un componente circolare formato da un PMOS e un NMOS disposti in parallelo e pilotabili attraverso le tensioni di gate e body, rappresentando una resistenza pilotabile a resistenza variabile.

Nello stato on, infatti, qualiasi sia la tensione di ingresso

e uscita (supponendo che varino tra 0 e 5V), almeno uno dei MOS

dovrà essere acceso, garantendo il passaggio di corrente. Al variazione delle tensioni, ovviamente, varierà la resistenza esposta dalla porta.

Nello stato off, invece, per qualsiasi valore di ingresso e uscita,

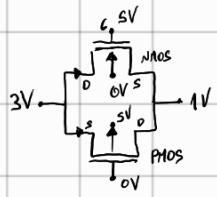
la massima V_{GS} sull'NMOS sarà 0V, mentre la massima V_{GS} sarà 5V,

impedendo l'apertura del canale.

$$\left(\frac{W}{L}\right)_P = \frac{S}{1} \quad \left(\frac{W}{L}\right)_N = \frac{S}{1} \quad V_{DD} = 5V \quad K_m' = 2SA/V^2 \quad K_P' = 10mA/V^2$$

$$V_{DS} = -V_{DOP} = 1V \quad \gamma = 0.6V^{1/2} \quad 2\phi = 0.7V$$

STATO ON:



$$V_{GS} = 4V \quad V_{SB} = 1V \quad V_{DS} = 2V$$

$$V_{SG} = 3V \quad V_{BS} = 2V \quad V_{SD} = 2V$$

ZONE DI LAVORO:

$$V_{IM} = V_{IN} + \gamma (\sqrt{2\phi + V_{BS}} - \sqrt{2\phi}) = 1.28V$$

$$V_{IOP} = V_{IP} - \gamma (\sqrt{2\phi + V_{DS}} - \sqrt{2\phi}) = -1.68V$$

$$V_{GS} - V_{IN} \geq V_{DS} ? \quad Si.$$

$$V_{SG} + V_{IOP} \geq V_{SD} ? \quad No. Saturazione$$

$$I_{D1} = K_m' \left(\frac{W}{L}\right)_N \left(V_{GS} - V_{IN} - \frac{V_{DS}}{2}\right) V_{DS} = 344 \mu A$$

$$I_{D2} = \frac{K_P' (W/L)_P}{2} (V_{SG} + V_{IP})^2 = 57.8 mA$$

$$I_{TOT} = 401.8 \mu A$$

$$R_{eq} = \frac{\Delta V}{I_{TOT}} = 4978 \Omega$$

Differenze CPLD e FPGA

Struttura di base di un sistema logico CPLD è data da una matrice di controllo centrale programmabile che comunica con i blocchi logici disposti ai suoi lati ed equivalente di essi. I blocchi logici, dotati di piani AND o OR programmabili, sono più complessi di quelli presenti sugli FPGA, ma in numero minore.

Agl estremi del sistema troviamo i pin di I/O per l'interazione con l'esterno.

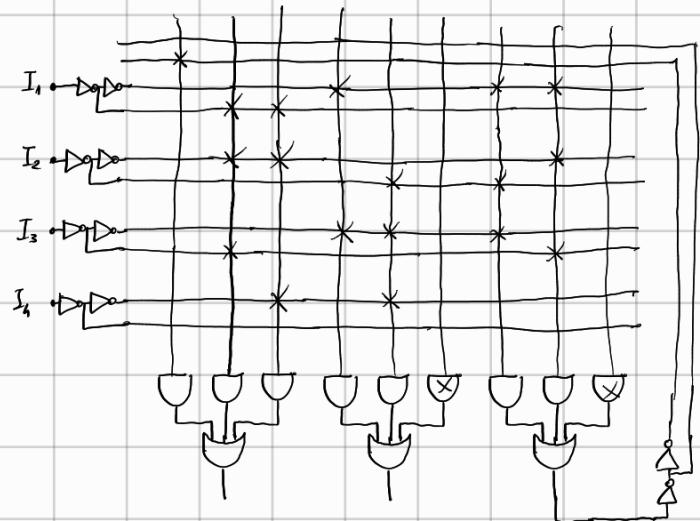
Un sistema del genere permette di garantire la realizzazione di funzioni complesse senza ricorrere

al problema di fare un layout alla realizzazione dei blocchi logici. La disposizione evolutiva dei blocchi garantisce, inoltre, un tempo di ritardo ridotto dalle celle scelte.

Per l'FPGA, invece, la matrice di controllo inside il chip contiene i singoli blocchi logici (meno complessi, ma in maggior numero) disposti su di esso. Vista nel grande numero di celle, si ha una disposizione più flip-flop con cui lavorare, ma a lungo di propagarsi dall'uscita della cella.

$$Y_1 = I_1 \bar{I}_2 I_3 + I_1 I_2 \bar{I}_3 + \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_1 I_2 I_3$$

$$Y_2 = I_1 I_3 + \bar{I}_2 I_3 I_4$$



Uscita con polarità variabile:



Si usa una porta XOR i cui ingressi sono l'uscita della nostra funzione e un ingresso pilotabile con interruttore che può assegnare uno degli ingressi alto o basso sulla base di come viene programmato il chip.

Se l'ingresso pilotabile è fissato a 0, la XOR non altera l'uscita della porta OR.

Se l'ingresso pilotabile è fissato a 1, la XOR invverte l'uscita della OR. Può essere un comodo stratagemma che ci permette di rappresentare funzioni altrettanto rappresentabili:

ES: $Y = \bar{I}_1 + \bar{I}_2 + \bar{I}_3 + \bar{I}_4 = \overline{I_1 I_2 I_3 I_4}$ che dimostra negando l'uscita.

2)



$$V_{DD} = hV$$

$$\left(\frac{W}{L}\right)_S = \frac{S}{1} \quad \left(\frac{W}{L}\right)_D = \frac{1}{2}$$

$$V_{DD} = 1V \quad Y = 0.6V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$K_N = 2S_{PA}/V^2$$

$$V_{OH} = V_{DD} - V_{IN_L}$$

$$V_{IN_2} = V_{IO} + \gamma (\sqrt{2\phi + V_{DH}} - \sqrt{2\phi})$$

$$V_{OH} = V_{OD} - V_{IO} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} - V_{DD} + V_{TO} - \gamma\sqrt{2\phi} = -\gamma\sqrt{2\phi + V_{DD}}$$

$\underbrace{\hspace{10em}}_{\alpha = -3.5}$

$$V_{OH} - 3.5 = -\gamma \left(\sqrt{2\phi + V_{OH}} \right)$$

$$V_{OH}^2 - 7V_{OH} + 12.25 = \gamma^2 2\phi + \gamma^2 V_{OH}$$

$$V_{OH}^2 - 7.36V_{OH} + 12 = 0$$

$$V_{0H} = 9.92 \text{ V}$$

$$V_{0H_2} = 2.44 \text{ V} \quad \text{aceititable} \quad V_{0H} \leq V_{0O} - V_{int}$$

Colorado Vol:

$$V_{\text{eff}} - V_{\text{ns}} \geq V_{\text{el}} \quad \text{Hyp: } V_{\text{wodo}}$$

Master L'ar salmazone, Trascurò effetto early

$$\frac{K_m'}{2} \left(\frac{W}{L} \right)_L (V_{DD} - V_{OL} - V_{INL})^2 < K_m' \left(\frac{W}{L} \right)_S (V_{OH} - V_{IN_0} - \frac{V_{OC}}{2}) V_{OL}$$

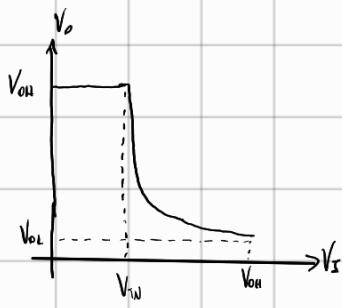
$$\frac{1}{4}(3-V_{02})^2 = 5V_{02}\left(1.44 - \frac{V_{02}}{2}\right)$$

$$g + V_{OL}^2 - 6V_{OL} = 20V_{OL}\left(1.44 - \frac{V_{OL}}{2}\right)$$

$$9 + V_{el}^2 - 6V_{el} = 28.8V_{el} - 10V_{el}^2$$

$$11V_{01}^2 - 3h \cdot 8V_{01} + g = 0$$

$$V_{0L_1} = 2.88 \text{ V non acc.} \quad V_{0L_2} = 0.28 \text{ V accett.}$$



Trullo lineare 2: V_I ab poco superiore a V_{IN} ,

Allora, $V_I - V_{IN} \ll V_o$. Siccome per lo switch non saturazione

$$\frac{k_n'}{2} \left(\frac{w}{l} \right)_L (V_{DD} - V_o - V_{TNL})^2 = \frac{k_n'}{2} \left(\frac{w}{l} \right)_S (V_I - V_{TNL})^2$$

risultano effetti body

$$\sqrt{K_R} = \sqrt{\frac{K_{n1}}{K_{n2}}} \quad k_{n1} = k_n' \left(\frac{w}{l} \right)_L$$

$$k_{n2} = k_n' \left(\frac{w}{l} \right)_S$$

$$\sqrt{K_R} = \sqrt{\frac{1}{2} \cdot \frac{1}{5}} = \sqrt{\frac{1}{10}}$$

$$\sqrt{K_R} (V_{DD} - V_o - V_{TNL}) = V_I - V_{TNL}$$

$$V_{DD} - V_o - V_{TNL} = \frac{V_I}{\sqrt{K_R}} - \frac{V_{TNL}}{\sqrt{K_R}}$$

$$V_o = -\frac{V_I}{\sqrt{K_R}} + V_{DD} - V_{TNL} + \frac{V_{TNL}}{\sqrt{K_R}}$$

$$\text{Pendenza} = -\frac{1}{\sqrt{K_R}} = -\sqrt{10}$$

$$T_{tempo} \quad H \rightarrow L \quad da \quad V_{OH} \xrightarrow{3} V_{OL}$$

da $2.4V$ a $1.8V$

Se ho input alto:

$V_{OH} - V_{Ths} \geq V_0$? No, mé a nello mi alle fine.

$$I_D = \frac{k_m}{2} \left(\frac{W}{L} \right)_S (V_{OH} - V_{Ths})^2 = 122.5 \mu A$$

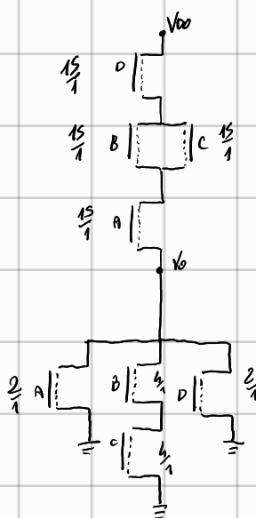
$$\Delta t = \frac{\Delta V_C}{I_D} = 4.9 \text{ ms}$$

\uparrow carica, generatore

E_{diss} su MOS_S durante $V_{Ths} \leq E_{diss}$

3)

$$Y = \overline{A + BC + D}$$

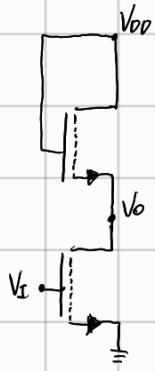


Area minima:

$$\frac{\gamma_{PHL}}{\frac{2}{1}} = \frac{\gamma_{PHLR}}{\frac{1}{2}} \Rightarrow \gamma_{PHL} = 2 \gamma_{PHLR}$$

$$\frac{\gamma_{PLH}}{2} = \frac{\gamma_{PLHR}}{\frac{1}{2}} \Rightarrow \gamma_{PLH} = \frac{3}{2} \cdot \frac{5}{2} \gamma_{PLHR} = 7.5 \gamma_{PLHR}$$

$$\gamma_P = \frac{\gamma_{PLH} + \gamma_{PLH}}{2} = 4.75 \gamma_{PLR}$$



$$V_{DD} = 5V$$

$$\left(\frac{W}{L}\right)_S = \frac{5}{1}$$

$$\left(\frac{W}{L}\right)_L = \frac{1}{2}$$

$$V_{IO} = 1V$$

$$\gamma = 0.5V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$k'_N = 25 \mu A/V^2$$

Levels logic:

$$V_{OH} = V_{DD} - V_{IO}$$

$$V_{IH} = V_{IO} + \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} = V_{DD} - V_{IO} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} - V_{IO} + V_{IO} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH} - 4.42 = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 + 19.54 - 8.84V_{OH} = \gamma^2 2\phi + \gamma^2 V_{OH}$$

$$V_{OH}^2 - 9.09V_{OH} + 19.37 = 0$$

$$V_{OH} = 5.68V \text{ no acc.}$$

$$V_{OH_2} = 3.4V \text{ accett. } \leq V_{DD} - V_{IO}$$

Calcolo V_{OL}:

$$V_{OH} - V_{IO} \geq V_{OL} \text{ hodo}$$

L sempre nr salvo che. Trascurando body.

$$\frac{k'_N (W)}{2} (V_{DD} - V_{IO} - V_{OL})^2 = k'_N \left(\frac{W}{L}\right)_S (V_{OH} - V_{IO} - \frac{V_{OL}}{2}) V_{OL}$$

$$\frac{1}{4}(S-1-V_{OL})^2 = 5V_{OL} \left(3.4 - \frac{V_{OL}}{2}\right)$$

$$16 + V_{OL}^2 - 8V_{OL} = 20V_{OL} \left(2.3 - \frac{V_{OL}}{2}\right)$$

$$16 + V_{OL}^2 - 8V_{OL} = 48V_{OL} - 10V_{OL}^2$$

$$V_{OL1} = 6.8V \text{ non acceptable}$$

$$V_{OL2} = 0.3V \text{ acceptable}$$

b) $H \rightarrow L$ da $3.4V$ a $2.8V$

M_s si bimbi nr semicondutori

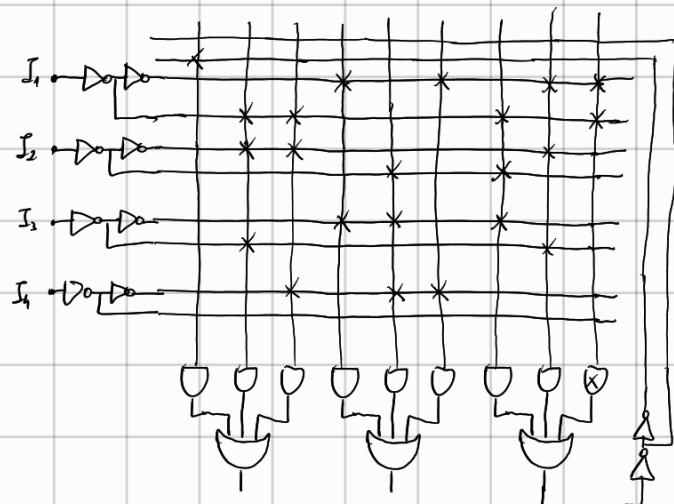
$$I_D = \frac{k_m'}{2} \left(\frac{W}{L}\right)_S (V_{DS} - V_{TN})^2 = 360 \mu A$$

$$\Delta t = -\frac{C \Delta V}{I_D} \stackrel{\text{con gravità}}{=} 1.67 \text{ ms}$$

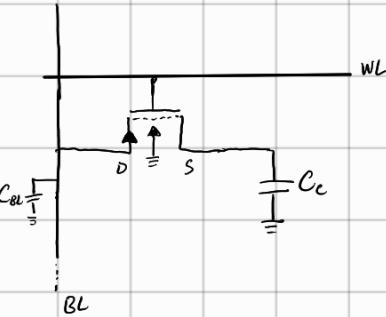
2)

$$Y_1 = \bar{I}_1 \bar{I}_2 I_3 + I_1 \bar{I}_2 \bar{I}_3 + \bar{I}_1 I_2 \bar{I}_3 + \bar{I}_1 \bar{I}_2 I_4$$

$$Y_2 = I_1 I_3 + \bar{I}_2 \bar{I}_3 I_4 + I_1 I_4$$



$$Y_3 = \bar{I}_1 \bar{I}_2 I_3 + I_1 I_2 \bar{I}_3$$



$$V_{IO} = 1V \quad \gamma = 0.5V^{1/2} \quad 2\Phi = 0.6V \quad C_C = 0.25pF$$

Per lo 0 logico carica la BL a 0V. La WL ha stesso

livello che fissa con 1 logico.

Per l'1 logico:

$$V_{WL} = 3V = V_{WL} - V_{INL}$$

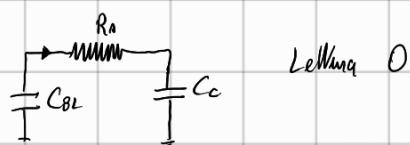
$$V_{INL} = V_{IO} + \gamma (\sqrt{2\Phi} + V_{BL} - \sqrt{2\Phi}) = 1.56V$$

$$V_{WL} = 1.56V$$

$$V_{BL} = 3V$$

b) Fase lettura:

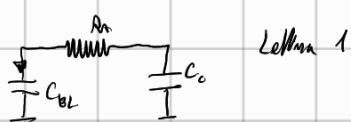
$$V_{BL} = 2V \quad C_{BL} = 1.5pF$$



Il C_{BL} si scarica fino a V_F che si ottiene all'equilibrio dinamico:

$$C_{BL}V_{BL} + C_CV_{BL} = (C_{BL} + C_C)V_F$$

$$\frac{C_{BL}V_{BL}}{C_{BL} + C_C} = V_F = 1.71V$$



$$C_{BL}V_{BL} + C_CV_{BL} = (C_{BL} + C_C)V_F$$

$$V_F = \frac{C_{BL}V_{BL} + C_CV_{BL}}{C_{BL} + C_C} = 2.14V$$

4)

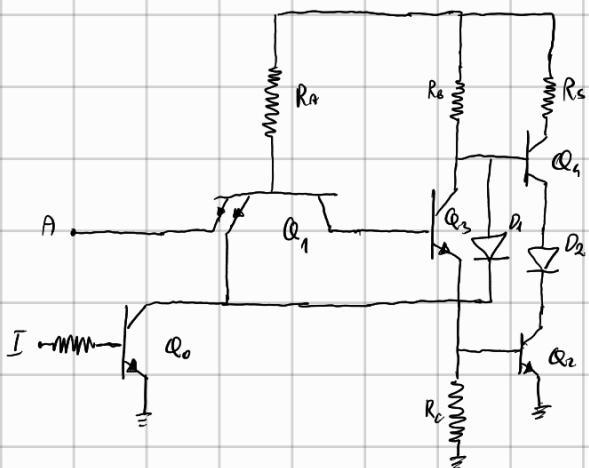
Le porte tri-state sono delle porte logiche in grado di lavorare su 3 possibili livelli logici: alto, basso, alta impedenza. L'uscita ad alta impedenza è una configurazione delle porte in cui l'uscita è sconnessa sia da massa che da alimentazione, ed è utile per applicazioni in cui si vuole configurare un sistema in controllo dello stato di lavoro (per esempio un periferico configurato come uscita o ingresso), oppure per garantire un servizio a diversi elaboratori richiedenti (es. accesso a un bus). L'uscita ad alta impedenza si offre con un segnale di abilitazione alto. Con abilitazione bassa, la porta si comporta come parallele normale.

BUS:



Un servizio di bus viene costituito con delle porte tri-state per l'interfaccia con i richiedenti, pilotate da un sistema arbitrario programmabile.

Quando la periferica ① deve accedere al bus, l'abilita fissa ② e ③ in alta impedenza, negando loro l'accesso. Accadrà il contrario quando bisogna garantire l'accesso al bus per le altre periferiche.



La porta è realizzata usando un transistor multimediatore che riceve all'ingresso l'ingresso dell'invertitore e l'abilitazione negata.

In questo modo, realizzando una NAND fra gli ingressi, quando l'abilitazione.

è bassa, la porta funziona come un comune multimediatore TTL: il drain

D_1 è spento e non si oppone al corrente funzionante di Q_1 e D_2 .

Con abilitazione bassa, invece, l'ingresso nel Q_1 è invertito dall'invertitore

in ingresso negativo. Q_3 e Q_2 sono forzati quindi da inabilitazione, ma

la presenza di D_1 impedisce l'accensione di Q_1 e D_2 : il catodo

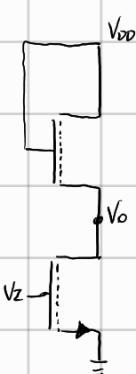
si trova a bassa tensione, mentre l'anodo ha tensione V_{DD} a V_{DD} .

In gen., è accesa, strettamente una tensione sul parallelo del

B_1 e D_1 insufficiente ad accendere entrambe le gattoni. L'urto

non può sommarsi da nessuno che da direzione.

1)



$$V_{DD} = 4 \text{ V}$$

$$\left(\frac{W}{L}\right)_S = \frac{3}{1} \quad \left(\frac{W}{L}\right)_D = \frac{1}{2}$$

$$V_{TO} = 1 \text{ V} \quad \gamma = 0.4 \sqrt{\frac{1}{2}}$$

$$2\phi = 0.7 \text{ V} \quad k_N^1 = 25 \text{ mA/V}^2$$

Livelli logici:

$$V_{OH} = V_{DD} - V_{TNL}$$

$$V_{TNL} = V_{TO} + \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} = V_{DD} - V_{TO} - \gamma \left(\sqrt{2\phi + V_{OH}} - \sqrt{2\phi} \right)$$

$$V_{OH} - V_{DD} + V_{TO} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH} - 3.33 = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 - 6.66 V_{OH} + 11.1 = \gamma^2 2\phi + \gamma^2 V_{OH}$$

$$V_{OH}^2 - 6.82 V_{OH} + 10.99 = 0$$

$$V_{OH} = 6.2 \text{ V} \text{ non accettabile}$$

$$V_{H2} = 2.6 \text{ V} \leq V_{DD} - V_{IO} \text{ accettabile}$$

Calcolo V_{OL} :

$$V_{OH} - V_{IO} \geq V_{OL} \text{ per HP Transistor}$$

Per HP. trascurro effetto body su load.

$$\frac{K_m}{2} \left(\frac{W}{L} \right)_L (V_{DD} - V_o - V_{IO})^2 = K_m \left(\frac{W}{L} \right)_S (V_{OH} - V_{IO} - \frac{V_{OL}}{2}) V_{OL}$$

$$(3 - V_{OL})^2 = 12 V_{OL} \left(1.6 - \frac{V_{OL}}{2} \right)$$

$$9 + V_{OL}^2 - 6 V_{OL} = 19.2 V_{OL} - 6 V_{OL}^2$$

$$7 V_{OL}^2 - 25.2 V_{OL} + 9 = 0$$

$$V_{OL1} = 3.2 \text{ V non accettabile}$$

$$V_{OL2} = 0.4 \text{ V accettabile}$$

Vediamo che $V_{TR} \approx V_{IO}$:

$$V_{TR} = V_{IO} + \delta (\sqrt{2\phi + V_0} - \sqrt{2\phi}) = 1.08 \text{ V, HP valida.}$$

Margine di rumore:

$$V_{IL} = 1 \text{ V} = V_{IO} \quad NM = V_{IL} - V_{OL} = 0.6 \text{ V}$$

Calcolo V_{IH} : Se ho tensione alta e bassa

e bassa in uscita, suppongo che S sia un pmos.

Equaglio le correnti, trascurando effetto body:

$$\frac{K_m}{2} \left(\frac{W}{L} \right)_L (V_{DD} - V_o - V_{IN2})^2 = K_m \left(\frac{W}{L} \right)_S (V_I - V_{IO} - \frac{V_o}{2}) V_o$$

Calcolo V_I da funzione di V_o :

$$\frac{K_m \left(\frac{W}{L} \right)_L}{K_m \left(\frac{W}{L} \right)_S} = K_R$$

$$\frac{K_R (V_{DD} - V_o - V_{IN2})^2}{2 V_o} = V_I - V_{IO} - \frac{V_o}{2}$$

$$V_I = \frac{K_R (V_{DD} - V_o - V_{IN2})^2}{2 V_o} + V_{IO} + \frac{V_o}{2}$$

$$\begin{aligned}
 \frac{dV_o}{dV_I} = -1 &= \frac{dV_o}{dV_0} = \frac{1}{2} + \frac{K_R}{2} \left[\frac{-2(V_{DD} - V_o - V_{INL})V_o - (V_{DD} - V_o - V_{INL})^2}{V_o^2} \right] = \\
 &= \frac{1}{2} + \frac{K_R}{2} \left[\frac{-2V_o V_{DD} + 2V_o^2 + 2V_o V_{INL} - (V_{DD}^2 + V_o^2 + V_{INL}^2 - 2V_o V_{DD} - 2V_{INL} V_{DD} + 2V_o V_{INL})}{V_o^2} \right] = \\
 &= \frac{1}{2} + \frac{K_R}{2} \left[\frac{2V_o^2 - V_{DD}^2 - V_o^2 - V_{INL}^2 + 2V_{DD} V_{INL}}{V_o^2} \right] = \\
 &= \frac{1}{2} + \frac{K_R}{2} \left[\frac{V_o^2 - V_{DD}^2 - V_{INL}^2 + 2V_{DD} V_{INL}}{V_o^2} \right] = \\
 &= \frac{1}{2} + \frac{K_R}{2} \left[1 - \frac{(V_{DD} - V_{INL})^2}{V_o^2} \right] = -1 \\
 \Rightarrow K_R \left[1 - \frac{(V_{DD} - V_{INL})^2}{V_o^2} \right] &= -3
 \end{aligned}$$

$$\Rightarrow 1 - \frac{(V_{DD} - V_{INL})^2}{V_o^2} = \frac{-3}{K_R}$$

$$\Rightarrow 1 + \frac{3}{K_R} = \frac{(V_{DD} - V_{INL})^2}{V_o^2}$$

$$\frac{K_R + 3}{K_R} = \frac{(V_{DD} - V_{INL})^2}{V_o^2}$$

$$V_o = \frac{V_{DD} - V_{INL}}{\sqrt{1 + 3/K_R}}$$

$$K_Q = \frac{1}{K_R} = \left(\frac{W}{L} \right)_S \left(\frac{W}{L} \right)_L$$

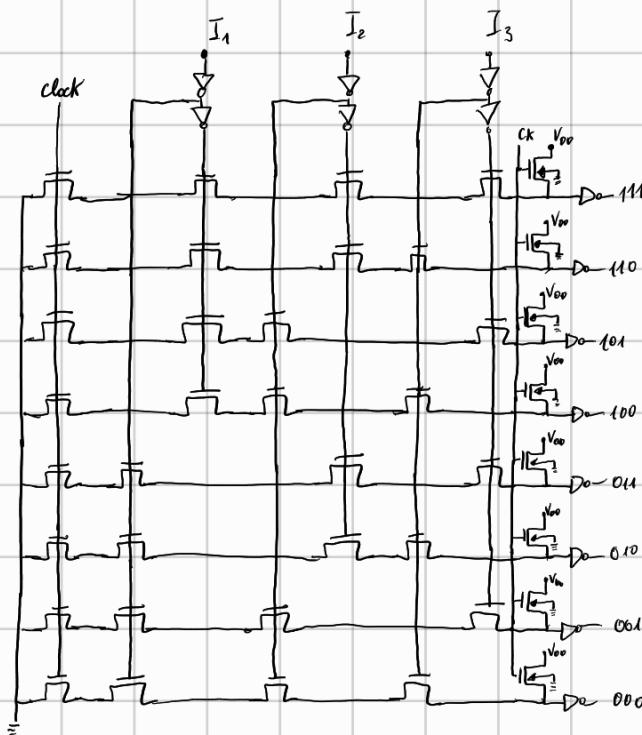
Possa fare variazioni

$$P_{MAX} = V_{DD, ND}$$

$$I_D = K_m \left(\frac{W}{L} \right)_S \left(V_{DS} - V_{DS,0} - \frac{V_o}{2} \right) V_{DS,0} = 42 \text{ mA}$$

$$P_{MAX} = 168 \text{ mW}$$

4) Schema decodifica 3 bit:

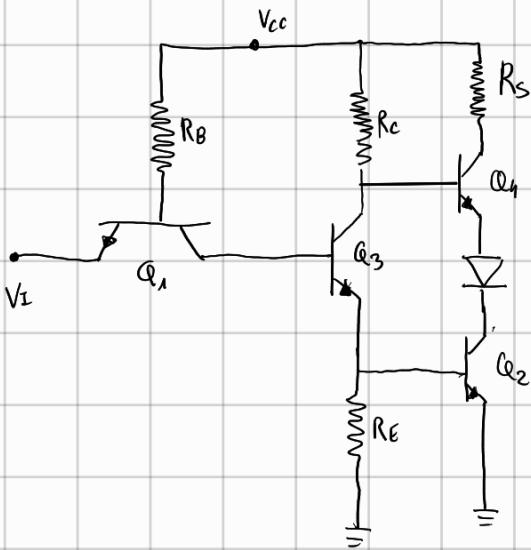


Il decodificatore binario è una macchina combinatoria che riceve un ingresso in binario per corrispondere delle possibili combinazioni di quest'ingresso da tutte le 2^m uscite. Quando si è attivo un ingresso su delle combinazioni, il decodificatore darà un segnale alto sull'uscita associata alla combinazione richiesta, mentre tutte le altre uscite saranno basse. È anche possibile lavorare con un'abilitazione, che in caso affibbiata forza tutte le uscite della macchina a 0. I decodificatori binari sono spesso utilizzati per l'indirizzamento di una cella di memoria di una matrice: per indirizzare una cella, infatti, utilizziamo un decodificatore di riga e uno di colonna, che sulla base dell'ingresso danno un segnale alto sulla riga e colonna della cella richiesta, rendendone possibile l'accesso al bit memorizzato.

Un decodificatore in layout NMOS è realizzato con un sistema di invertitori che danno valore basso sull'uscita indirizzata e alto su tutte gli altri, che poi vengono invertiti ottenendo il risultato voluto.

Il percorso conduttivo in massa, infatti, è attivo solo sul filo corretto, garantendo l'univocità del segnale.

I clock sono utilizzati per attivare il funzionamento del decodice solo su pochi altri, espandendo la riga.



$$\beta_F = 20$$

$$\beta_R = 0,05$$

$$V_{cc} = 5V$$

$$R_b = 5k\Omega$$

$$R_c = 2k\Omega$$

$$R_E = 1,25k\Omega$$

$$R_s = 130\Omega$$

far out uscita bassa:

In uscita bassa, devo garantire che Q_2 rimanga in saturazione

con una tensione accettabile. Devo calcolare la β_{FOR} per avere $V_{cesat} = 0,15V$

$$V_{cesat} = V_T \ln \left(\frac{1}{\alpha_R} \cdot \frac{1 + \frac{\beta_{FOR}}{\beta_{F1}}}{1 - \frac{\beta_{FOR}}{\beta_F}} \right)$$

$$V_T = 25mV$$

$$\alpha_R = \frac{\beta_R}{1 + \beta_R}$$

$$\alpha_R \cdot \frac{V_{cesat}}{V_T} = \frac{1 + \frac{\beta_{FOR}}{\beta_{F1}}}{1 - \frac{\beta_{FOR}}{\beta_F}}$$

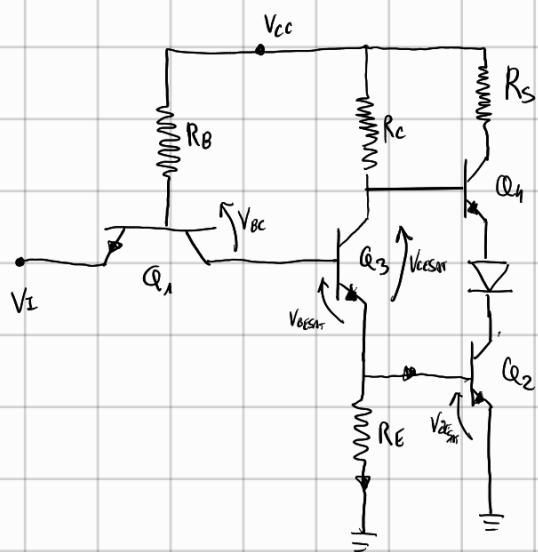
$$\alpha_R \cdot \frac{V_{cesat}}{V_T} \left(1 - \frac{\beta_{FOR}}{\beta_F} \right) = 1 + \frac{\beta_{FOR}}{\beta_{F1}}$$

$$\alpha_R \cdot \frac{V_{cesat}}{V_T} - \alpha_R \cdot \frac{V_{cesat}}{V_T} \cdot \frac{\beta_{FOR}}{\beta_F} = 1 + \frac{\beta_{FOR}}{\beta_{F1}}$$

$$\beta_{FOR} \left(\frac{1}{\beta_{F1}} + \alpha_R \cdot \frac{V_{cesat}}{V_T} \right) = \alpha_R \cdot \frac{V_{cesat}}{V_T} - 1$$

$$1.91 \beta_{FOR} = 18.21$$

$$\beta_{FOR} = 9.53$$



Con V_I alta, Q_1 en ZAI, Q_3 en Sat, Q_2 en Sat, Q_4 en triodo.

$$V_{CC} - V_{BE} - V_{BE,SAT} - V_{BE,SAT} = R_E I_{B1}$$

$$I_{B1} = 540 \text{ mA}$$

$$V_{CC} - V_{CE,SAT} - V_{BE,SAT} = R_C I_{C3}$$

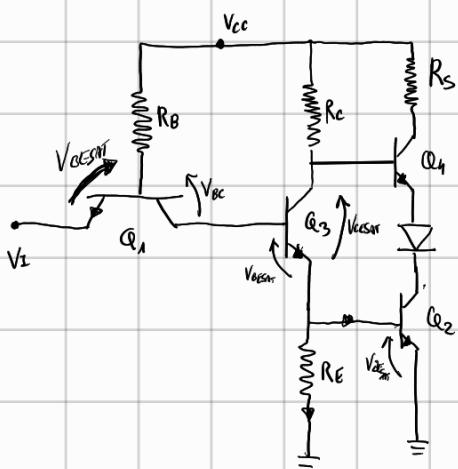
$$I_{C3} = 2 \text{ mA}$$

$$I_E = \frac{V_{BE,SAT}}{R_E} = 640 \text{ mA}$$

$$I_{E3} = (\beta_R + 1) I_{B1} + I_{C3} = 2.57 \text{ mA}$$

$$I_{BE} = I_{E3} - I_E = 1.9 \text{ mA}$$

Misura come erogata da macchia bassa:



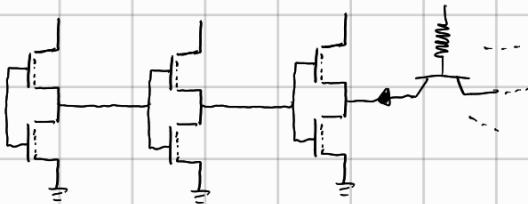
$$V_{CC} - V_{BE,SAT} - V_I = R_B I_{B1}$$

$$I_{B1} = 810 \text{ mA} \approx I_{E3} = I_E$$

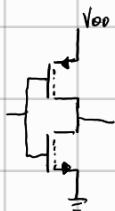
1)

Il collegamento CMOS-TTL è problematico perché la porta CMOS non è progettata per erogare e assorbire corrente, come invece accade per la TTL.

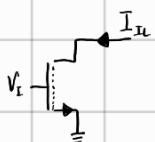
Per queste motivi, per interfacciare i due dispositivi occorre utilizzare un coppia di invertitori CMOS a casca (per non alterare il segnale logico) in cui il MOS del secondo invertitore sia opportunamente dimensionato per fornire corrente della TTL e dare l'usata corretta.



Calcolo livelli logici: Caso V_{DD} non espresso.



Ho usato basso, NMOS acceso
Con V_{OL} = 0.15V



V_{DD} - V_{IO} ≥ V_{OL} Tendo:

$$I_D = K_m \left(\frac{W}{L} \right)_N \left(V_{DD} - V_{IO} - \frac{V_{OL}}{2} \right) V_{OL}$$

$$\left(\frac{W}{L} \right)_N = \frac{6.8}{1}$$

Se ho ingresso basso:



$$V_{SG} - |V_{IP}| \geq V_{SD}$$

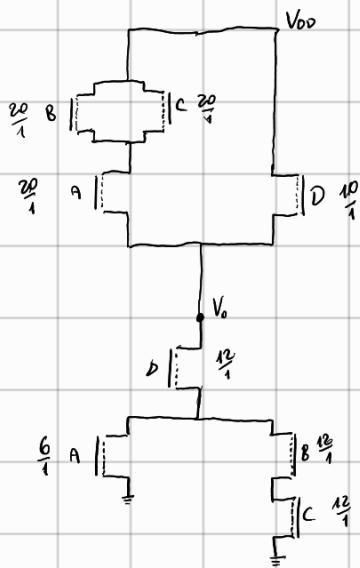
$$5 - 1 \geq S - 3.6 \sqrt{T_{wado}}$$

$$I_D = k_P \left(\frac{W}{L} \right)_P \left(V_{SD} - |V_{IP}| - \frac{(V_{DD} - V_{ON})}{2} \right) (V_{DD} - V_{ON})$$

$$\left(\frac{W}{L}\right)_P = \frac{3,7}{1}$$

2)

$$Y = \overline{(A + BC)D}$$

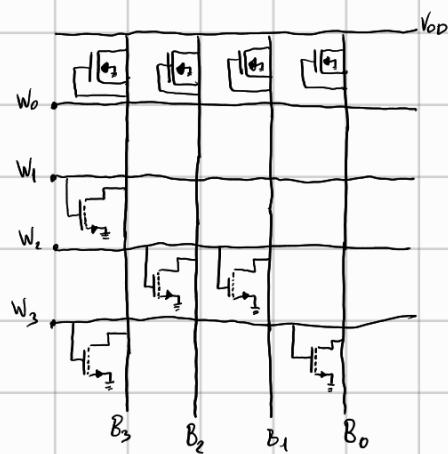


Per avere una doppia lettura per un multi-radoppio

NMOS.

$$\text{Area minima: } A = f^2 \cdot (W \cdot L) \cdot 8 = 36 \cdot 10^{-12} \text{ m}^2$$

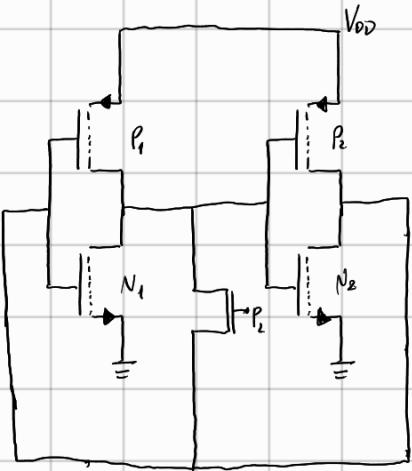
A) ROM NMOS



P_{MAX} si ha se W_2 o W_3 prende le 2 valori 0.

P_{MIN} si ha se W_0 prende lo 0 valori 0.

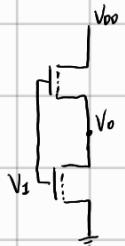
$$\frac{P_{MAX}}{P_{MIN}} = \frac{2P}{OP} = +\infty$$



$$V_{DD} = 5V \quad \left(\frac{W}{L}\right)_N = \frac{4}{1} \quad \left(\frac{W}{L}\right)_P = \frac{5}{1} \quad V_{IN} = -V_{TP} = 1V$$

$$K_N' = 25 \text{ mA/V}^2 \quad K_P' = 8 \text{ mA/V}^2$$

A(0,0) B(V_{DD}, V_{DD})



$$V_T = V_0. \quad \text{Also, } V_x - V_{TN0} \geq V_x ? \text{ No. Saturation.}$$

$$V_{DD} - V_x - |V_{TP0}| \geq V_{DD} - V_x ? \text{ No. Saturated.}$$

$$\delta_D = \frac{K_N'}{2} \left(\frac{W}{L}\right)_N (V_x - V_{TN0})^2 = \frac{K_P'}{2} \left(\frac{W}{L}\right)_P (V_{DD} - V_x - |V_{TP0}|)^2$$

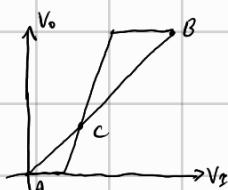
$$K_R = \sqrt{\frac{K_N}{K_P}} = 1.58$$

$$K_P (V_x - V_{TN0}) = V_{DD} - V_x - |V_{TP0}|$$

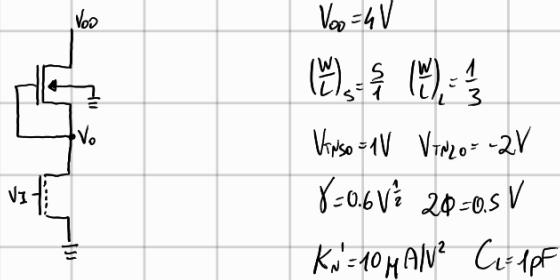
$$K_P V_x - K_P V_{TN0} = V_{DD} - V_x - |V_{TP0}|$$

$$2.58 V_x = 5.58$$

$$V_x = 2.16V$$



1)



Livelli logici:

$$V_{OH} = V_{DD}$$

$$V_{OL} - V_{TN10} \geq V_{OL} \quad \text{H.p.}$$

$-V_{TN20} \geq V_{OL} - V_{OL} ?$ No. H.p. di saturazione

$$K_N^{-1} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{TN10} - \frac{V_{OL}}{2} \right) V_{OL} = \frac{K_N^{-1}}{2} \left(\frac{W}{L} \right)_L (-V_{TN})^2$$

$$5V_{OL} \left(V_{DD} - V_{TN10} - \frac{V_{OL}}{2} \right) = \frac{1}{6} \cdot 4$$

$$30V_{OL} \left(3 - \frac{V_{OL}}{2} \right) = 4$$

$$90V_{OL} - 15V_{OL}^2 - 4 = 0$$

$$15V_{OL}^2 - 90V_{OL} + 4 = 0$$

$$V_{OL} = 6V \text{ non accettabile}$$

$$V_{OL} = 0.045V \text{ accettabile}$$

$$V_{TNL} = V_{TN20} + \gamma \left(\sqrt{2\phi + V_{OL}} - \sqrt{2\phi} \right) = -1.98V \text{ appross. accettabile}$$

$$I_D = K_N^{-1} \left(\frac{W}{L} \right)_S \left(V_{DD} - V_{TN10} - \frac{V_{OL}}{2} \right) V_{OL} = 6.7mA$$

$$P_{statica media} = \frac{V_{DD} I_D}{2} = 16.8mW$$

c) Tempo busso-allo $\rightarrow V_{OL} - \frac{1}{2}V_{OH}$

da 0.045 a 2V

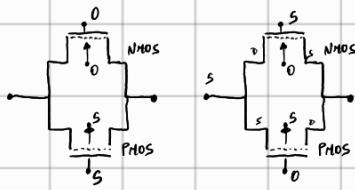
Load point da: $-V_{TN2} \geq 0.045$

a $-V_{TN2} \geq 2 \Rightarrow$ Resistenza saturazione

$$I_D = \frac{K_N^{-1}}{2} \left(\frac{W}{L} \right)_L (-V_{TN2})^2 = 6.67mA$$

$$\Delta t_c = C \frac{\Delta V}{\Delta I} \Rightarrow \Delta t = \frac{C \Delta V}{I_c} = 2.9 \cdot 10^{-8} s$$

a)



Una porta di trasmissione è un componente a resistenza variabile che

può essere facilmente pilotata nel suo stato ON e OFF attraverso

la configurazione delle tensioni di gate dei PMOS e NMOS disposti in parallelo.

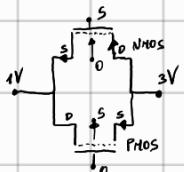
Nello stato off, infatti, per qualsiasi tensione venga applicata ai capi IN e

OUT, le tensioni V_{GSN} e V_{GSP} saranno mai sufficienti a garantire

l'apertura del canale dei mos (entrambi oscillano tra -5 e 0 volt).

Nello stato ON, invece, è sempre garantita l'accensione di almeno uno dei due canali che permette il passaggio di corrente. A seconda delle condizioni, potremo quindi valutare una certa resistenza che la porta oppone al suo passaggio

b)



$$V_{DS} = 5V \quad \left(\frac{W}{L}\right)_P = \frac{2}{1} \quad \left(\frac{W}{L}\right)_N = \frac{3}{1} \quad K_N' = 25MA/V^2$$

$$K_P' = 10MA/V^2 \quad V_{GSN} = V_{GSP} = 1V \quad Y = 0.5V^{-\frac{1}{2}} \quad 2\phi = 0.6V$$

$$V_{GSN} = 1V \quad V_{GSP} = 3V$$

$$V_{SB} = 1V \quad V_{BSP} = 2V$$

$$V_{DSN} = 2V \quad V_{SDP} = 2V$$

$$V_{TN} = V_{IN_0} + Y(\sqrt{2\phi + V_{SB}} - \sqrt{2\phi}) = 1.25V$$

$$V_{TP} = V_{TP_0} - Y(\sqrt{2\phi + V_{BS}} - \sqrt{2\phi}) = -1.44V$$

ZONE DI LAVORO:

$$V_{GS} - V_{TN} \geq V_{DS} ? \quad Sì. Trivolo$$

$$V_{GS} + V_{TP} \geq V_{SD} ? \quad Nò. Saturazione$$

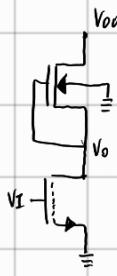
$$I_{DN} = K_N' \left(\frac{W}{L}\right)_N \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2}\right) V_{DS} = 350mA$$

$$I_{DP} = K_P' \left(\frac{W}{L}\right)_P \left(V_{GS} + V_{TP}\right)^2 = 61mA$$

$$I_{DT} = I_{DN} + I_{DP} = 411mA$$

$$R_{eq} = \frac{\Delta V}{\Delta I} = 1866.2$$

1)



$$\begin{aligned} V_{DD} &= 3.5V \\ V_{TNSO} &= 1V \\ V_{TID0} &= -2V \\ \gamma &= 0.5V^{1/2} \\ 2\phi &= 0.6V \\ K_m &= 25 \text{ mA/V}^2 \end{aligned}$$

$$V_{OL} = 0.2V \quad V_{OH} = 3.5V$$

$$P_{med,n} = 0.6mW$$

$$P_{med,n} = \frac{I_D V_{DD}}{2} \Rightarrow I_D = 2.23 \text{ mA}$$

Se hro V_{OH} nro nput; S hro V_{OL}

$$I_D = K_m' \left(\frac{W}{L}\right)_S (V_{OH} - V_{TNSO} - \frac{V_{OL}}{2}) V_{OL}$$

$$\left(\frac{W}{L}\right)_S = \frac{19}{1}$$

L nro saturation:

$$I_D = \frac{K_m' (W)}{2} \left(\frac{W}{L}\right)_L (-V_{TIDL})^2 \quad V_{TIDL} = V_{TNSO} + \sqrt{2\phi + V_{OL}} - \sqrt{2\phi} = -1.94V$$

$$\left(\frac{W}{L}\right)_L = \frac{4.88}{1}$$

$$\text{Area kdr: } W_L L_L f^2 + W_S L_S f^2 = 19f^2 + 4.88f^2 = 71.64 \cdot 10^{-12} \text{ m}^2$$

3) busso-alk → 0.2-1V

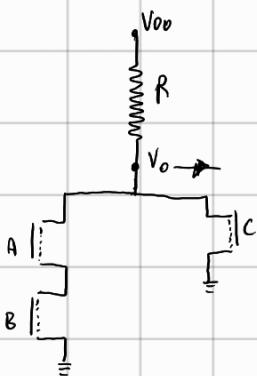
V_{DS2} : 3.3 → 2.5V Rime nro saturr.

$$I_D = \frac{K_m' (W)}{2} \left(\frac{W}{L}\right)_L (-V_{TIDL})^2 = 244 \text{ mA}$$

$$I_D = C \frac{\Delta V}{\Delta t} \Rightarrow \Delta t = 6.56 \text{ ms}$$

4)

$$Y = \overline{AB} + C$$



$$K_N = 200 \text{ mA/V}^2$$

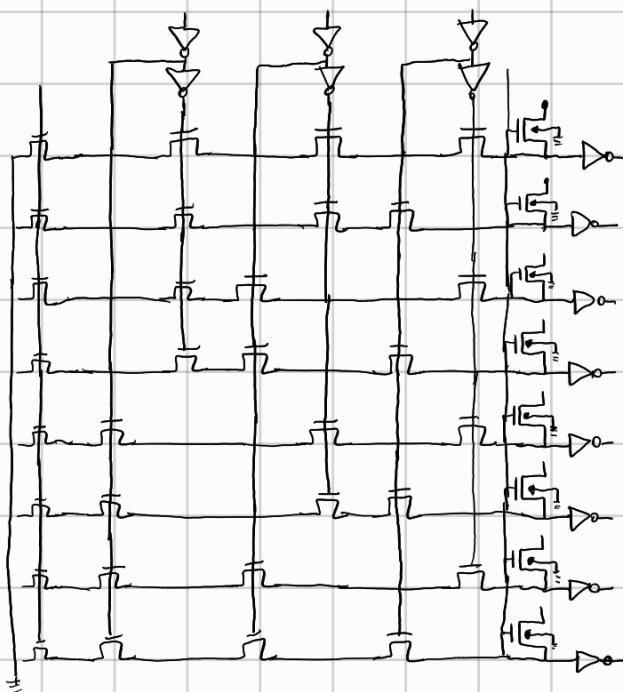
$$V_{TN} = 1 \text{ V} \quad V_{DD} = 5 \text{ V}$$

$$I_H = 0.2 \text{ mA} \quad V_{OH} = 3 \text{ V}$$

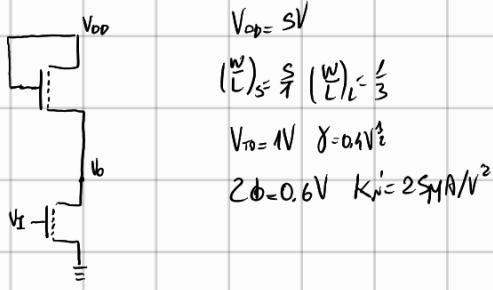
Se uscita è alta, scorre tutta la corrente su R:

$$V_{DD} - R I_H - V_{OH} = 0$$

$$R = \frac{V_{DD} - V_{OH}}{I_H} = 10000 \Omega$$



1)



$$V_{OH} = V_{DD} - V_{TNQ}$$

$$V_{TNQ} = V_{TN0} + \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} = V_{DD} - V_{TN0} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{OH} - V_{DD} + V_{TN0} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + b_H}$$

$$(V_{OH} - 4.3V)^2 = \gamma^2 (2\phi + V_{OH})$$

$$V_{OH}^2 + 18.58 - 8.62V_{OH} = 0.096 + 0.16V_{OH}$$

$$V_{OH}^2 - 8.78V_{OH} + 18.48 = 0$$

$$V_{OH} = 5.3V \text{ no acc.},$$

$$V_{OH} = 3.5V$$

$$V_{OH} - V_{TN0} \geq V_{OL} \text{ H.p. threshold}$$

L sample nr. 5th. Thus baby can make farm

$$K_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{TN0} - \frac{V_{OL}}{2}\right) V_{OL} = K_m' \left(\frac{W}{L}\right)_L \left(V_{DD} - V_{OL} - V_{TN0}\right)^2$$

$$5 \left(2.5 - \frac{V_{OL}}{2}\right) V_{OL} = \frac{1}{6} (4 - V_{OL})^2$$

$$30V_{OL} \left(2.5 - \frac{V_{OL}}{2}\right) = 16 + V_{OL}^2 - 8V_{OL}$$

$$75V_{OL} - 15V_{OL}^2 = 16 + V_{OL}^2 - 8V_{OL}$$

$$16V_{OL}^2 - 83V_{OL} + 16 = 0$$

$$V_{OL} = 5V$$

$$V_{OL} = 0.2V \text{ unacceptable.}$$

$$V_{TNQ} = V_{TO} + \gamma (\sqrt{2\phi + b_L} - \sqrt{2\phi}) = 1.05V$$

$$I_D = K_m' \left(\frac{W}{L}\right)_S \left(V_{OH} - V_{TN0} - \frac{V_{OL}}{2}\right) V_{OL} = 60mA$$

$$P_{MAX} = I_D V_{DD} = 300mW$$

$$P_{on} = f C V_{DD}^2 = 1125 \text{ mW}$$

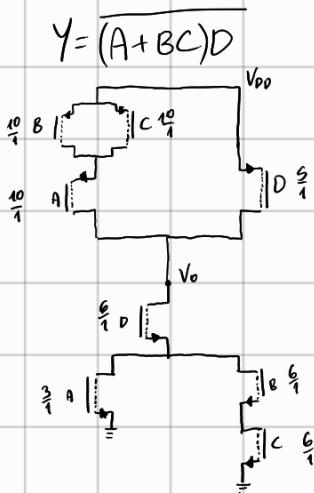
$$\eta = \frac{P_{MAX}}{P_{DIN}} = 0.24$$

c) Se K_N dà un $40 \mu A/V^2$:

$$I_D = 96 \mu A \quad P_{MAX} = 180 \text{ mW}$$

$$\eta = 0.43$$

2)



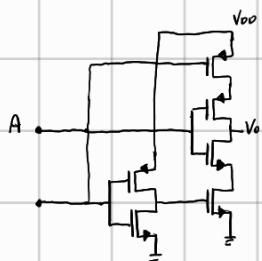
Se lavorassi ad area minima:

$$\frac{\gamma_{PHL}}{\frac{3}{2}} = \frac{\gamma_{PHR}}{\frac{1}{2}} \Rightarrow \gamma_{PHL} = 3 \gamma_{PHR}$$

$$\frac{\gamma_{PLH}}{\frac{2}{2}} = \frac{\gamma_{PLHR}}{\frac{1}{2}} \Rightarrow \gamma_{PLH} = 5 \gamma_{PLHR}$$

$$\gamma_P = \frac{\gamma_{PHL} + \gamma_{PLH}}{2} = \frac{3 \gamma_{PHR} + 5 \gamma_{PLHR}}{2} = 4 \gamma_{PR}$$

3)



Un dispositivo CMOS a tre strati riceve 2 segnali

uno per polarizzare l'abilitazione da alto rispedeza e uno per il

regolare valore logico alto o basso: se l'abilitazione è abbassata,

Ne solleva un ingresso un segnale alto (invirto dalla porta precedente)

precedendente) tenendo il canale aperto. Allo stesso modo, Ne solleva un

segnale basso e quindi va VDD sufficiente a chiudere il canale aperto.

In questo modo, l'ingresso si comporta come un pozzo magnetico che risponde al valore di A .

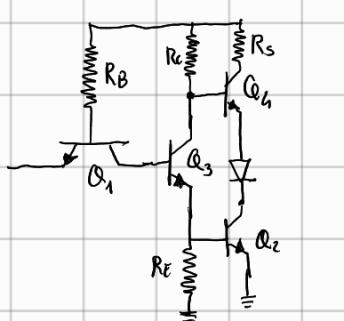
L'unica differenza con l'ingresso standard è la presenza di N_2 e P_2 , che consentono il tempo di propagazione. Per risolvere il problema basta ridisegnare i rapporti d'aggetto ai livelli di uscita, ponendo in dimensione la resistenza equivalente del percorso conduttore.

Se I dovesse essere alto, però, P_2 sarebbe in segnale alto, mentre N_2 in segnale basso,

mentre non sufficiente per tenere il canale aperto. Questo comporta che, quindi, l'uscita sarà sempre

Sia dall'alimentazione che dalla massa.

4)



$$B_F = 60 \quad B_R = 0.07$$

$$V_{CC} = 5V \quad R_B = 5k\Omega \quad R_C = 2k\Omega$$

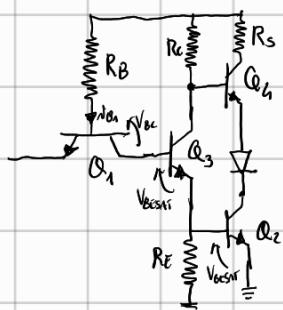
$$R_E = 1.25k\Omega \quad R_S = 130\Omega$$

FAN OUT USCITA ALTA:

Tensione di uscita deve garantire per le porte che s'è un ingresso alto che Q_1 valga

in ZAI. Quindi, devo calcolare la tensione di base su Q_1 e la corrente

che viene assorbita.

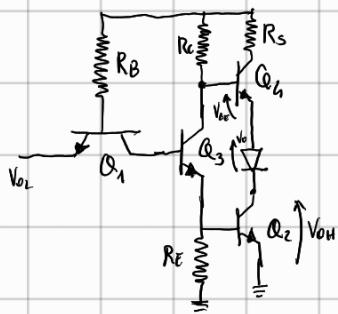


$$V_B = V_{BC} + V_{BESET_1} + V_{BESET_2} = 0.7 + 1.6 = 2.3V$$

$$V_{DD} - R_B I_{B1} - V_{BC} - V_{BESET_1} - V_{BESET_2} = 0$$

$$I_{B1} = 540mA$$

$$I_E = B_R I_{B1} = 37.8 \mu A \text{ assorbita.}$$



$$V_{DD} - R_C N \beta_1 - V_{BE1} - V_D > 2.3$$

$$\beta_{1H} = \frac{\beta_{E1}}{\beta_F + 1} = \frac{N \beta_H}{\beta_F + 1}$$

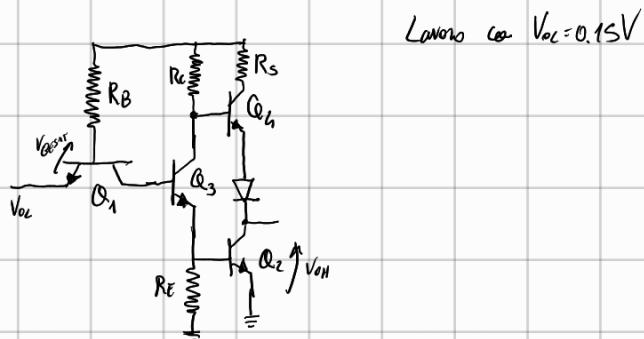
$$V_{DD} - R_C \frac{N \beta_H}{\beta_F + 1} - V_{BE1} - V_D > 2.3$$

$$3.6 - R_C \frac{N \beta_H}{\beta_F + 1} > 2.3$$

$$1.3 > \frac{R_C N \beta_H}{\beta_F + 1} \Rightarrow \frac{1.3 \cdot 61}{2000 \cdot 37.8 \cdot 10^6} > N$$

$$N < 10^{4.9}$$

Fare ora misura bussa:



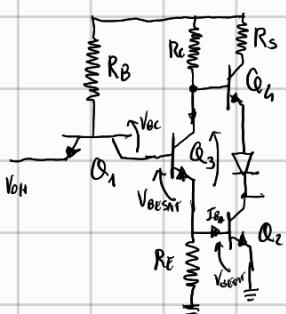
Calcolo corrente erogata con spess. basso:

$$V_{DD} - R_B N \beta_1 - V_{BE1SAT} - V_{OL} = 0$$

$$\beta_{E1} = 840 \text{ mA} \quad Q_1 \text{ è in sat. a corrett. oper.}$$

$$\beta_{E1} = \beta_1 = \beta_L$$

Calcolo corriress. alto in β_2 :



$$I_{B1} = 540 \text{ mA}$$

$$\text{ZAI Q1: } I_{C1} = I_{B1}(\beta_{R+1}) = 577.8 \text{ mA}$$

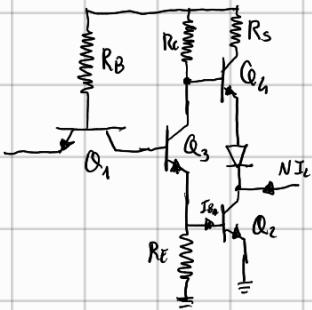
$$V_{DD} - V_{CESAT_3} - V_{BESEN2} - R_C I_{C3} = 0$$

$$I_{C3} = 2.025 \text{ mA}$$

$$I_{E3} = I_{C3} + I_{C1} = 2.603 \text{ mA}$$

$$I_E = \frac{V_{BESEN}}{R_E} = 640 \text{ mA}$$

$$I_{B2} = I_{E3} - I_E = 1.963 \text{ mA}$$



$$\text{Ora: } \frac{NI_L}{N_B} < \beta_{FOR}$$

$$\text{car } \beta_{FOR}/V_{CESAT} = 0.15 \checkmark$$

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F}$$

$$\alpha_F = \frac{\beta_F}{\beta_F + 1} = 0.98$$

$$\alpha_R = 0.065$$

$$V_{CESAT} = V_T \ln \left(\frac{1}{\alpha_R} \frac{1 + \frac{\beta_{FOR}}{\beta_F + 1}}{1 - \frac{\beta_{FOR}}{\beta_F}} \right)$$

$$\ell \quad \frac{V_{CESAT}}{V_T} = 15.38 \frac{1 + 0.93 \beta_{FOR}}{1 - 0.017 \beta_{FOR}}$$

$$\Rightarrow 26.23 (1 - 0.017 \beta_{FOR}) = 1 + 0.93 \beta_{FOR}$$

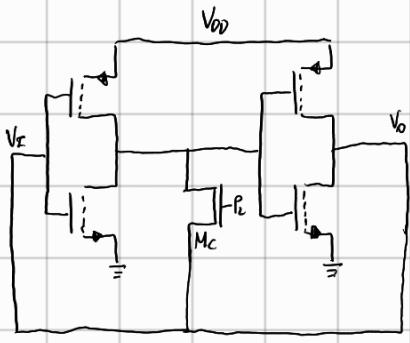
$$26.23 - 0.45 \beta_{FOR} = 1 + 0.93 \beta_{FOR}$$

$$25.23 = 1.38 \beta_{FOR}$$

$$\beta_{FOR} = 18.3$$

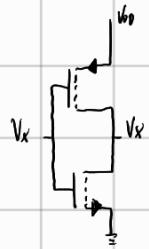
$$\frac{NI_L}{I_B} < 18.3 \Rightarrow N < 18.3 \cdot \frac{1.963 \cdot 10^{-3}}{810 \cdot 10^{-6}} = 44$$

2)



$$\left(\frac{W}{L}\right)_N = \frac{4}{1} \quad \left(\frac{W}{L}\right)_P = \frac{5}{1} \quad V_{TN} = -V_{TP} = 1V \quad K_N' = 25MA/V^2$$

$$K_P' = 8MA/V^2 \quad V_{DD} = 4V$$



$$V_x - V_{TN} \geq V_x ? \text{Nb. Sat.}$$

$$V_{DD} - V_x + V_{TP} \geq V_{DD} - V_x \quad \text{Nb. Sat.}$$

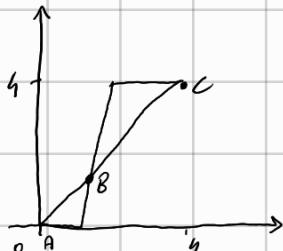
$$\lambda_D = \frac{K_N'}{2} \left(\frac{W}{L}\right)_N (V_x - V_{TN})^2 = \frac{K_P' (W)}{2} \left(\frac{W}{L}\right)_P (V_{DD} - V_x + V_{TP})^2$$

$$\sqrt{\frac{K_N}{K_P}} = \alpha = \sqrt{\frac{25 \cdot 4}{85}} = 1.58$$

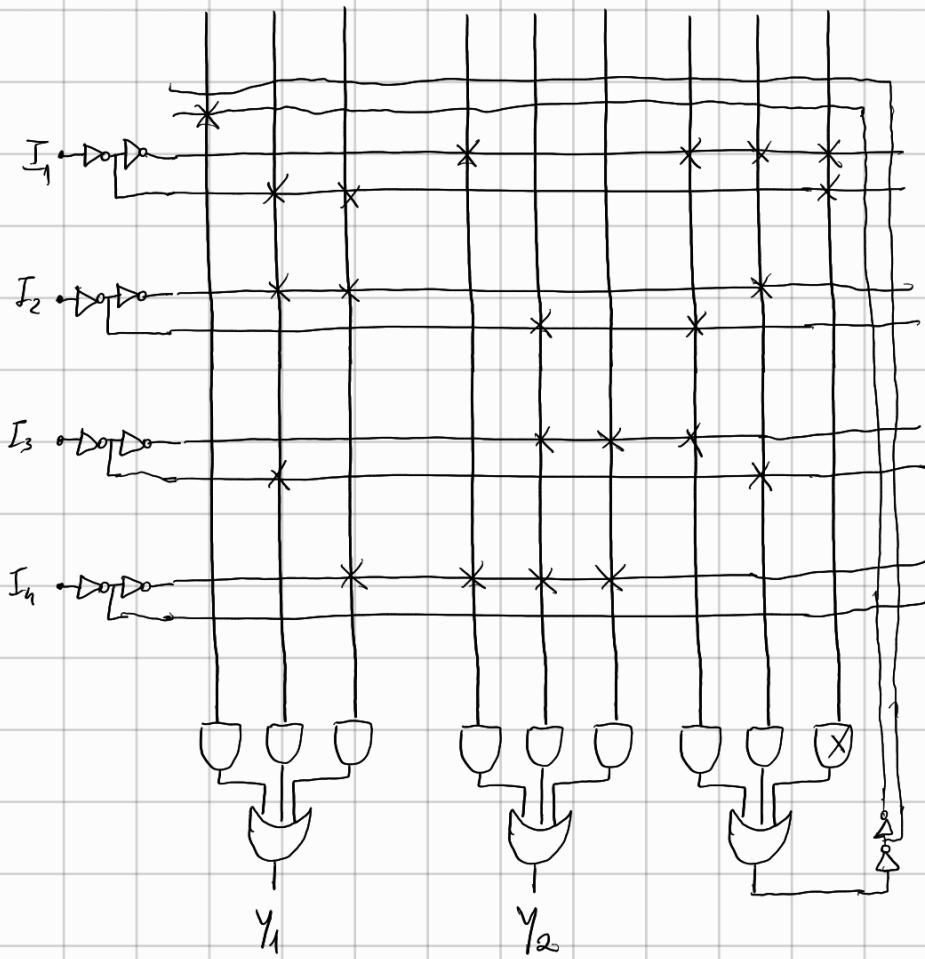
$$1.58(V_x - 1) = (3 - V_x)$$

$$1.58V_x - 1.58 = 3 - V_x$$

$$2.58V_x = 4.58 \quad V_x = 1.76V$$



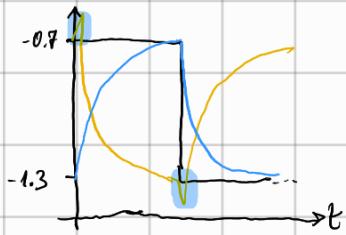
3)



a) Le principali debolezze non afferrabili con il modello semplificato RC sono 2:

1) EFFETTI DERIVATIVI SU USCITA INVERTENTE

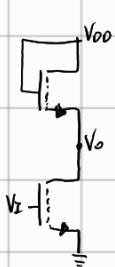
- Con frequenza di segnale e tensione molto piccole, è inevitabile assistere allo spazio di funzionamento del transistor che impedisce che reagisca alle forti variazioni. Questo effetto non si riscontra, tuttavia, sull'uscita non invertente, proprio perché la sua tensione di base è fissata al valore di riferimento di $-1V$ e non presenta variazioni violente come quelle spettate all'ingresso.



2) EFFETTI DI RALLENTAMENTO H-L CON ALTI CARICHI CAPACITIVI

- Un altro problema si verifica in caso di alti carichi capacativi di uscita: può accadere, infatti, per la transist. H-L, che la curva del condensatore al valore di $-1.3V$ possa richiedere un tempo maggiore di quello richiesto per la commutazione del modo salvo a $-0.6V$. Questo implica la possibilità che la tensione BE del transistor in finalizzazione possa essere insufficiente a garantire la ZAD. Per questo effetto, si assiste ad un estremo prolungamento del tempo di propagazione, che rende la porta poco pratica da utilizzare.

1)



$$V_{DD} = 4V$$

$$\left(\frac{w}{l}\right)_S = \frac{3}{1}$$

$$\left(\frac{w}{l}\right)_L = \frac{1}{2}$$

$$V_{TO} = 1V$$

$$\gamma = 0.4V^{\frac{1}{2}}$$

$$2\phi = 0.7V$$

$$K_n' = 2S_{MA}/V^2$$

$$V_{DD} - V_{TNL} = V_{OH}$$

$$V_{TNL} = V_{TO} + \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi})$$

$$V_{DD} - V_{TO} - \gamma (\sqrt{2\phi + V_{OH}} - \sqrt{2\phi}) = V_{OH}$$

$$V_{OH} - V_{DD} + V_{TO} - \gamma \sqrt{2\phi} = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH} - 3.33 = -\gamma \sqrt{2\phi + V_{OH}}$$

$$V_{OH}^2 + 11.1 - 6.66V_{OH} = \gamma^2 2\phi + \gamma^2 V_{OH}$$

$$V_{OH}^2 - 6.82V_{OH} + 11 = 0$$

$$V_{OH_1} = 4.2V \quad X$$

$$V_{OH_2} = 2.6V \quad \checkmark \quad < V_{DD} - V_{TNL}$$

Lavoriamo uno al nodo e uno in sottrazione

$$K_m' \left(\frac{w}{l} \right)_S (V_{OH} - V_{TNL} - \frac{V_{OL}}{2}) V_{OL} = K_m' \left(\frac{w}{l} \right)_L (V_{DD} - V_{OL} - V_{TNL})^2$$

$$3V_{OL} \left(1.6 - \frac{V_{OL}}{2} \right) = \frac{1}{4} (3 - V_{OL})^2$$

$$12V_{OL} \left(1.6 - \frac{V_{OL}}{2} \right) = 9 + V_{OL}^2 - 6V_{OL}$$

$$19.2V_{OL} - 6V_{OL}^2 = 9 + V_{OL}^2 - 6V_{OL}$$

$$7V_{OL}^2 - 25.2V_{OL} + 9 = 0$$

$$V_{OL} = 0.4V$$

$$V_{TNL} = V_{TNL} + \gamma (\sqrt{2\phi + V_{OL}} - \sqrt{2\phi}) \approx 1.08V \quad \text{appross. acc.} \quad \checkmark$$

Maneggiando dei numeri:

V_{IH} lo trovo con facendo altra al moltiplicatore.

Trovato per S .

$$K_{NS} \left(V_I - V_{IO} - \frac{V_o}{2} \right) V_o = K_{NL} \left(V_{DD} - V_o - V_{INL} \right)^2$$

$$K_R = \frac{K_{NL}}{K_{NS}}$$

$$V_I = \frac{K_R}{2V_o} \left(V_{DD} - V_o - V_{INL} \right)^2 + V_{IO} + \frac{V_o}{2}$$

$$\frac{dV_I}{dV_o} = -1 \Rightarrow \frac{K_R}{2} \left[\frac{-2V_o(V_{DD} - V_o - V_{INL}) - (V_{DD} - V_o - V_{INL})^2}{V_o^2} \right] + \frac{1}{2} = -1$$

$$\Rightarrow \frac{K_R}{2} \left[\frac{-2V_o V_{DD} + 2V_o^2 + 2V_o V_{INL} - V_{DD}^2 - V_o^2 - V_{INL}^2 - 2V_o V_{INL} + 2V_{DD} V_o + 2V_{DD} V_{INL}}{V_o^2} \right] + \frac{1}{2} = -1$$

$$\Rightarrow \frac{K_R}{2} \left[1 - \frac{(V_{DD} - V_{INL})^2}{V_o^2} \right] + \frac{1}{2} = -1$$

$$K_R - K_R \frac{(V_{DD} - V_{INL})^2}{V_o^2} = -3$$

$$\frac{K_R (V_{DD} - V_{INL})^2}{V_o^2} = 3 + K_R$$

$$V_o^2 = \frac{K_R (V_{DD} - V_{INL})^2}{3 + K_R}$$

$$V_{IH} = \frac{K_R}{2V_o^*} (V_{DD} - V_o^* - V_{TNL})^2 + V_{IO} + \frac{V_o^*}{2}$$

$$K_R = \frac{K_N}{K_N S} = \frac{1}{6}$$

$$V_o^* = \frac{V_{DD} - V_{TNL}}{\sqrt{1 + \frac{3}{K_R}}}$$

$$V_{TNL} = V_{TN} + \gamma (\sqrt{2\phi + V_o^*} - \sqrt{2\phi})$$

V_o	V_{TNL}	V_o^*	V_{IH}
/	1	0.69	1.99
0.69	1.14	0.66	1.94
0.66	1.13	0.66	1.94

$$V_{IH} = 1.94 \text{ V} \quad NM_H = V_{DH} - V_{IH} = 0.66 \text{ V}$$

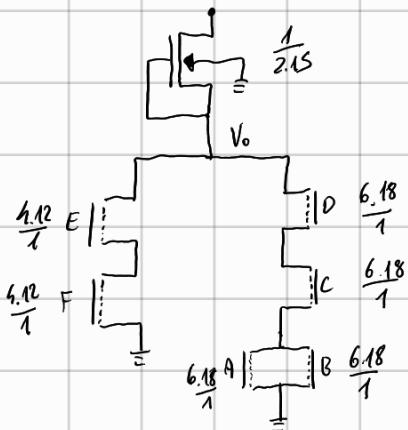
Pmedna dvojsípka:

$$I_D = K_m' \left(\frac{W}{L} \right)_S (V_{DH} - V_{TN0} - \frac{V_{oL}}{2}) V_{oL} = 62 \text{ mA}$$

$$P_{medn} = 84 \text{ mW}$$

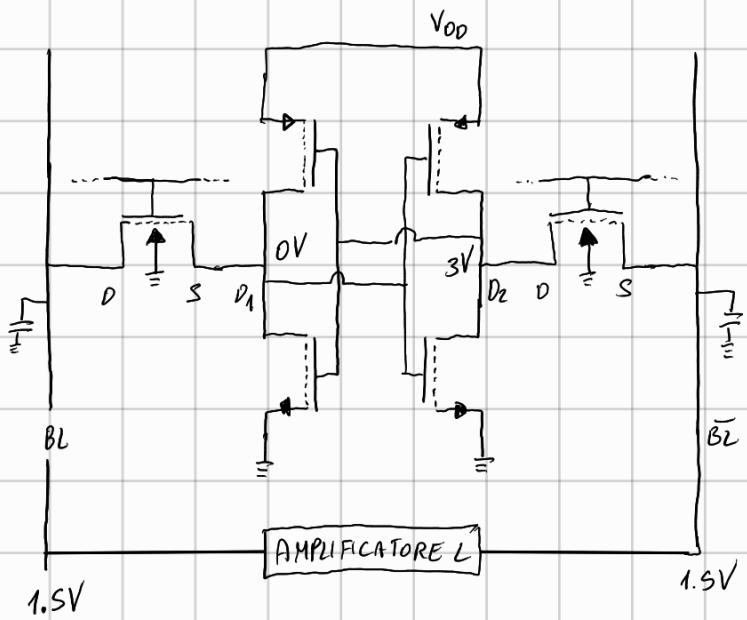
6)

$$Y = \overline{(A+B)CD + EF}$$



$$A = f^2 (1 - 6.18 + 2 \cdot 6.12 + 2.15) = 87.8 \cdot 10^{-12} \text{ m}^2$$

4)



Durante un ciclo di lettura di un valore, il primo passo necessario che viene portato a termine dall'amplificatore è quello di prelevare le bitline a un livello fissato (schermate a metà tra i 2 valori logici) con l'obiettivo di far cominciare al latch di lettura (che ora è bloccato nella posz. iniziale) al valore salvato nelle celle di memoria.

Supponiamo che il dato sia memorizzato su D_1 , mentre il suo negativo su D_2 .

Una volta prelevate le bitline, il segnale di prelevare dell'amplificatore si abbassa, lasciando libero al latch di evolversi su un delle due stadi (0 logico o 1 logico).

Viene a questo punto attivato il segnale di wordline e il transistor di accesso apre il canale, facendo scomparire corrente.

Il moto delle corde porta le capacità di BL e \bar{BL} a varicare la loro tensione, variazione che viene percepita dall'amplificatore instabile, che evolverà dalla direzione indicata dal gradiente di tensione prima che ci possa essere il rischio di cominciare nelle celle di memoria. A quel punto, BL sarà a $0V$ e \bar{BL} a $3V$, chiudendo il canale e bloccando l'operat. di lettura, che prosegue per il tempo richiesto dalle cappacità di BL per la commutazione, sarà un'operat. più lunga del salto.