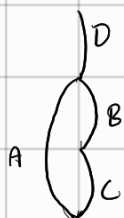


① IMPLEMENTA SCHEMA MOS

$$Y = \overline{(A + BC)}D$$

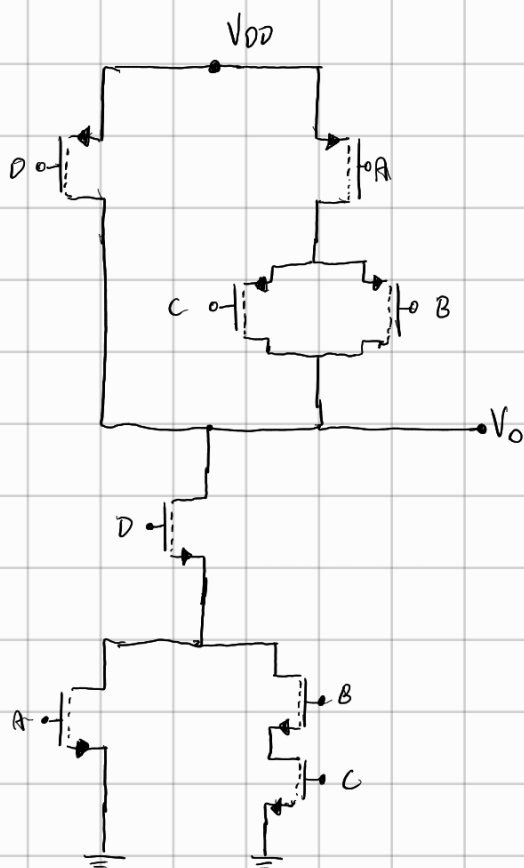
PULL DOWN



PULL UP



RETE:



SIDE NOTE: INSERISCI VERSO DELLE CORRENTI E
FAI CAPIRE CHE USI NMOS E PMOS

② DIMENSIONA IN MODO DA AVERE STESSI TEMPI DI PROPAGAZ. DI INVERTITORE DI RIFERIMENTO

$$\left(\frac{W}{L}\right)_p = \frac{5}{1} \quad \left(\frac{W}{L}\right)_n = \frac{2}{1}$$

$$R_{eq} = \frac{\tau}{\frac{W}{L}} \rightarrow \text{Parametro uguale per tutti.}$$

↑
Req sul percorso

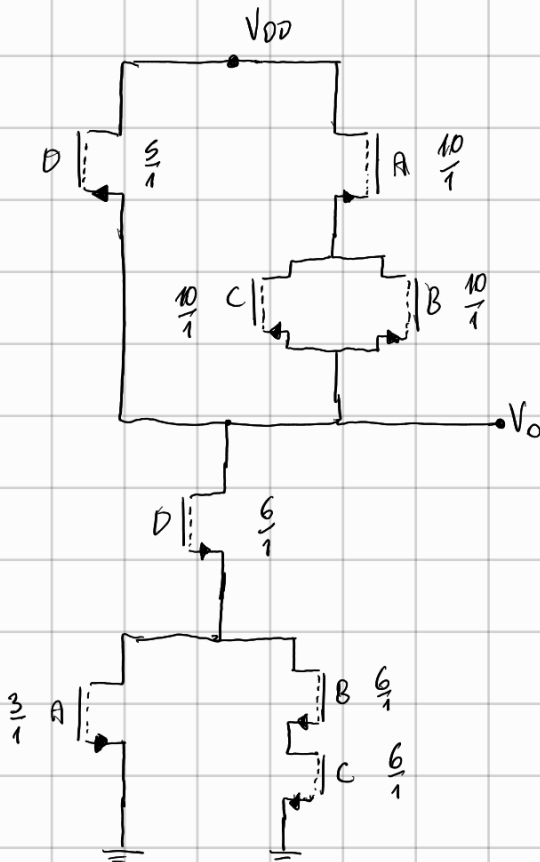
Considero percorso più lungo in serie:

Pull UP ha BA e CA.

Su questi rami ho resistenza eq. 2 volte superiore a quella di riferimento. Devo raddoppiare rapp. di aspetto per avere una resistenza diretta sui singoli MOS. ($\frac{10}{1}$).

Su D però non devo fare queste considerazioni.

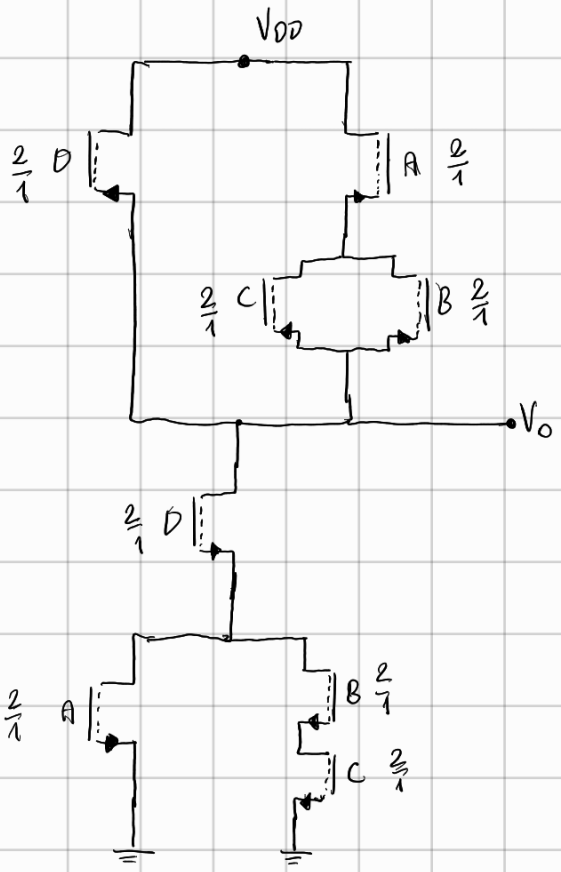
Stessa cosa per pull down.



Per dimensionamento di A: $\frac{\tau}{\left(\frac{W}{L}\right)_A} + \frac{\tau}{\frac{6}{1}} = \frac{\tau}{\frac{2}{1}}$

$$\frac{1}{x} = \frac{1}{2} - \frac{1}{6} = \frac{1}{3} \Rightarrow \left(\frac{W}{L}\right)_A = \frac{3}{1}$$

© VARIAZ. RITARDO MEDIO DI PROPAGAZIONE CON PROGETTO AD AREA MINIMA



Considero caso peggiore per valutare tempo di prop. massimo.

$$AB/AC \rightarrow R_{eq} = R_B + R_A = 2R_A = \frac{2 \cdot \frac{V}{W}}{\frac{L}{1}} = \frac{2V}{\frac{2}{1}} = V$$

NEL RIFERIMENTO $R_I = \frac{V}{(\frac{W}{L})_{ref}} = \frac{V}{5}$

$\frac{R_{eq}}{R_I} = \frac{V}{\frac{V}{5}} = 5$, che a parità di carico capacitivo, implica che $\tau_{PLH} = 5 \tau_{PLH,ref}$

NEL CASO PULL DOWN:

$$R_I = \frac{V}{\frac{2}{1}}$$

$$R_{eq} = R_D + R_B + R_C = \frac{3V}{\frac{2}{1}} = \frac{3}{2}V$$

$\frac{R_{eq}}{R_I} = 3$, che a parità di carico capacitivo, implica che $\tau_{PHL} = 3 \tau_{PHL,ref}$

$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} = 4 \tau_{ref}$ Posso calcolarlo così perché i due τ sono uguali.

Hip: $\tau_{PLH,ref} = \tau_{PHL,ref}$

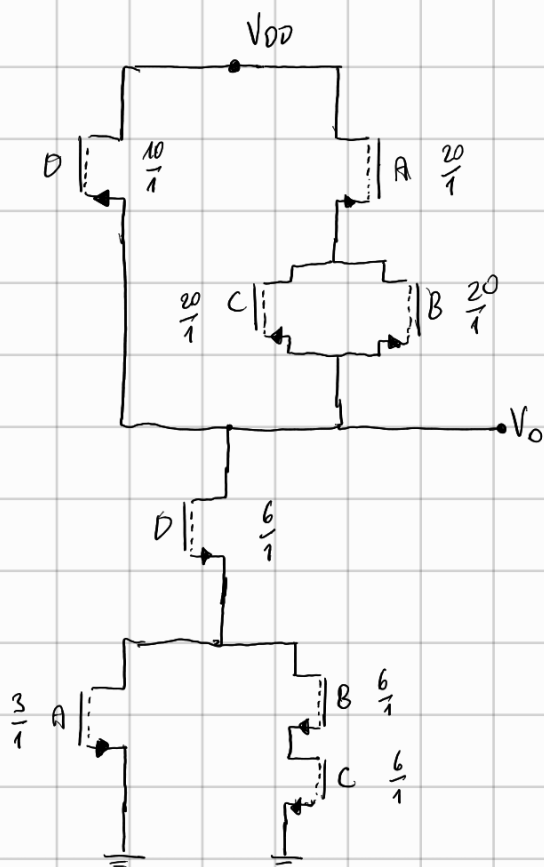
① AREA TOTALE CON FEATURE SIZE MINIMA

$$A_{tot} = f^2 \cdot 8(2 \cdot 1) = 16f^2 \quad [\text{RICORDA UNITÀ DI MISURA}] \quad \text{con } f \text{ feature size}$$

↳ Ho 8 transistor uguali.

↳ Rapporto d'aspetto minore che $W=2$ e $L=1$

② DIMENSIONARE IN MODO CHE TRANSIZIONE H-L SIA 2 VOLTE PIÙ LENTA DI L-H



TRANSIZIONE H-L richiede rete di pull down.

TRANSIZIONE L-H richiede rete di pull up.

Per avere H-L con tempo di ritardo pari al doppio di L-H, sotto l'HP che nell'invertitore di riferimento, $\tau_{PHL} = \tau_{PLH}$, allora

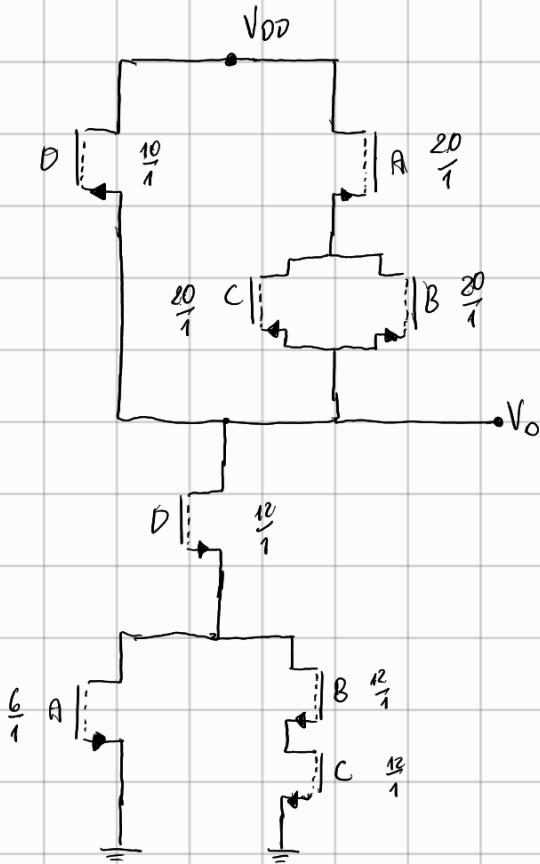
basta dimezzare il rapporto d'aspetto della rete di pull-down per avere

un tempo di ritardo 2 volte maggiore a quello di base. Nota: questo porta portandoci a un

rapporto d'aspetto di $\frac{1}{7}$ su A, che è inferiore al limite tecnologico di $\frac{2}{7}$. Allora raddoppiamo il

rapporto d'aspetto del pull-up.

(F) DIMENSIONARE IN MODO DA AVERE RITARDO PARI ALLA META' DEL RIFERIMENTO



Prendo il progetto dello stesso ritardo del riferimento e raddoppio i rapporti d'aspetto.