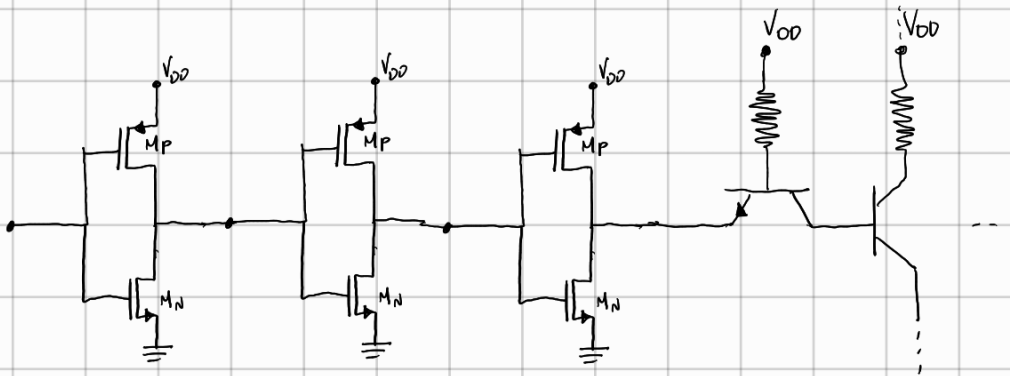
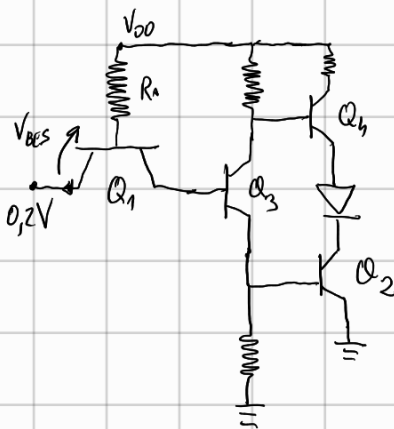


A) DISEGNARE SCHEMA INTERFACCIA CMOS-TTL



L'interfacciamento è eseguito con 2 CMOS a cascata, per non alterare la funzione logica, in cui il secondo CMOS fornisce le uscite richieste secondo una modifica dei rapporti d'aspetto.

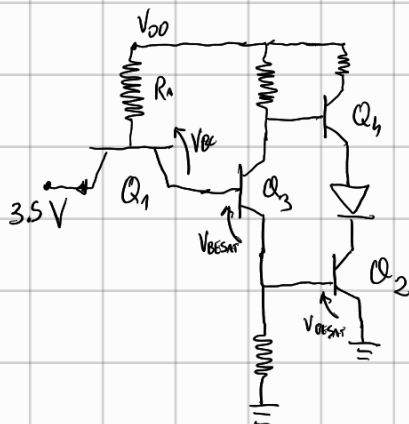
Calcolo le correnti del TTL:



Con ingresso basso, Q_1 in saturazione a corrente aperta:

$$V_{DD} - R_A I_B - V_{BE3} - V_{CE2} = 0$$

$I_B = 1 \text{ mA} = I_E = I_L$ La porta logica una corrente di 1 mA



Con ingresso alto, Q_1 in ZAI, Q_2 e Q_3 in sat.

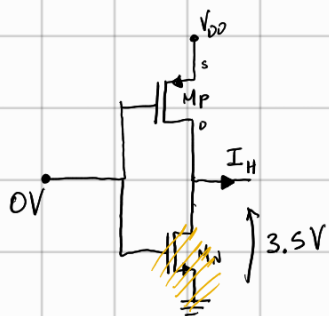
$$V_{DD} - R_A I_{B1} - V_{BE1} - V_{BE3} - V_{CE2} = 0$$

$$I_{B1} = 675 \mu\text{A}$$

$$I_{E1} = \beta_R I_{B1} = 203 \mu\text{A} = I_H$$

② DIMENSIONARE MOS PER AVERE LIVELLI CORRETTI

CASO INGRESSO BASSO:



$$I_H = 203 \mu A$$

$$\text{Se ho } 0V, V_{SG} = 5V$$

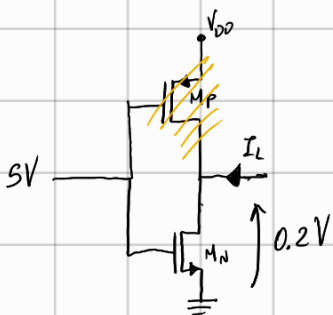
$$V_{SD} = V_{DD} - V_O = 5 - 3.5 = 1.5V$$

$$V_{SD} < V_{SG} - |V_{TP}| = 4V \quad \checkmark \quad \text{LAVORO IN TRODO}$$

$$I_D = K_P' \left(\frac{W}{L}\right)_P \left(V_{SG} - |V_{TP}| - \frac{V_{SD}}{2}\right) V_{SD}$$

$$\left(\frac{W}{L}\right)_P = \frac{4.16}{1}$$

CASO INGRESSO ALTO:



$$V_{GS} = 5V \quad V_{GS} - V_{TN} > V_{DS} \quad \text{LAVORO IN TRODO}$$

$$I_L = 1mA$$

$$I_D = K_N' \left(\frac{W}{L}\right)_N \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2}\right) V_{DS}$$

$$\left(\frac{W}{L}\right)_N = \frac{51.3}{1}$$