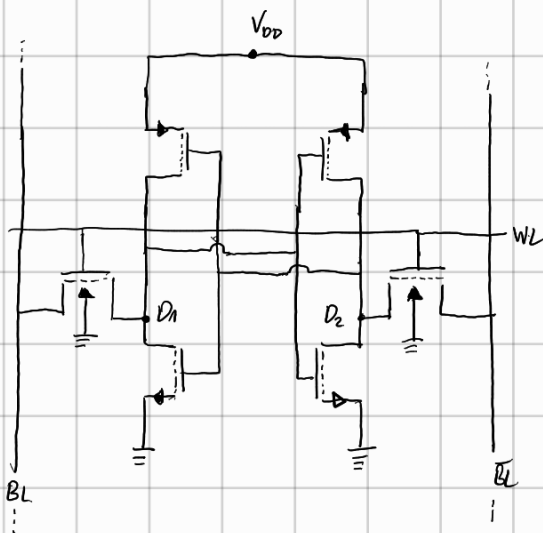
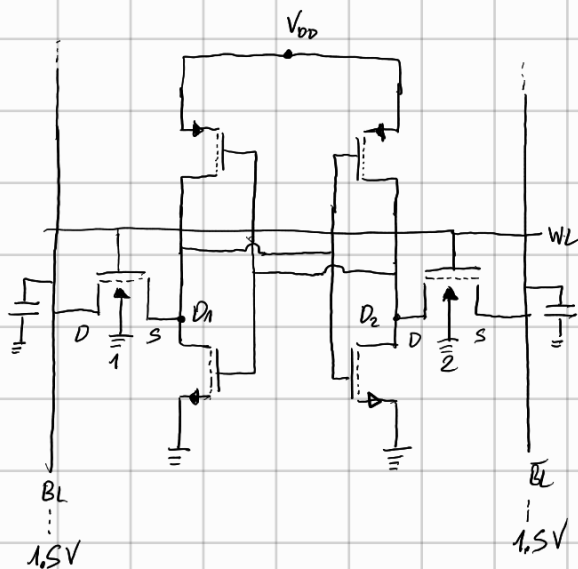


① SCHEMA CELLA RAM CMOS 6-T



② DESCRIVERE CICLO DI LETTURA



Suppongo che il dato sia memorizzato in D_1 e il dato negato in D_2 .

Suppongo che il dato sia uno 0. Suppongo che $V_{DD} = 3V$

Nell'operazione di lettura, per prima cosa vengono connesse le BL e \overline{BL}

a una tensione intermedia tra 0 logico e 1 logico, cioè 1.5V.

Un segnale di precarica forza l'amplificatore di lettura della colonna di memoria

alle sue condizioni di lavoro instabile. A quel punto, il segnale di precarica si

abbassa lasciando libero di commutare il valore nel latch di lettura, e viene

alzato il segnale di wordline, creando il canale nei MOS 1 e 2 e facendo scorrere

corrente tra D e S. La lettura, che presenterà un certo carico capacitivo per la

lunghezza del filo, tendono a scaricarsi mano a mano che la carica si sposta nel canale:
a quel punto, la variazione di tensione di BL e \bar{BL} si ripercuote sull'amplificatore
di lettura, che si stabilizza sul valore del dato memorizzato. La rapida commutazione
impedisce inoltre al latch di memoria di avvicinarsi alla zona di lavoro instabile, che
comporterebbe un rischio per la salvaguarda del dato memorizzato.

L'operazione è più lenta di un scallina, perché il condensatore di BL deve
scaricarsi da $1.5V$ a $0V$, impiegando un certo periodo di tempo.