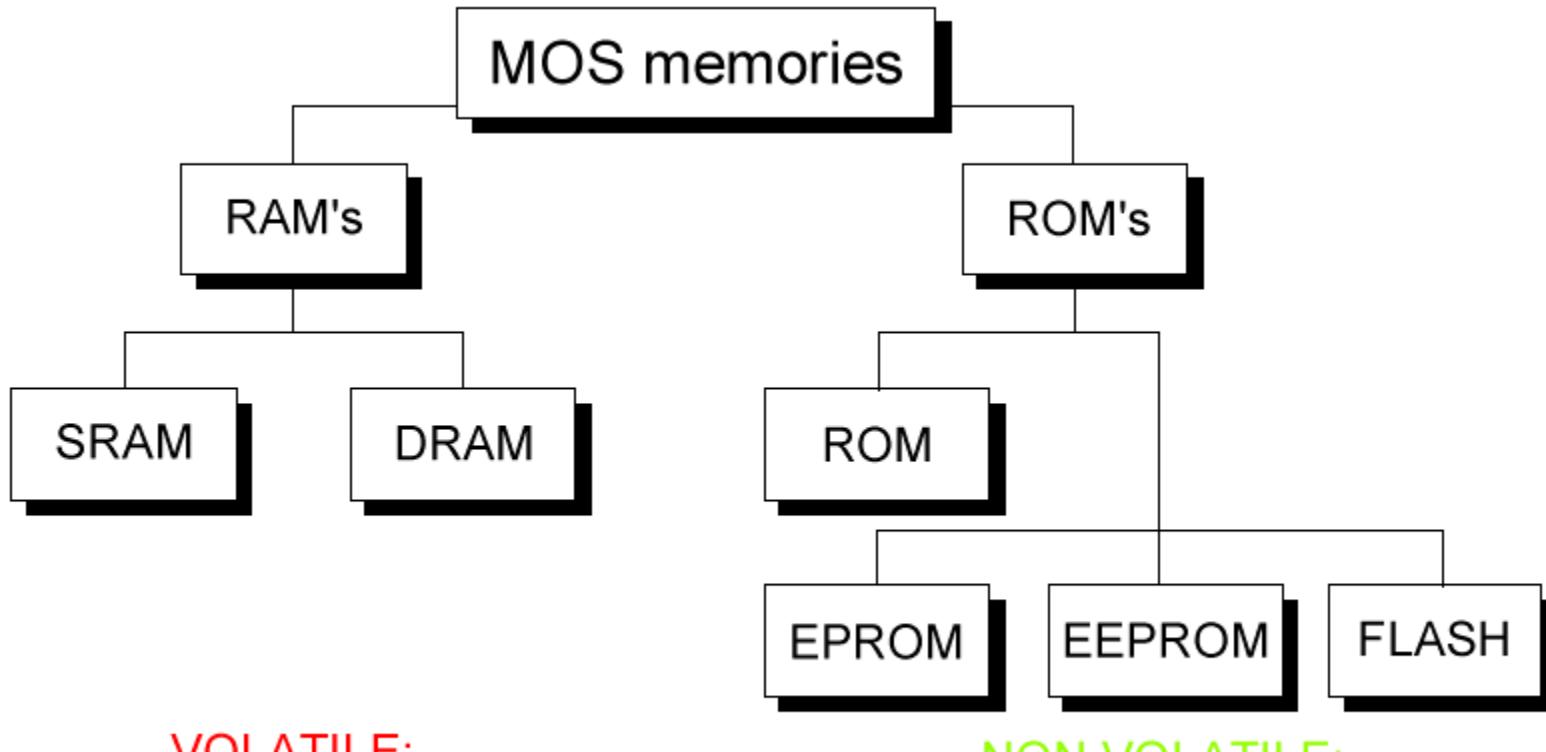


# Memory TREE

Sistema fisico in grado di memorizzare i bit.



VOLATILE:

Power off: contents lost

NON VOLATILE:

Power off: contents kept

Esistono memorie magnetiche (memorie sequenziali) oppure dischi che consentono random access memory.  
Memorie di massa, CD, DVD, Blu Ray. Memoria di lettura e scrittura: le V memorizzate come punti riflettenti e non riflettendo.

2 Branchi: RAM = memoria ad accesso casuale

ROM sono delle ram, ma read only memory.

Vera differenza: read only oppure no? No.

VOLATILE e NON VOLATILE.

1) Se non alimentate si cancellano. ES: USB, Hard Disk ecc.

2) Volatili: relegate a memoria controllata dal PC. Nelle volatili uso circuiti di memoria per salvare info, quindi sono alimentazione. Volatili per natura sono più veloci e più durature.

Non volatili: fare volatili su qualche cosa che deve essere reversibile.

ROM sono ormai non volatili. Scrivere in numero finita di volte.

RAM: Volatili (Si cancella, perché ormai non ha RAM)

SRAM, DRAM, dovuti al registrazione e capacità di mantenere dati per tempo indeterminato purché alimentati

STATIC RAM e DYNAMIC RAM  $\Rightarrow$  circuito di lettura e scrittura su condensatore per evitare che si

$\downarrow$  Più grandi, hanno circuito elettronico  
che mantiene un tempo indeterminato dei salvato  
scrivere condensatore.

My notes:

EPROM -- , differenza per scrittura, lettura e cancellazione.

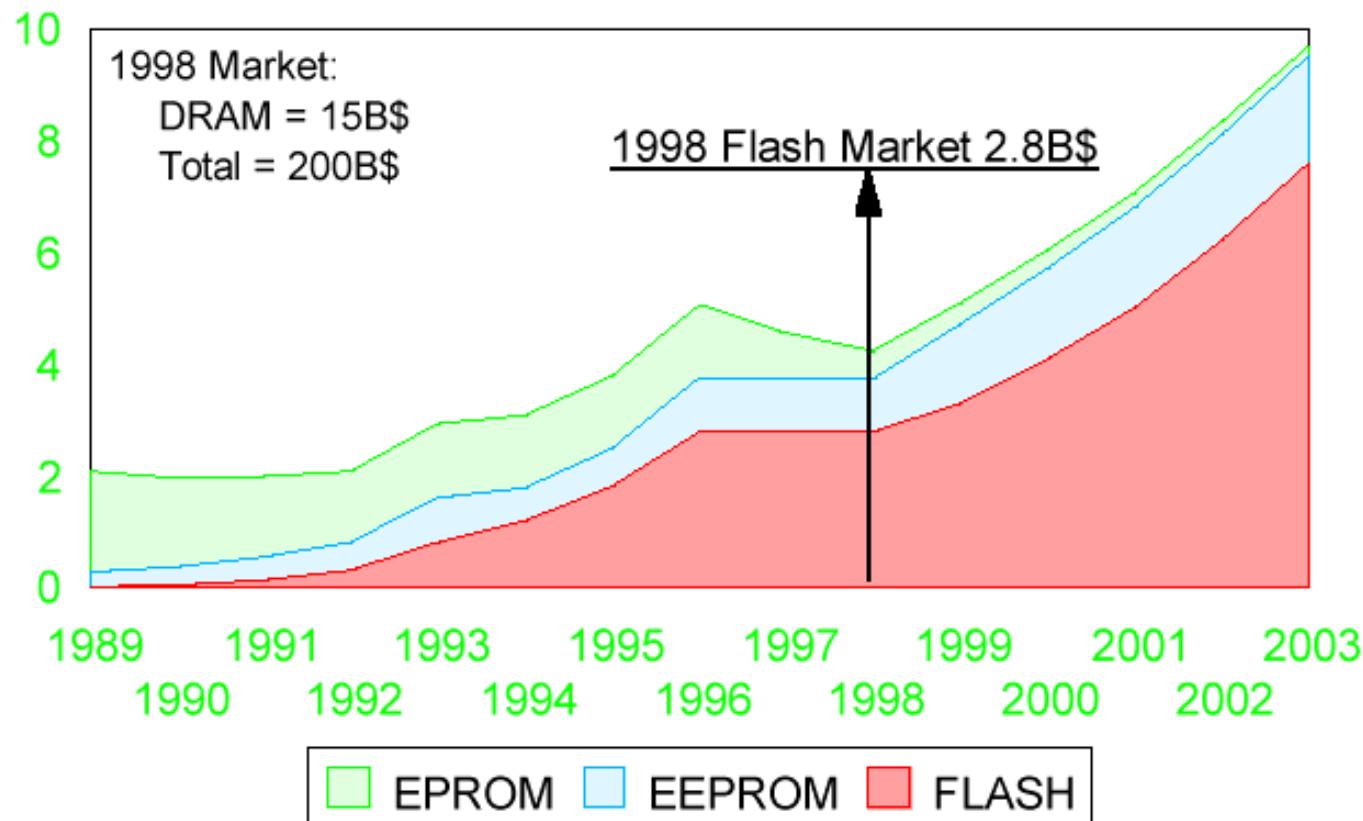
$\hookrightarrow$  EPROM: si possono scrivere elettronicamente ma non cancellabili.

EEPROM: electrically erasable programmable ROM. Programmabili e cancellabili elettronicamente.

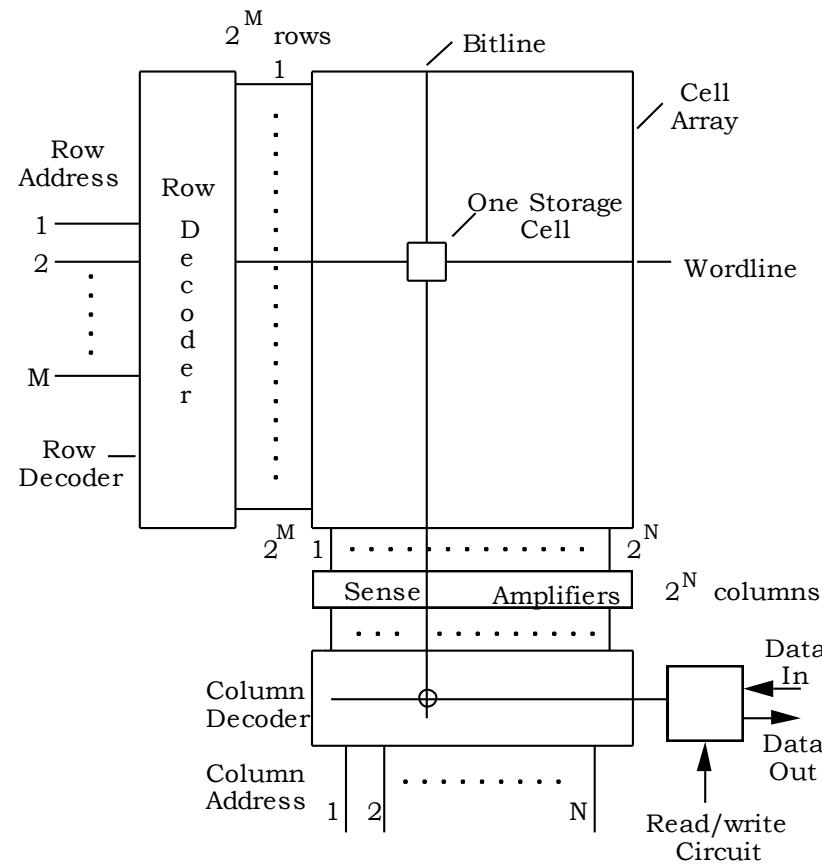
FLASH: sostanzialmente da EEPROM ma tecnologia è la stessa.

# Mercato delle memorie non-volatili

Billion \$



# Organizzazione della memoria



Le memorie hanno una struttura a matrice di celle indirizzabili mediante reti di decodifica per gli indirizzi di riga e di colonna

Come è organizzata?

Elemento di memoria da sì è quella che contiene bit. Organizzata in Matrice.

Dove posso accedere simultaneamente per scrivere.

M righe e N colonne.

- Un indirizzo di riga è un indirizzo di colonna. M bit per riga. Con M bit ho  $2^M$  righe rappresentabili.  
N bit per colonna  $2^N$  colonne.

A ogni combinaz. delle righe corrisponde riga che si alza. Stesso per le colonne.

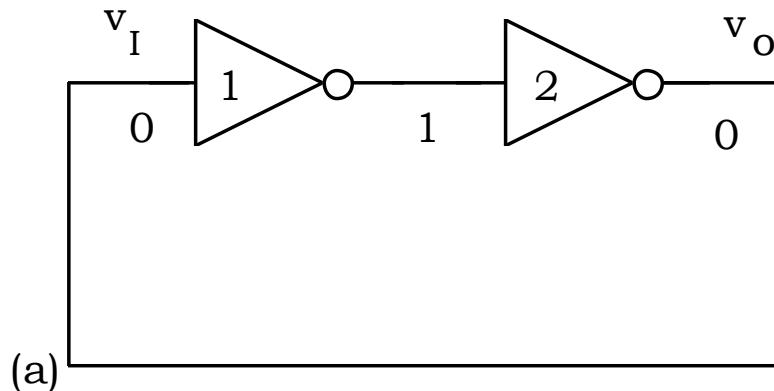
Dobbiamo capire come scrivere e leggere.

$$2^N \times 2^M \text{ bit}$$

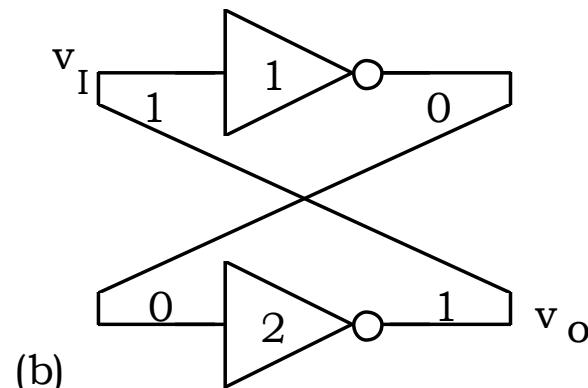
## Latch come elemento di memoria

Circuito a retroazione; uscita riportata all'ingresso.

Due invertitori collegati in cascata.



Stabilizza il circuito nel punto che  
abbia 0 in uscita

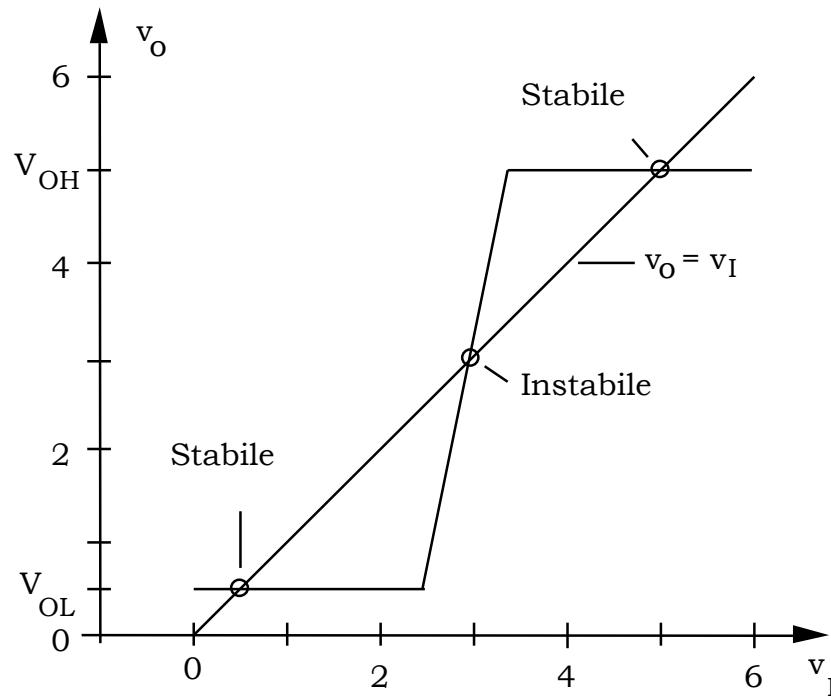


Così come qui stabilizza 1.

Si utilizza per realizzare memorie RAM statiche, cioè memorie che conservano l'informazione finché è presente la tensione di alimentazione

Curva di funzionamento del circuito  
di due NAND.

## Punti di lavoro del latch



I due punti di lavoro **stabili** rappresentano “0” e “1”

Il punto di lavoro **instabile** è utilizzato per gli amplificatori di lettura

Vincolo circolare:  $V_o = V_I$  sempre. Quando la tensione della corrente va in avanti con  $V_o = V_I$ .

Ho 3 soli punti di lavoro: o sta qui, o su o al centro.

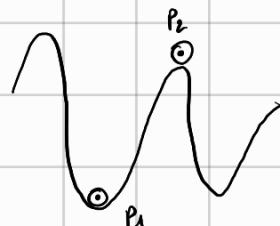
2 sono stabili e 1 instabile; se sono qui, con piccole fluctaz. dei parametri che spostano tensione non ho variaz. dell'usata: curva orizzontale. usata è regolare.

Se  $V_o$  non cambia, non cambia  $V_I$ . Si stabilizza.

Al centro invece, se cimento di poco la  $V_I$ , la  $V_o$  aumenta, ma  $V_I = V_o$ ,

aumenta la  $V_I$  e si continua con questo effetto a catena.

## ESEMPIO

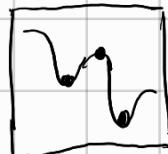


La bolla è un equilibrio in entrambi i punti.

Ma basta un piccolo squilibrio nel  $P_2$  per farlo spostare via da lì.

In generale con tot energia puro da un punto stabile a uno instabile. A meno che non ci sia qualcosa che lo blocca nel punto instabile.

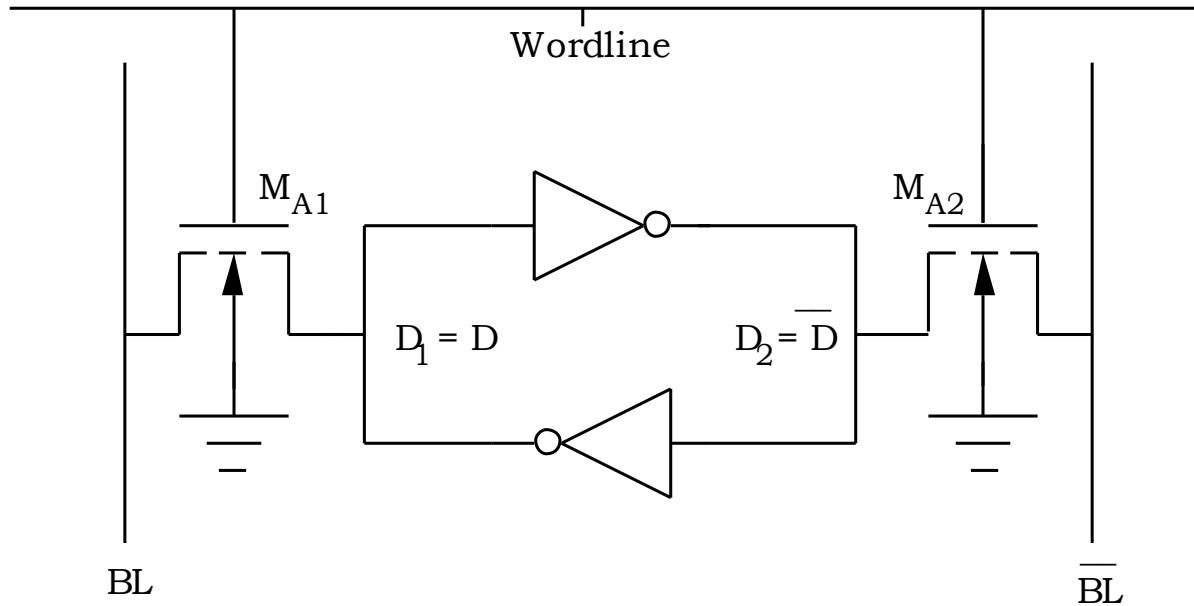
EQUIVALENTE DI DUE VALI CON COLLINA IN MEZZO:



Se il bollito sta qui ho memorizzato O, S, I.

Per cambiare ci deve dare una bella botta.

# Cella di memoria RAM con latch



$M_{A1}$  e  $M_{A2}$  sono detti transistori di accesso

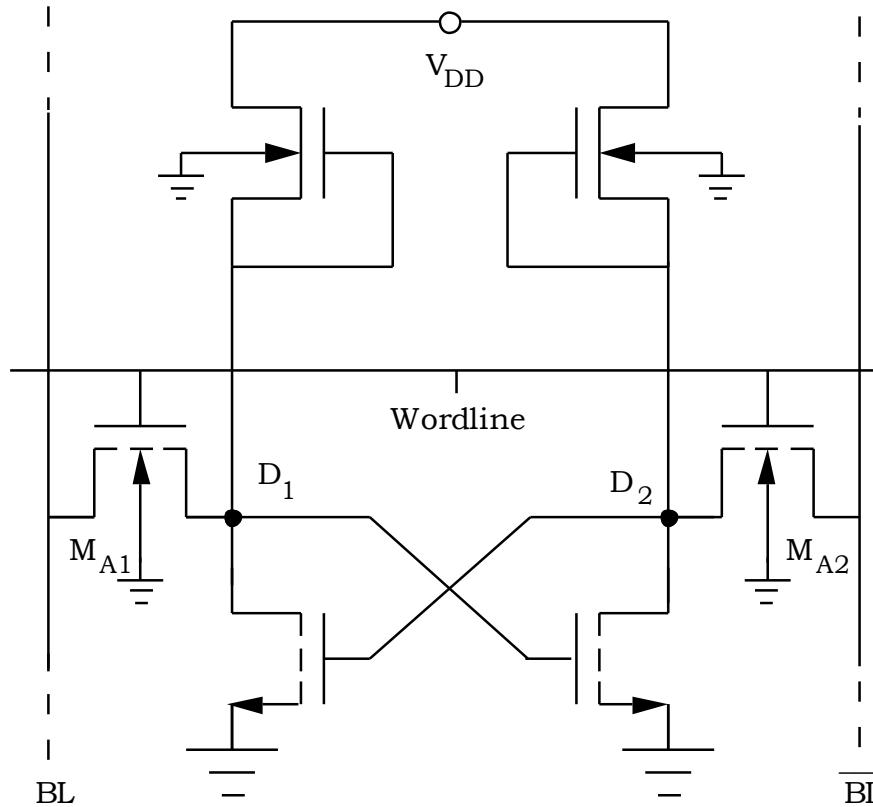
Ho un latch, che da solo non fa cella di memoria può memorizzare 0 o 1.  
Come si accede? E come apre su dc bus? 2 TRISTOR di accesso collegate  
così alle bitline e alla bitline negata.

→ ALIMENTO GATE

Dovrò accendere questi mosfet, e li accendo con la wordline, che porta a stato  
alto quando indica riga. Bitline viene abilitata da indirizzo di colonna.

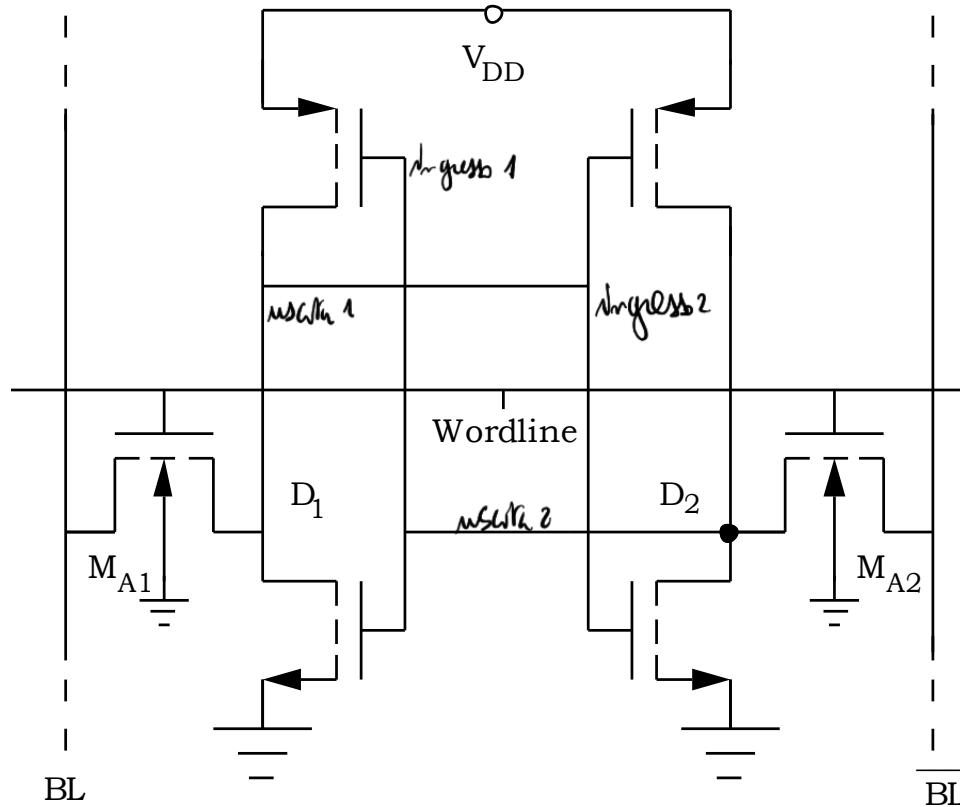
Ogni indirizzo riga abita 1 sola wordline. Ogni indirizzo di colonna abita  
un solo bitline di colonna. Come posso farlo? Hp 1↓

# RAM statica NMOS a 6 transistori (6-T)



NMOS con curvo a sintonetico. Usarla del primo va nro ingresso del secondo  
e viceversa.

# RAM statica CMOS a 6 transistori

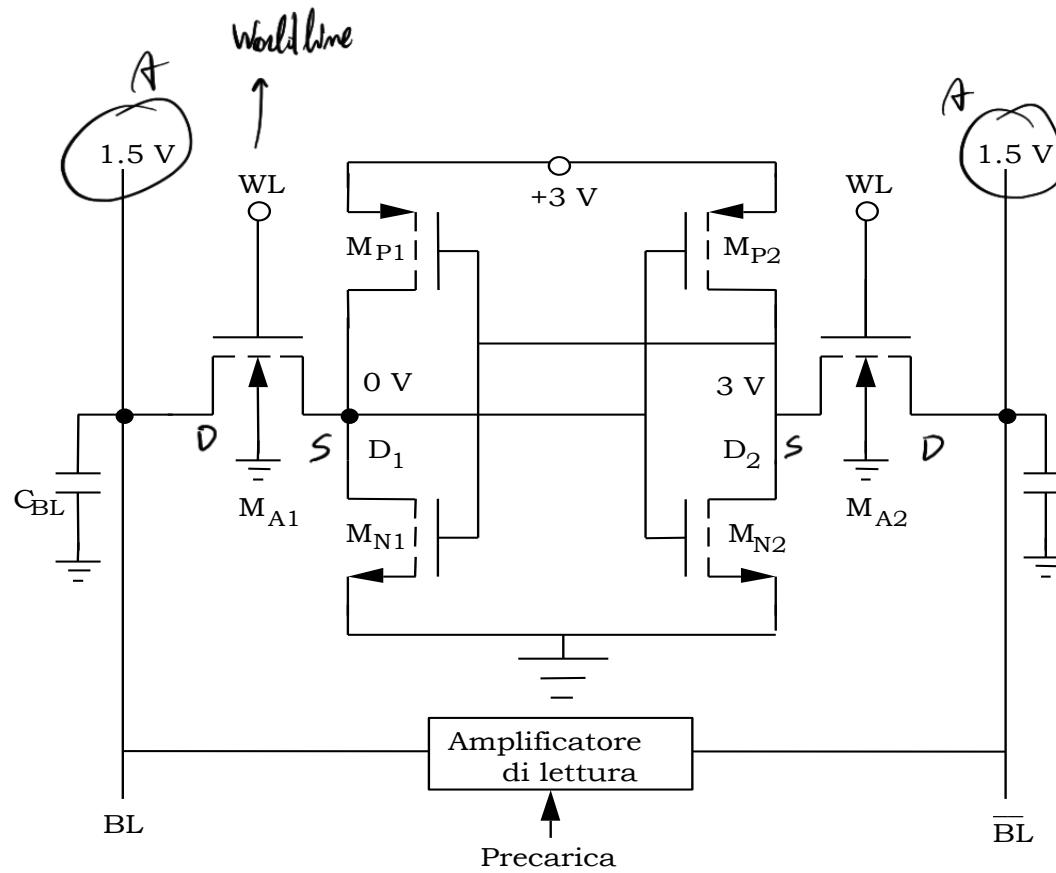


Implementazione 2 con CMOS

Lettura di uno “0” nella cella 6-T  $\Rightarrow$  6 Transistor:

6 per il 2 inverters

e 2 di accesso



$\nearrow$  Capacitivit  della bit line. Perch    una pista che serve tutta la colonna (connessa a maglia di transistori). A livello di capacit  equivalente che vede la linea,   affatto grande.

Come viene letto uno 0? Amplificatore di lettura serve a leggere dati e a prevenire le false in uscita di lettura e scrittura. C'è uno per ogni colonna.

Suppose l'uso simbolo è Dato, a destra ho due regoli.  $V_{O1} = 0$   $V_{O2} = 3$ . Quindi in questa condiz. c'è un 0. Come capisco che ho 0?

Come faccio a scendere quello 0? La pena si deve duplicare.

PRECARICA DELLA BITLINE: Mano segnale alto all'amplificatore di lettura e impone tensione = sulla bitline: 1.5 e 1.5, la metà, che permette di vedere meglio le cose.

(A).

Condensatore carica a 1.5V adesso. Ora, che si fa nell'amplificatore? Un latch! Identico a quello sopra. Operaz. di preciso: forza a lavorare nel punto instabile, quello di mezzo. Segnale di preciso forza il latch sulla posizione instabile. Non si sposta.

Ora devo sfruttare qualche per capire che ho memorizzato: latch già copia il valore corretto: faccio cadere la pallina nel valore corretto. Lascio la pallina e devo fare in modo che arrivi al soffio. Allora segnale di preciso. E questo soffio lo dà la worldline.

La worldline è 0 per ora. Mano segnale di segnali 1.5 e 0 a SWIN e DRAIN a SWIN e SOURCE a destra. Contiamo a destra.

Allora segnale di WL: va a 3V. Ora sblocco il soffio: si accende come a SWIN e destra (A SWIN molto meglio).

$V_{GSMM} = 3V$ , acceso come che mette in comunicazione SO. Funziona tutto, non ha importanza. A SWIN c'è condensatore. Tende a scaricarsi perché consente fuga a massa. Tensione si abbassa leggermente perché condensatore si collega alla massa.  $V_{C82}$  scende un po'. Appena c'è variaz. la pallina cade verso il basso perché tensione si abbassa. Condensatore è collegato al latch =  $V_I$ .

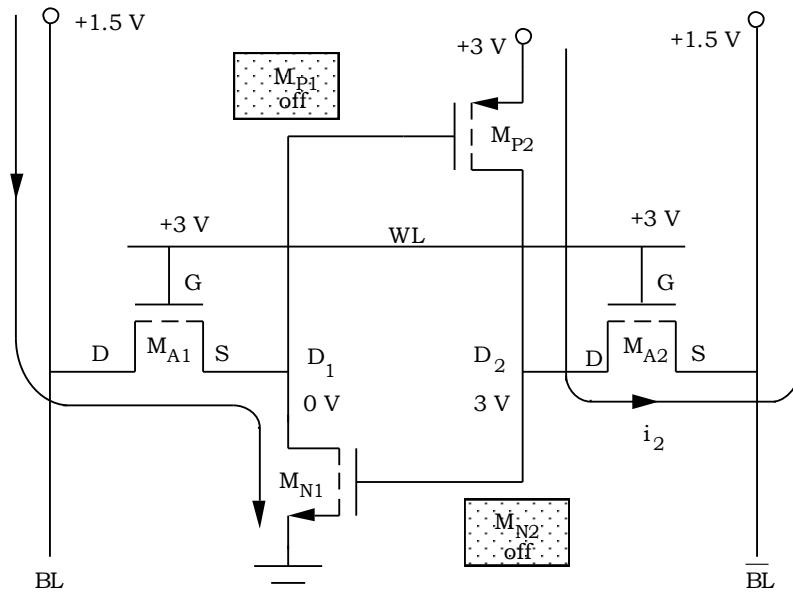
Amplificatore si porta nello stato basso, stato stabile. La pallina si sposta giù.  
Appena arrivato lì diventa stabile. In balene dritta O. Il canale si chiude perché  
 $V_{DS} = 0$ .

Verso, non è facile da far commutare anche il latch dentro perché accende velocemente.

Peché scorsa del condensatore rischia di contrarre un memoria?

  
Amplificatore.  $\Rightarrow$  Se l'hv si muove è un caso, scende sempre di più.  
Siamo qui.  $\Rightarrow$  Se l'hv si muove non succede nulla.

# Lettura di uno “0” nella cella 6-T

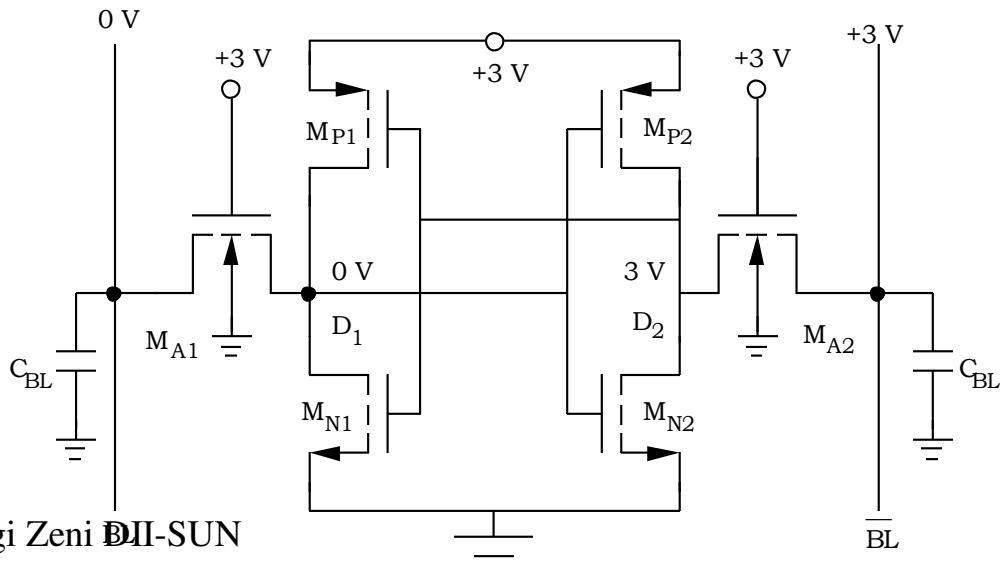


Transitorio

Notare la posizione di Drain e Source dei transistori di accesso

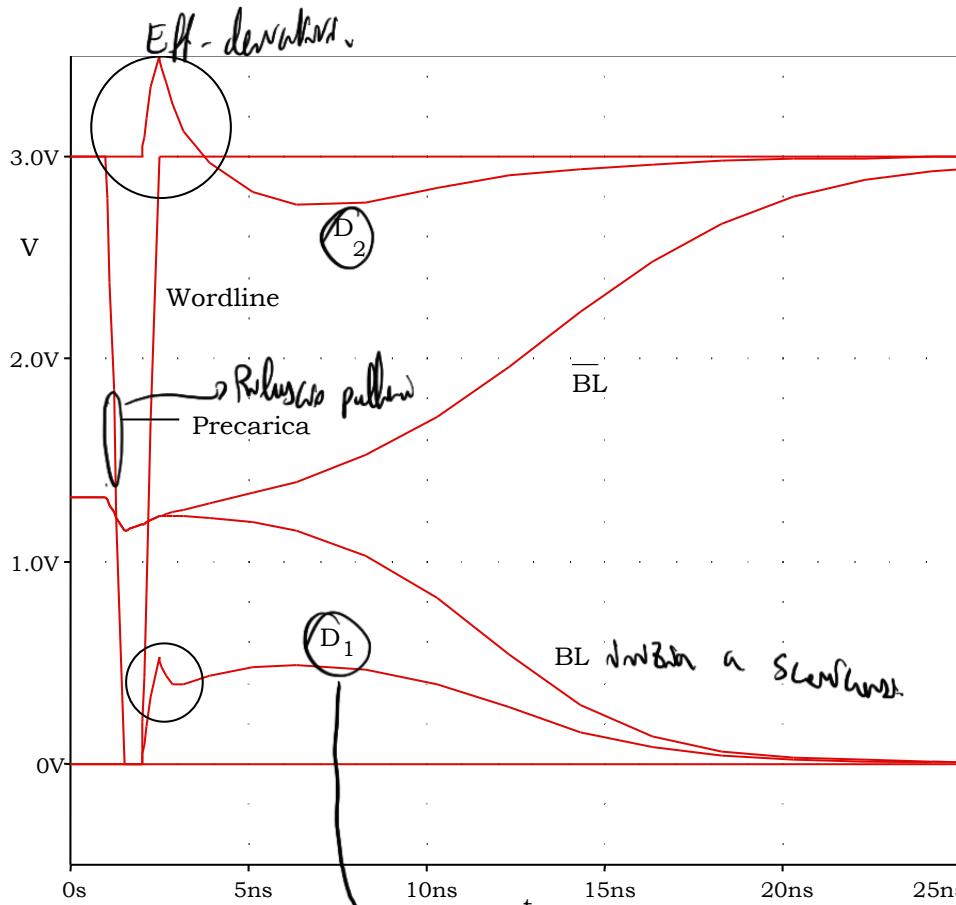
*Cambiamento intesa a segnale  
Sulla massa, ma non è abbastanza da farlo  
commutare perché pallina comunque salta. Tensione  
si abbassa.*

Fine lettura



# Lettura di uno “0” nella cella 6-T

Cosa succede a livello temporale.



Alzo la prescarica sulla colonna.

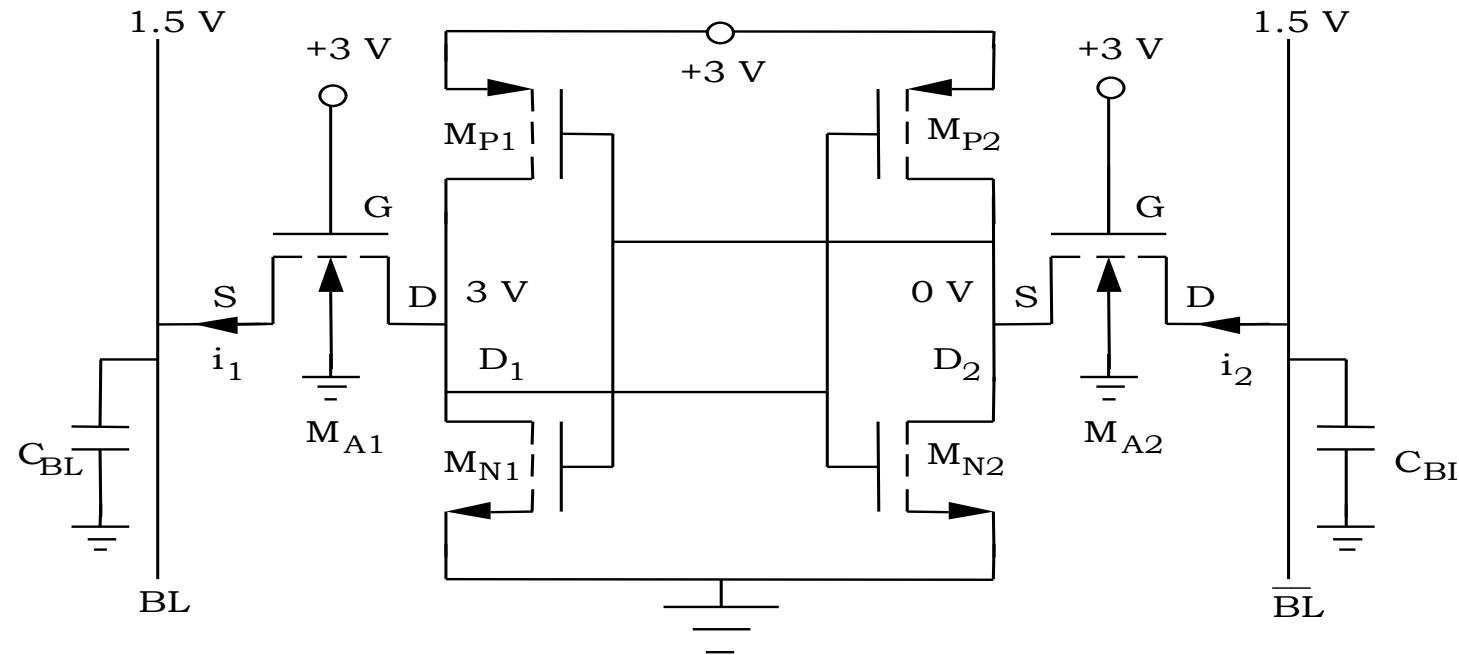
Le due litline sono a 1.5V.

BL va a 0 e BL va a 1.

Tempo di lettura circa 20ns

# Lettura di un “1” nella cella 6-T

Se ho 3 V e man ho batteria, due tensioni tornano a bilanciarsi.



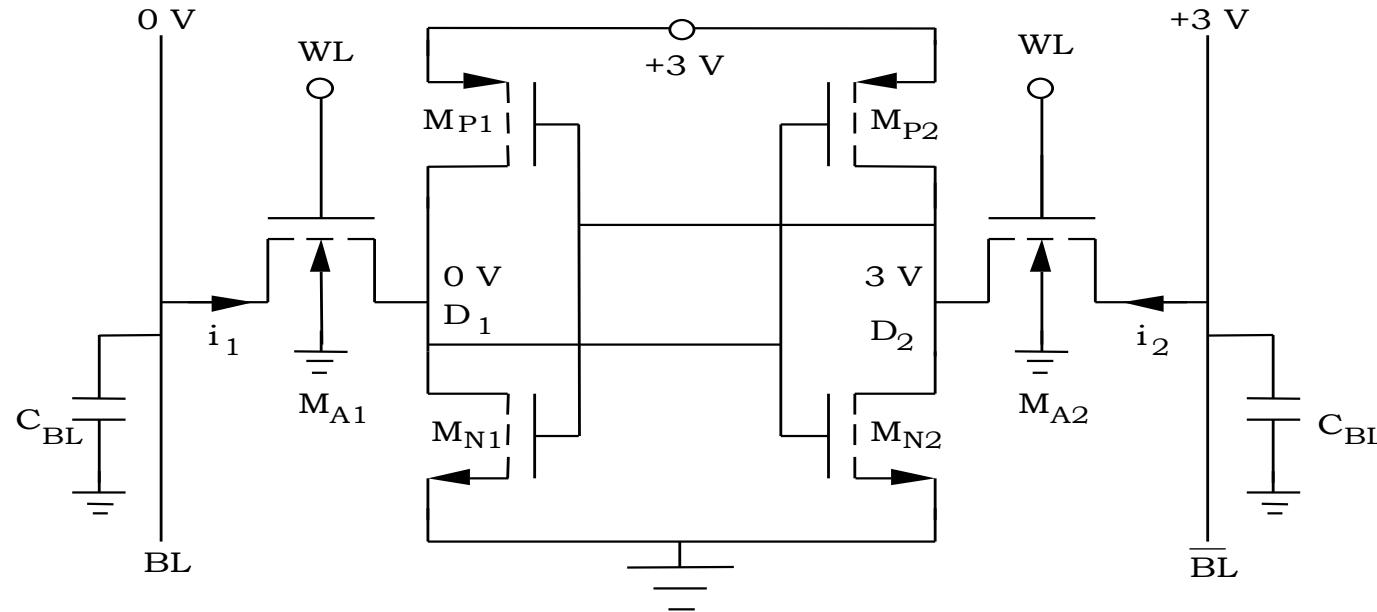
Notare la posizione di Drain e Source dei transistori di accesso

Se ho 1 sonda unipolare. Cambiamo Drive e Source a saturation. Precazione

Sempre unipolare. Se apro WL, converte Vdrive a corrente di tensione.

Come se si abbassasse in po' il potenziale del D. Ma lettore sale subito  
in alto e si stabilizza a valore costante. A 3V non passa più  
corrente perché si chiude canale. Amplificatore da lettura è lo stesso degli  
alti ma ne copia il contenuto.

# Scrittura di uno “0” nella cella 6-T contenente “0”



- Le bitline vengono precaricate al valore da scrivere
- L'accensione dei transistori di accesso non produce alcun effetto

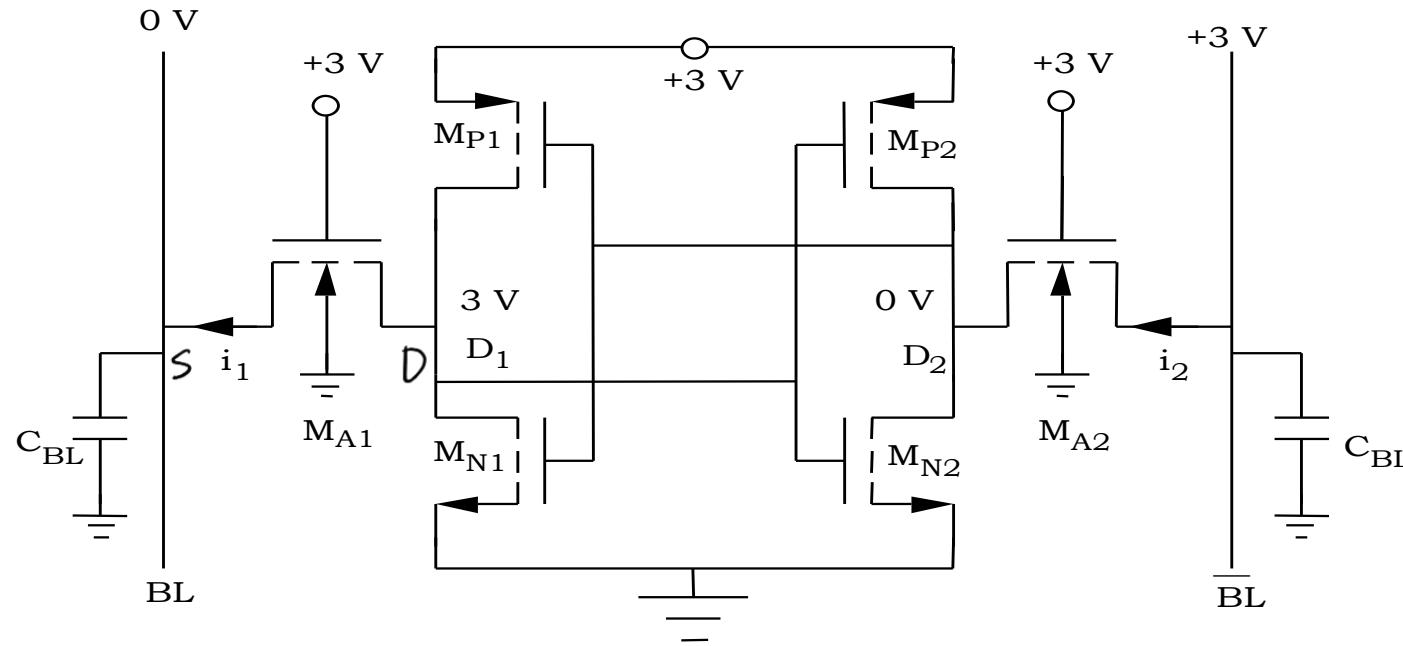
Come scrivere 0 nella cella che contiene 0.

Preciso b/ttme al valore che mi serve. Quella meglio sarà 1.

A questo punto accendo WL. Accels monitor. Si crei una.

Ma ho 0 e 0 e 3 e 3 e non posso converte. Non cambia niente

# Scrittura di uno “0” nella cella 6-T contenente “1”



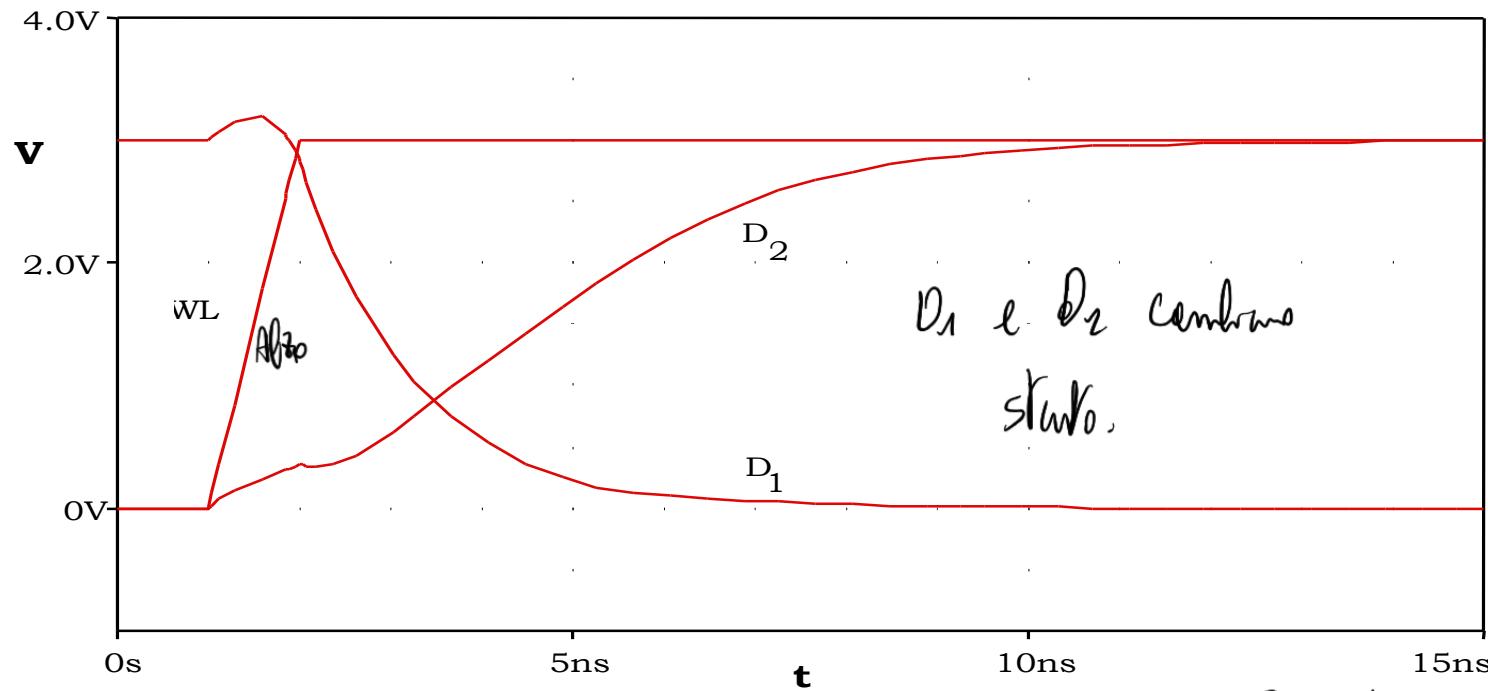
- Le bitline vengono precaricate al valore da scrivere
- L'accensione dei transistori di accesso produce l'abbassamento della tensione su D<sub>1</sub> e l'innalzamento della tensione su D<sub>2</sub> fino a forzare il latch a cambiare stato

Ripetuto punto. Accendo W2.

Ho a sinistra CBL scurso. Ho S e D e si apre il canale. Punto a 3 pompe corrente e Verde a equilibrare le tensioni. Punto o per scie alberata 1h per commutazione fra colline.

Pompa corrente al diavolo verde a scurarsi. Ma alla fine la bottiglia sta a 0. L'ho su scurca q.b. per scavallare parte piatta della curva. Punto importante è che tensione da inizio e fine scurra non cambia. Ci ha messo un certo tempo per cambiare tensione nel caso della lettura.

# Scrittura di uno “0” nella cella 6-T contenente “1”



Evoluzione delle tensioni

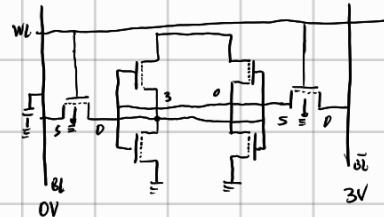
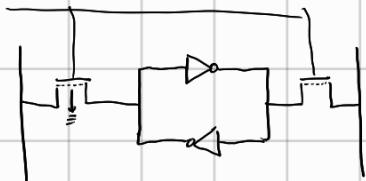
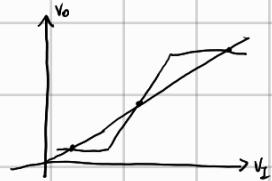
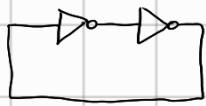
Tempo di scrittura circa 10ns

Dura di meno, perché  
le capacità delle bitline non devono  
cambiare valore.

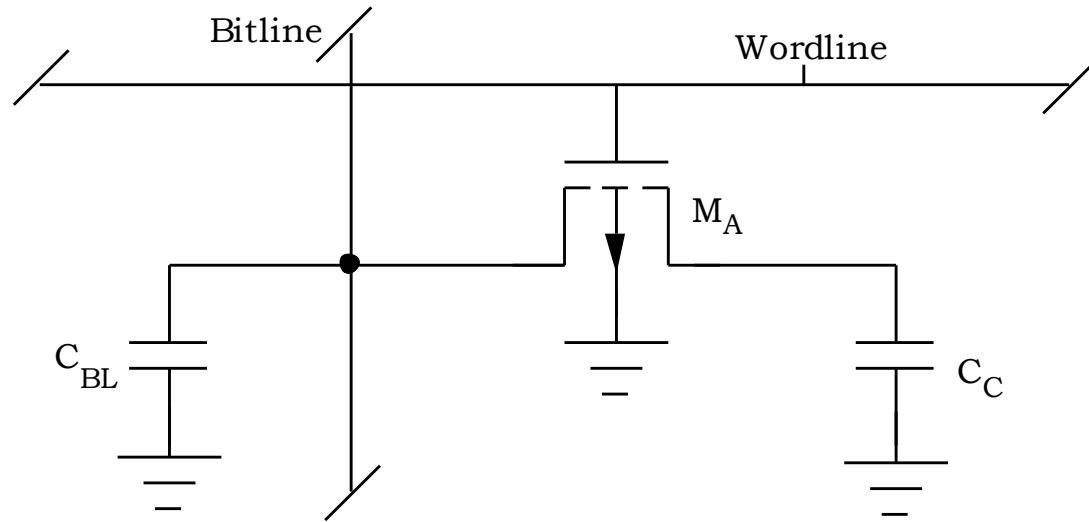
La scrittura è più veloce della lettura perché le tensioni sulle bitline, che presentano una elevata capacità, non devono cambiare durante l'operazione

Capacitá non cambia, a fine lettura BL Sarà 0 o a 1. Salvo il tempo  
necessario alla lettura, ci vuole di più. Nella schermata ho messo 0 e 0  
rimane. Al massimo avrà delle piccole fluttuazioni.

Questi 3 volt dove si trovano? Alla fine del trasistor



# Cella di memoria dinamica a un solo transistore (1-T DRAM)



- L'informazione è immagazzinata nel condensatore  $C_C$
- A causa delle inevitabili perdite di carica l'informazione deve essere ripristinata continuamente (cicli di **refresh**)
- Alta densità di integrazione

MEMORIA DINAMICA: Altriwo i transistor di accesso è il solo condensatore.

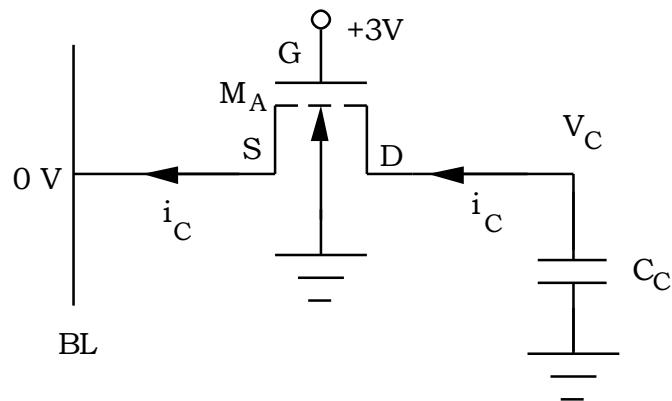
Ora non ho più latch: Ciascun nib condensatore corrisponde a un bit letto.

PROB. è che non si mantenga l'asse. Valore continuamente ripristinato.

Consumo più elevato.

NOTA: Lettura è obbligata. Dopo ricevere subito il dato.

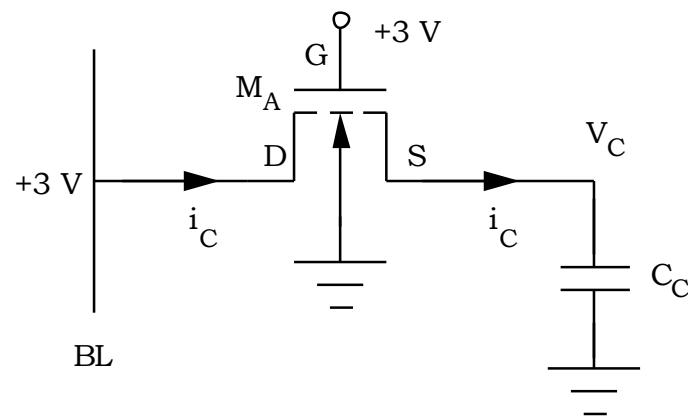
# Scrittura nella cella 1-T



Condensatore si scarica se  
è un zero con valore su BL

Scrittura di uno "0"

$$V_C = 0$$



Se già ma era  
carico si carica

Scrittura di un "1"

$$V_C = V_{BL} - V_{TN}$$

Se ulteriormente la BL con 3, non ottengo 3 perché quando arrivo a  $V_{BL} - V_{SN}$ ,  
Si spegne circuito.  $V_{BL} = V_{W2}$ .

Se voglio che  $V_C$  arrivi a 3, calcolo tensione di soglia con source a 3 per effetto body.  
Dovrò mettere sulla wordline una tensione più alta. Ma non può anche andare bene che  
sia sul riferito un valore più piccolo di 2.

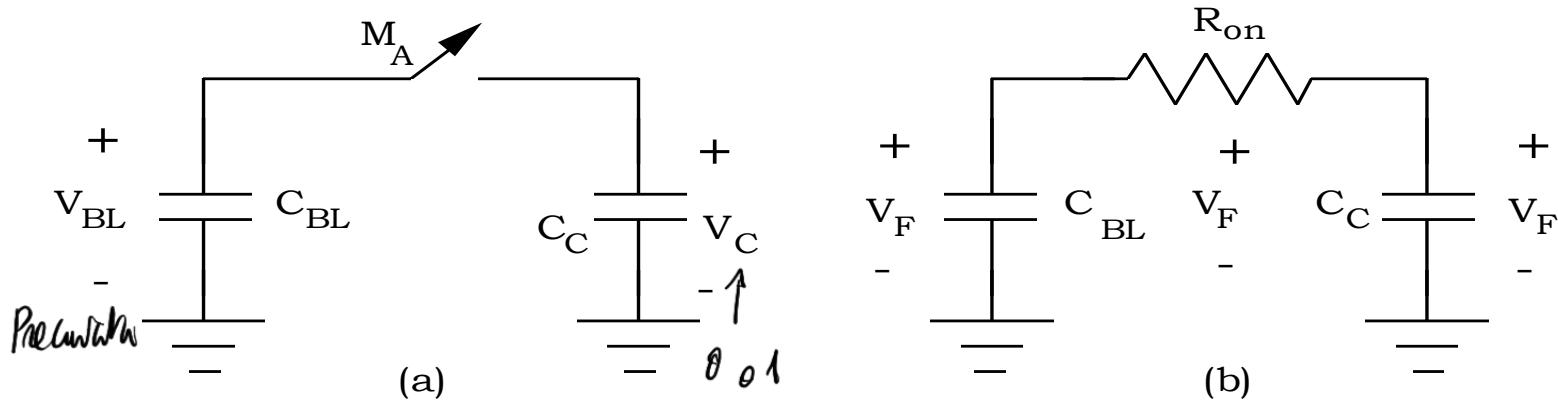
Se voglio 3V  $\Rightarrow 3 + V_{T1}$  sulla gate.

# Lettura nella cella 1-T

Le **operazioni** sono:

- Precarica della bitline a  $V_{DD}$  o  $V_{DD}/2$
  - Attivazione dell'amplificatore di lettura
  - Abilitazione del transistore di accesso (wordline)
- 
- Dopo l'abilitazione del transistore di accesso avviene la ridistribuzione della carica tra le due capacità  $C_C$  e  $C_{BL}$  ( $C_C \ll C_{BL}$ )
  - La carica totale resta costante durante la lettura
  - Dopo la lettura l'informazione viene perduta e va ripristinata

# Lettura nella cella 1-T



$$Q_{\text{iniziale}} = C_{BL} V_{BL} + C_C V_C$$

$\Updownarrow$

$$Q_{\text{finale}} = (C_{BL} + C_C)V_F$$

$$V_F = \frac{C_{BL}V_{BL} + C_CV_C}{C_{BL} + C_C}$$

$$\Delta V = V_F - V_{BL} = \frac{C_C}{C_{BL} + C_C}(V_C - V_{BL}) = \frac{V_C - V_{BL}}{\frac{C_{BL}}{C_C} + 1}$$

- L'amplificatore di lettura “sente” il segno di  $\Delta V$  e rende disponibile sulla bitline il valore logico contenuto nella cella

Percorre le bobine a Vol o Vol/2. All'uscita amplificatore di lettura (lascia la pulsione)

Accento invertitore. I condensatori sono comuni all'uscita condensatore di uscita, e  
ho un'altra 2 tensioni diverse  $\Rightarrow$  Ho un flusso di corrente che tende a equilibrare  
le tensioni, che saranno uguali. Il tutto a corrente totale costante.

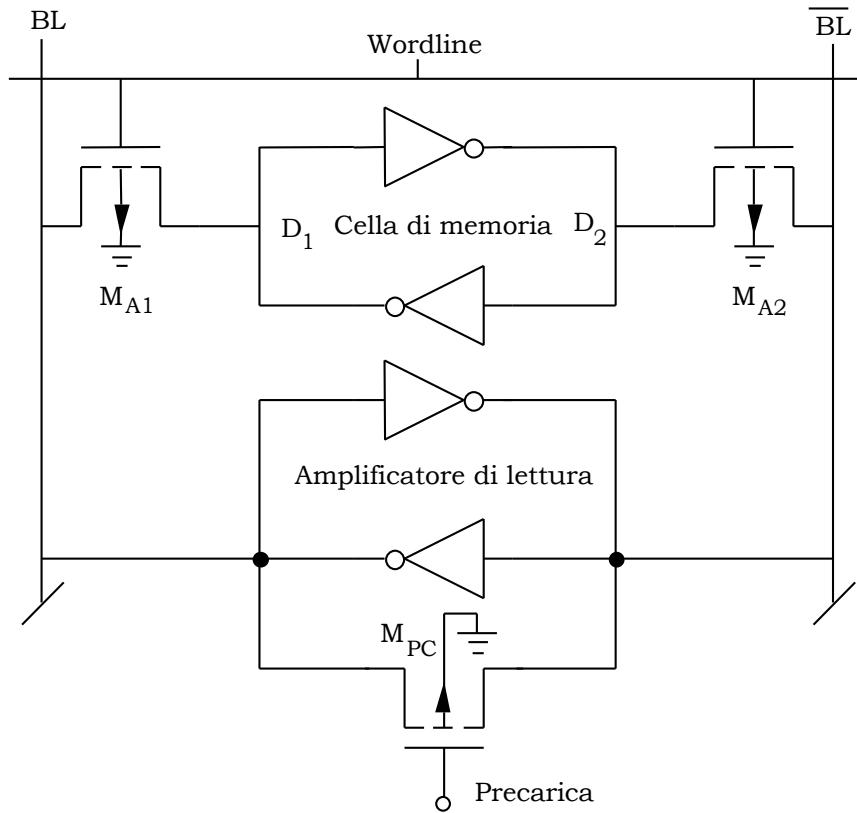
NOTA:  $C_{BL} \gg C_o$ . Infine ora è finita. Va ripetuta.

Ma come interrompere che si chiude, con una certa resistenza. Ci saranno due resistenze.  
Con tensione regolare non passa più corrente.

Tensione finale?

$\Delta V$  sarà negativo se avendo 0, posso se avendo 1. Amplificatore deve piccole variazioni e comunque  
Vol utile scelto in modo da rendere possibile questa commutazione.

# Realizzazione degli amplificatori di lettura



- Abilitando il transistore di precarica si forzano entrambi gli invertitori a lavorare con la tensione di ingresso uguale a quella di uscita
- A seconda del valore di  $K_R$  si ottengono sulle bitline valori di tensione intermedi fra 0 e  $V_{DD}$  forzando il latch nel punto di lavoro instabile

Latch sollevarsi ma con l'arrivo di un segnale di entrata gli invertitori

Se ho interruttore chiuso, lavoro nel punto instabile:

$V_L = V_0$ , ma anche  $V_I = V_0$  per chiudere i 2 invertitori; Quello oggetto è acceso, lavoro punto di lavoro e instabile.

Impresso è uscita per entrata.

Coordinate del punto instabile, se ho CMOS simmetrico,  $K_R = 1$ , la bisettrice taglia la curva nel punto di mezzo:  $\frac{V_{DD}}{2}$ . Ma se  $K_R \neq 1$  posso avere valori diversi di tensione.

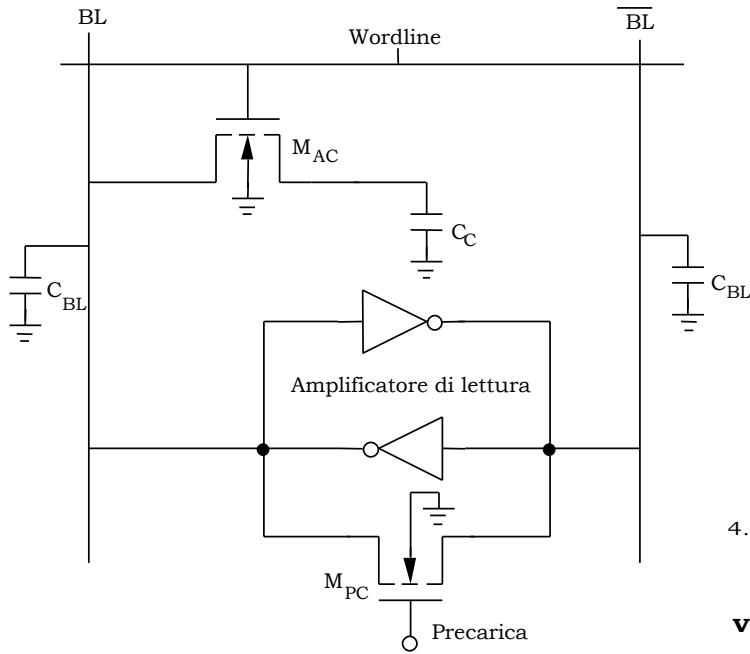
Posso scegliere il valore di precesso giocando sul  $K_R$ .

COORDINATE DEI POSSIBILI PUNTI DI LAVORO: 0,0 nel CMOS

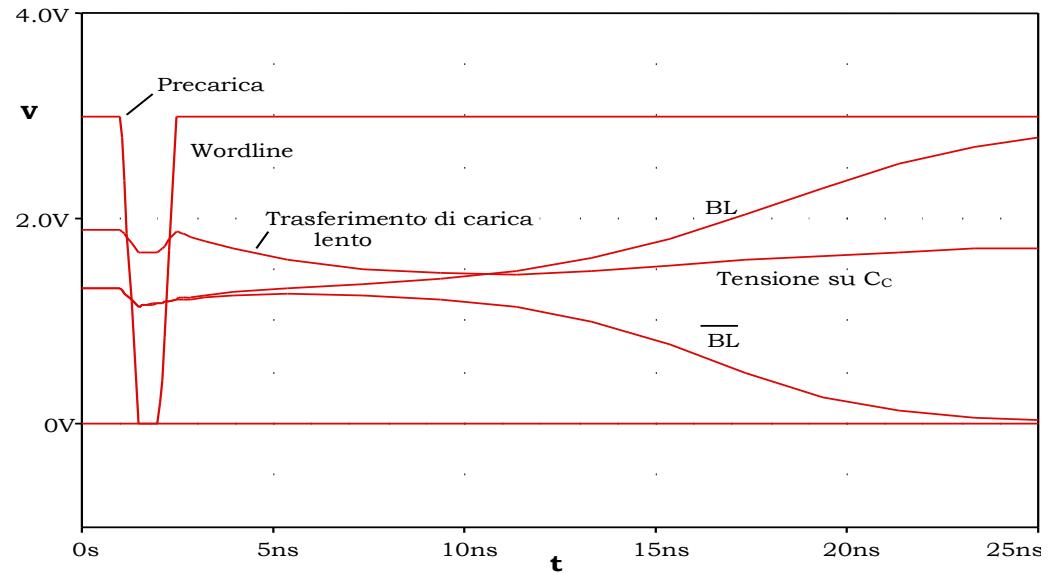
Quelli di mezzo, se  $K_R = 1$ ,  $\frac{V_{DD}}{2}$

IMPONI CHE NEL CMOS  $v_{uscita} = v_{uscita}$ .

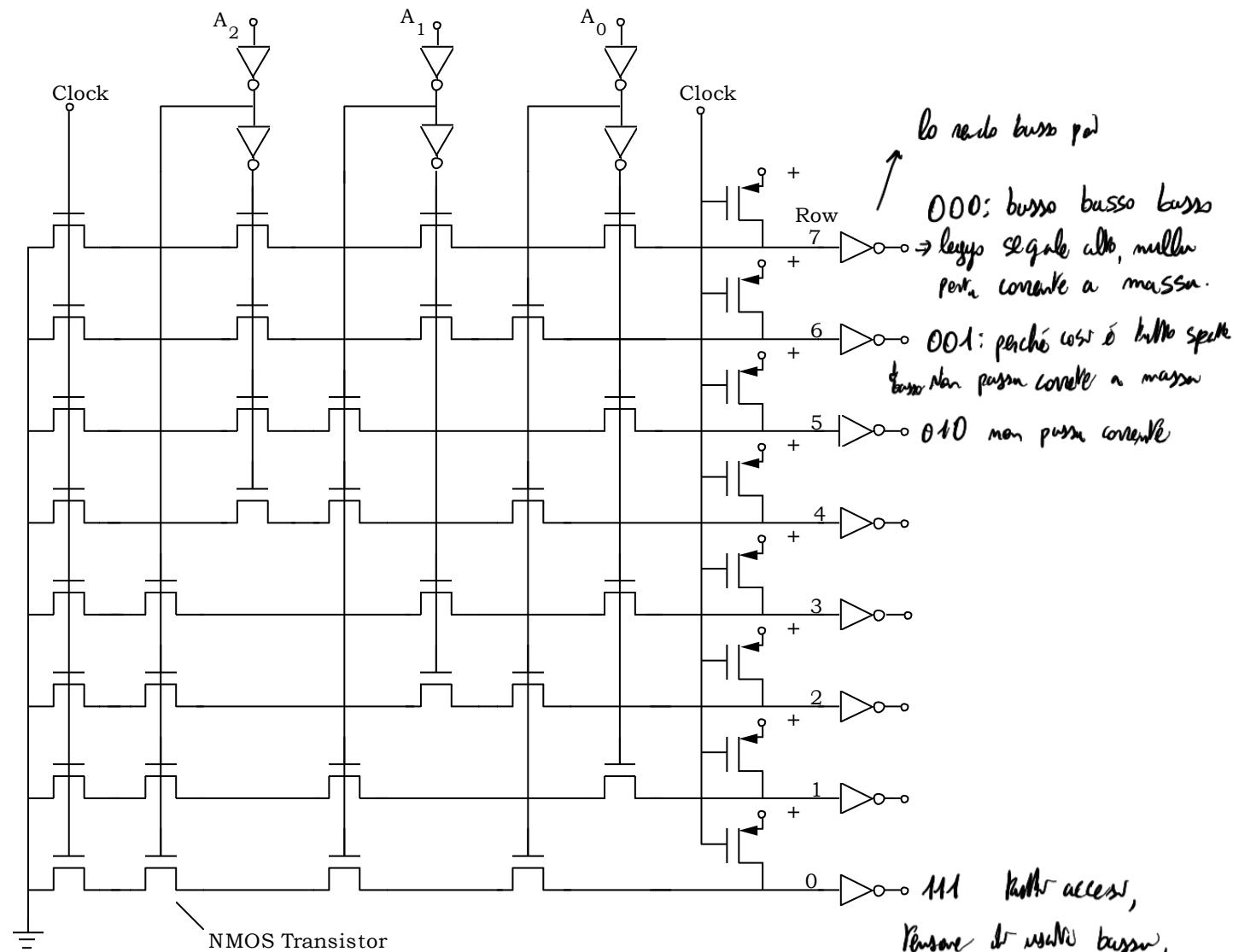
# Dinamica della lettura da una cella 1-T



Dopo lo spegnimento di  $M_{PC}$  la tensione viene mantenuta dalla capacità delle bitline fino all'inizio del processo di ridistribuzione della carica



# Decodificatore di indirizzo in logica DOMINO CMOS



Di conformo: elementi essenti sono i) delodifuntori.

N bin di ingresso e uscita 2<sup>n</sup> linee.

Possibile schema realizzativo è quello: 3 bin e 8 usc.

Clock serve per far sì che rete assalte corrette solo quando serve e non consuma.

Se clock alto, 3 segnali vengono negati 2 volte.

Serve a ripristinare i livelli logici che riceva dal ingresso.

# Struttura di una memoria ROM in logica NMOS

Alzo  $W_0$ ; accende tutte le:

Sua uscita è bassa

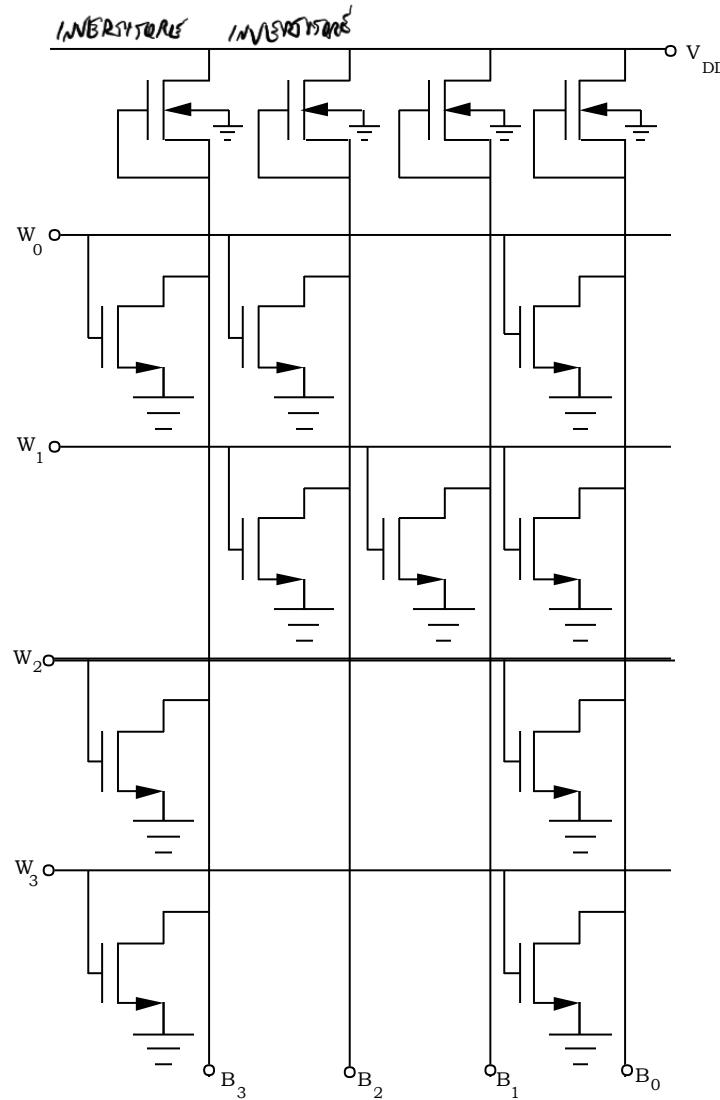
Ma accende anche quello opposto. Mentre basso

etc.

Su  $B_3$  ho 0. Su  $B_2$  ho 0.

Su  $B_1 = 1$ .

Parola	Dato
$W_0$	0010
$W_1$	1000
$W_2$	0110
$W_3$	0110



Read only memory: non volatile.

Uso nichelotita o silicio come base di struttura.

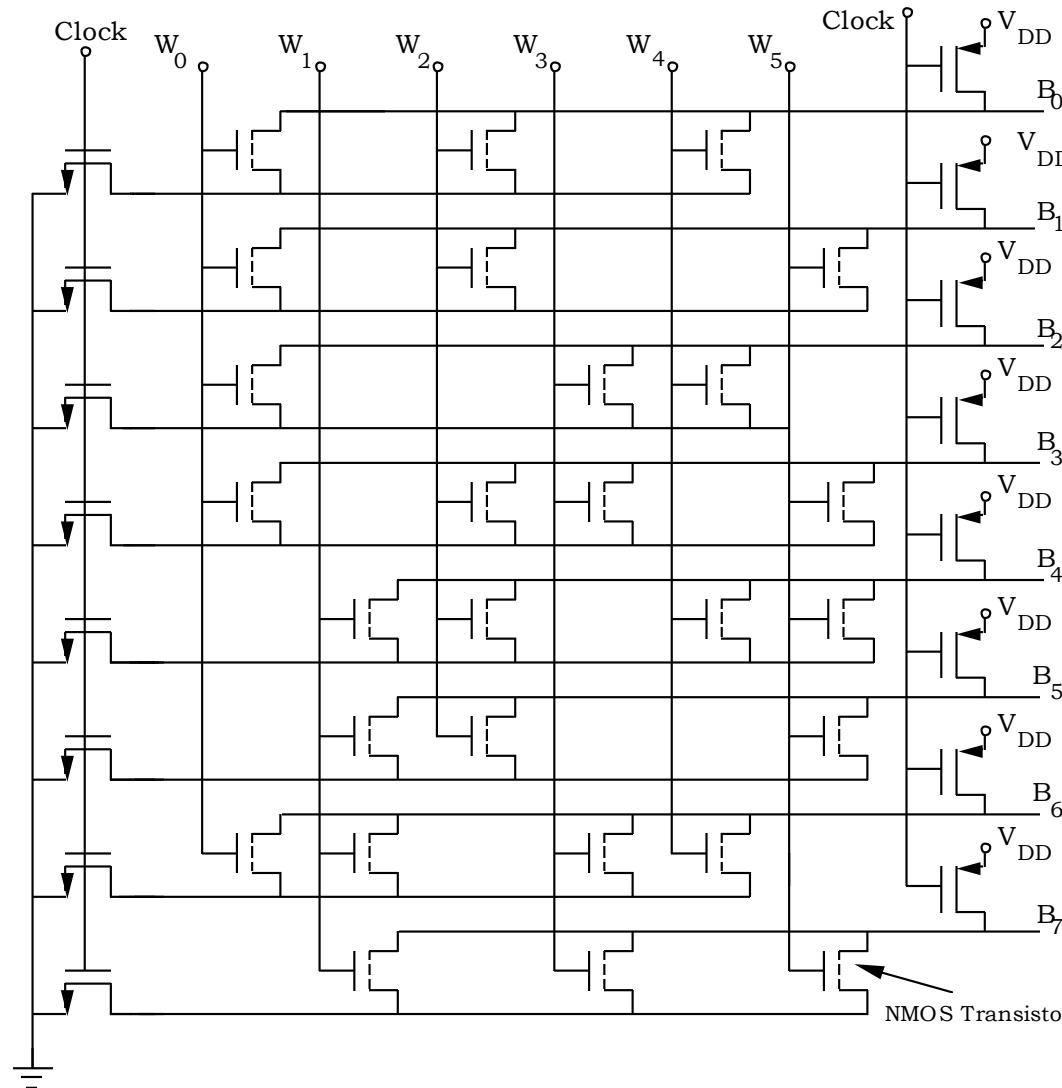
Motore di queste memorie: Se matrice è completa di transistor, scrivere alla memoria significa disinnegare o inattivare alcuni transistor. Ci sono vari modi per farlo: bruciare, se lucra con l'urto o impulso elettrico il collegamento di gate.

Saranno usati transistor di cui si aumenta tensione di soglia. Si può fare elettricamente, un opportuno transistor a doppia gate. Resistenza elettronica. Rende tutto reversibile.

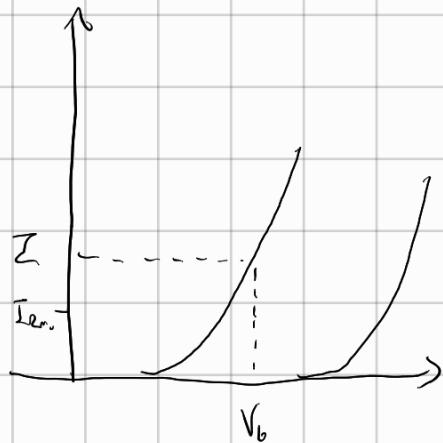
EEPROM

↑  
electrical erasable programmable

# Struttura di una memoria ROM in logica DOMINO CMOS



Shuttle car clock. 6 punto, da O a S. Ci sono n clock e n trasistori. Con clock alto posso andare a leggere.



# FLIP-FLOP RS con porte NOR in tecnologia CMOS

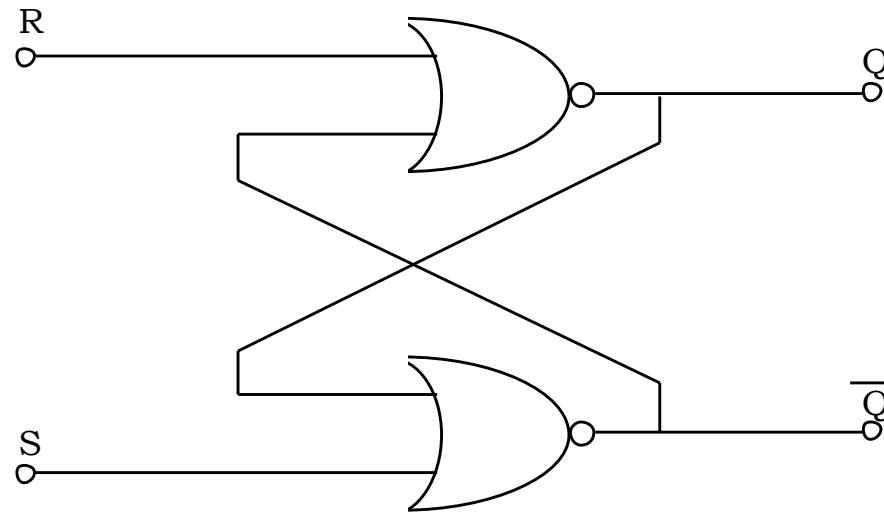
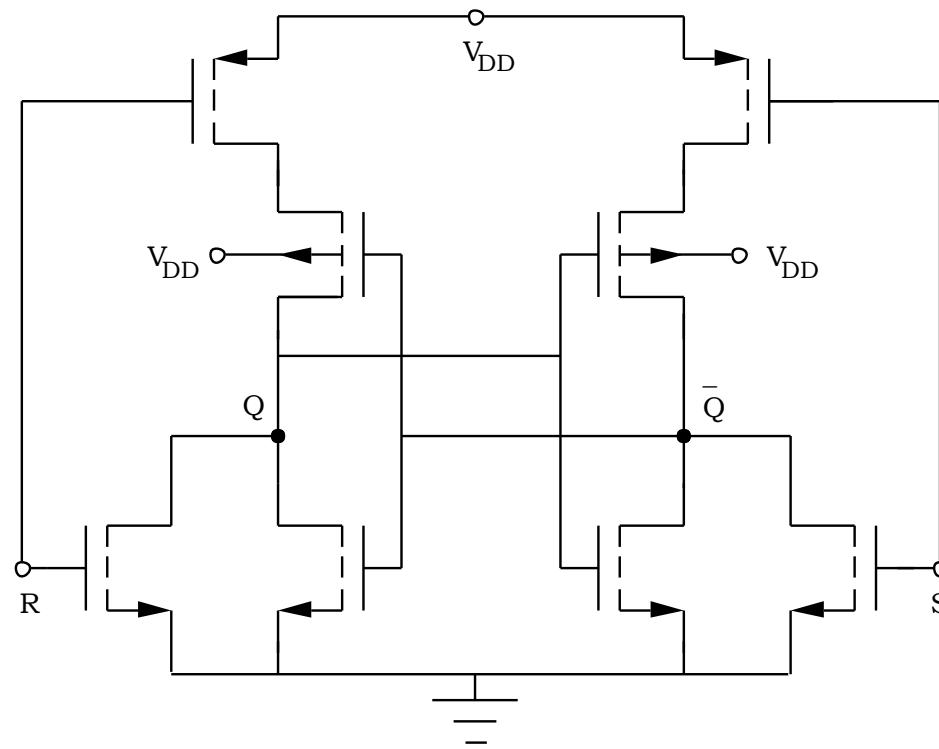


Tabella di verità			
R	S	$\bar{Q}$	$\bar{Q}$
0	0	$\bar{Q}$	$\bar{Q}$
0	1	1	0
1	0	0	1
1	1	0	0

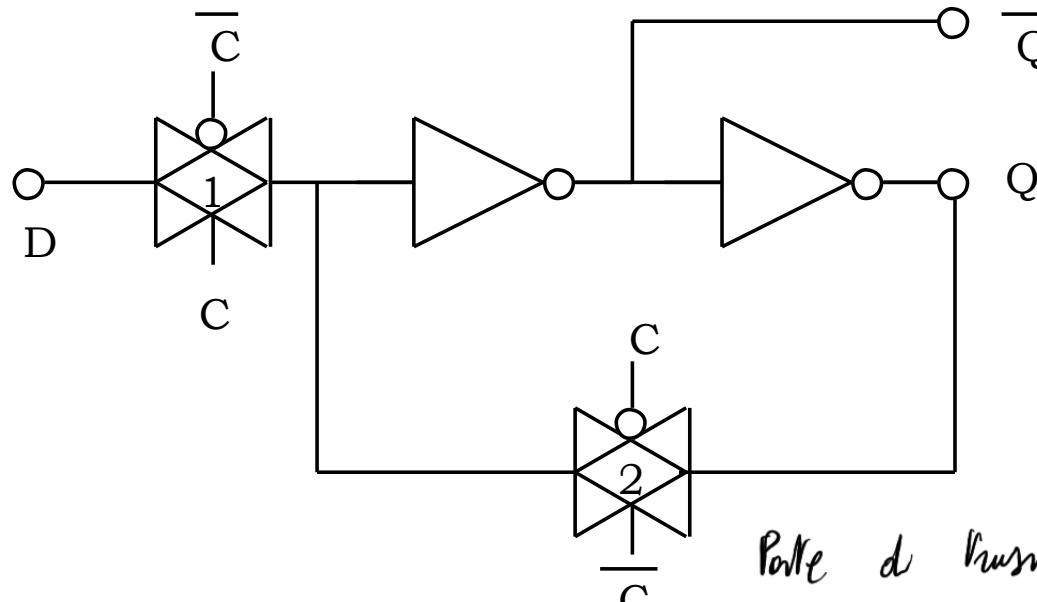
# FLIP-FLOP RS con porte NOR in tecnologia CMOS

Come è realizzabile con  
le 2 nor



Implementazione circuitale

# FLIP-FLOP D



## Clock alto

la porta 1 conduce e la porta 2 è interdetta: *il dato viene trasferito*

## Clock basso

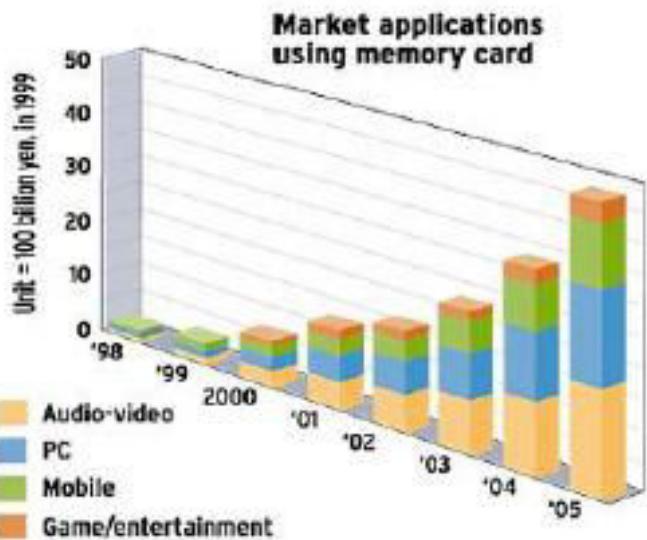
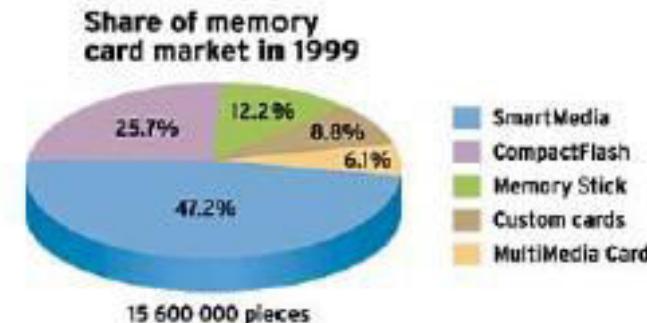
la porta 1 è interdetta e la porta 2 conduce: *il dato viene memorizzato*

# Memorie Flash: Applicazioni emergenti

Esguineo Pro.m.



# Memory card

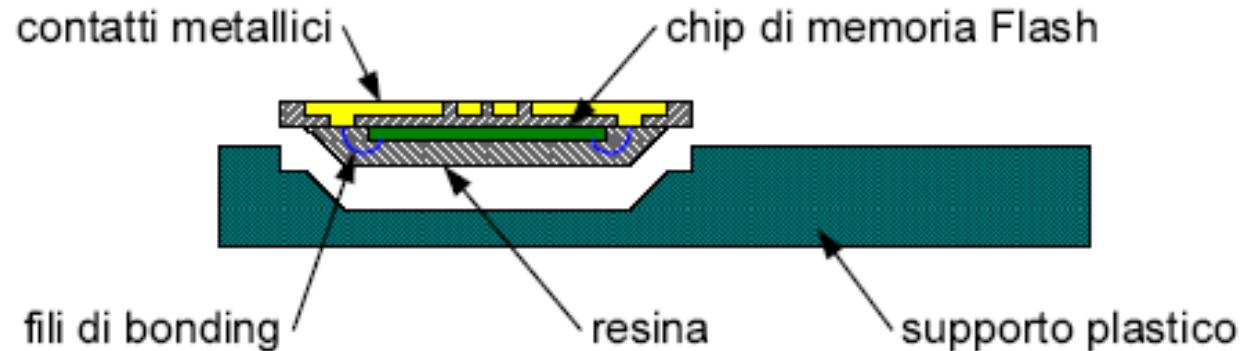


## PRINCIPALI FORMATI:

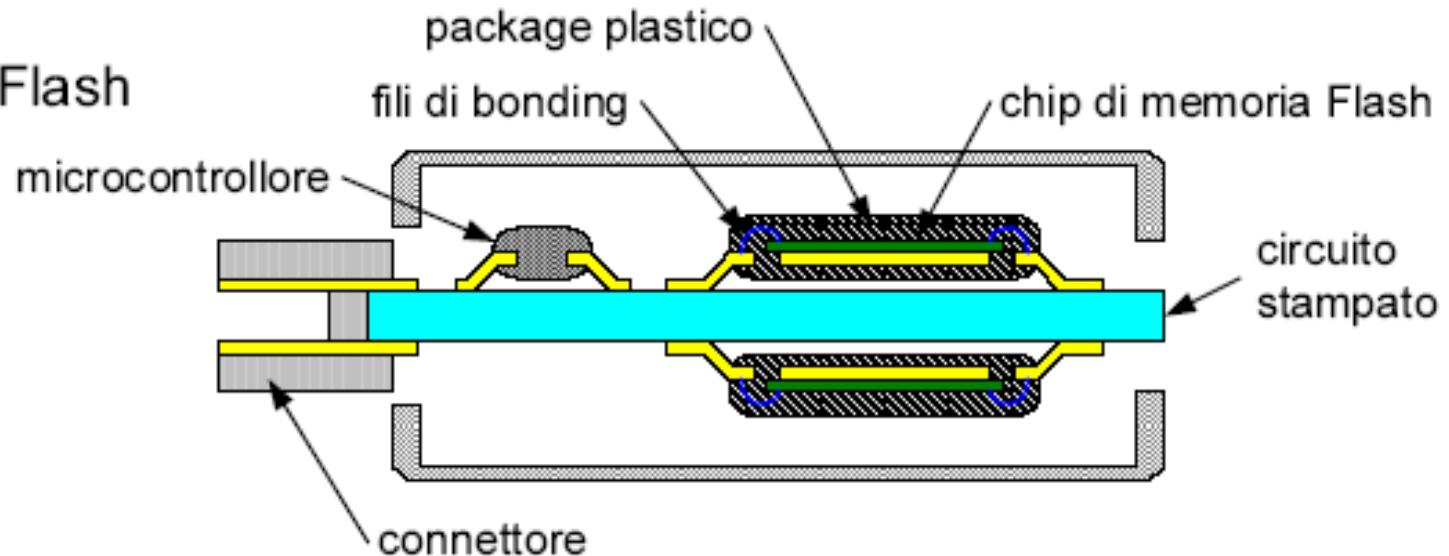
- SmartMedia (45 × 37 × 0,76 mm)
- CompactFlash (43 × 36 × 1,9 mm)
- Memory Stick (50 × 21,5 × 2,8 mm)
- MultiMedia (32 × 24 × 1,4 mm)
- Secur Digital (32 × 24 × 2,1 mm)
- PC Card PCMCIA Type I (85,6 × 54 × 3,3 mm)

# Struttura delle memory card

tipo SmartMedia



tipo CompactFlash



# Celle di memoria Flash

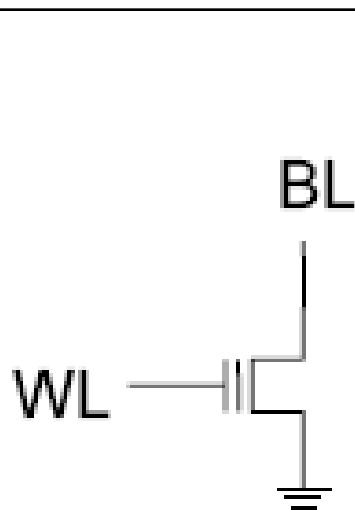
↳ Cancellabili a blocco  
e da maniera veloce.

I parametri che determinano la qualità e l'affidabilità di una memoria non volatile sono:

- **Resistenza**, cioè la capacità di mantenere l'informazione immagazzinata dopo numerosi cicli di lettura, programmazione o cancellazione.
- **Ritenzione**, cioè la capacità di mantenere l'informazione immagazzinata per lungo tempo. *Refresher o no?*

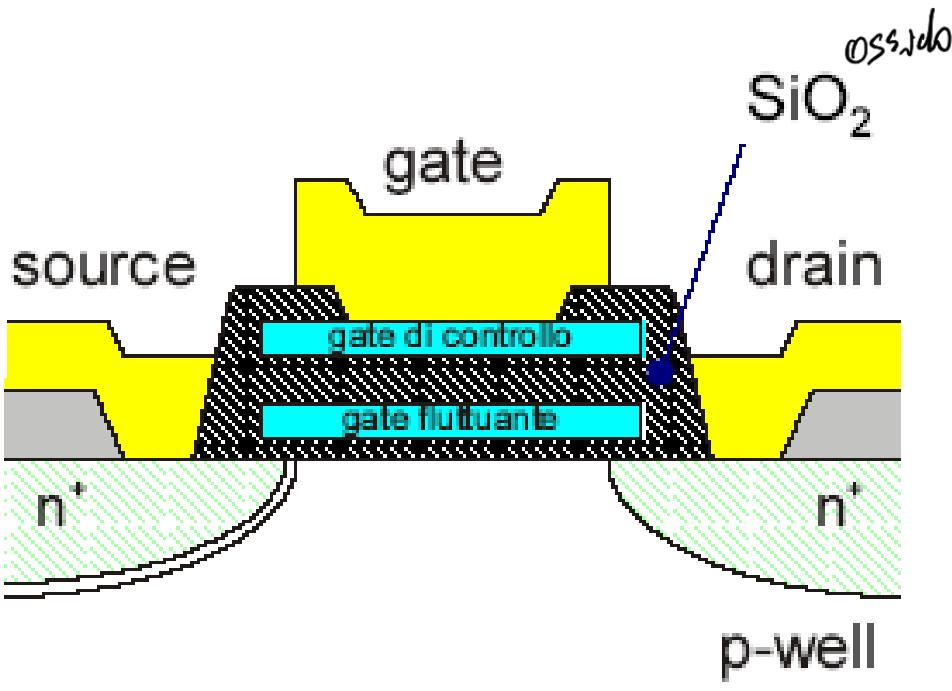
Non ci sono ulteriori dati

# Struttura delle memorie Flash



- l'elemento base è il **transistore MOS a gate fluttuante** (doppia gate)
- la **programmazione e la cancellazione** avvengono in modo elettrico
- non è presente il **transistore di selezione**
- la **cancellazione avviene per settori**

# Transistore a gate fluttuante



- la tensione di soglia  $V_{TH}$  dei transistori MOS dipende dalla carica presente tra il gate e il canale
- immagazzinando nel gate fluttuante una carica di segno uguale a quella dei portatori del canale la formazione del canale viene ostacolata

Affiamo un ulteriore gate conduttrice, isolata dal p-well da una elettrice non accessibile perché dentro ossido.

$V_{TN}$  è tensione minima per attivare elettrone verso ossido a formare il canale.  
Luigi Zeni DII-SUN  
Fondamenti di Elettronica Digitale

Succede oltre la soglia.

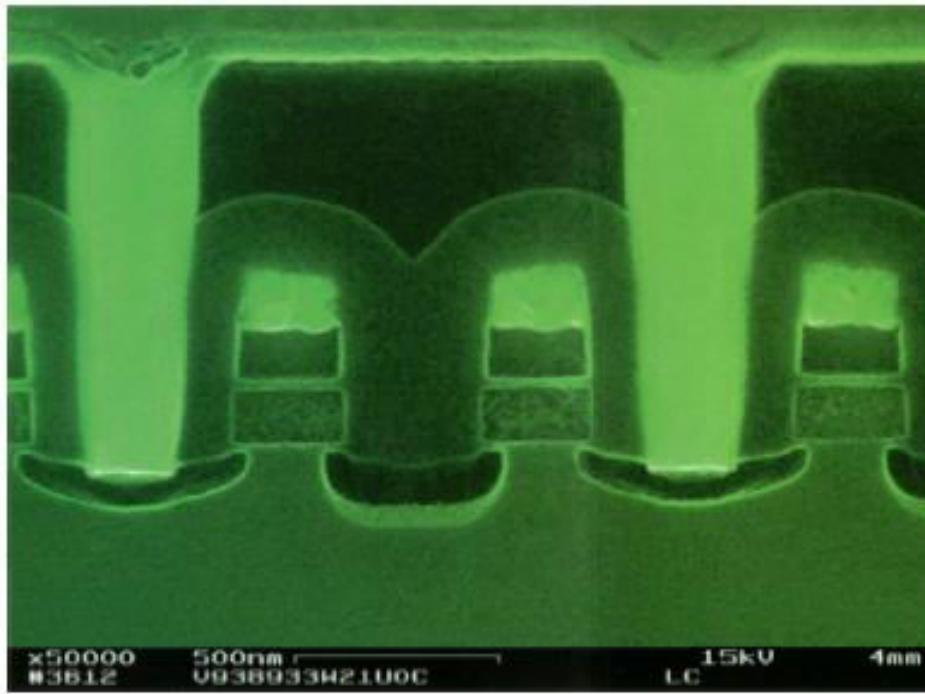
Soglia dipende da  $V_{SB}$ ,  $\gamma$ ,  $2\phi_F$ .

$\gamma$  e  $2\phi_F$  sono parametri che dipendono da drogaggio e ossido.

Se metto elettrodi su gate blindate, elettrodi ostacolano la creazione del canale. Se gate concreto  $V_{IN}$  si alza.

Penso disalline mosfet. Allo soglio oltre alla tensione di alimentazione.

# Celle di memoria Flash



---

Immagine al microscopio elettronico a scansione che mostra la sezione delle celle di memoria in tecnologia Flash da  $0,18 \mu\text{m}$ .

# Classificazione

Le memorie Flash possono essere classificate in due categorie rispetto alle loro applicazioni:

1. applicazioni EPROM like: telecom, automotive, hard disk drivers, printers, PC BIOS: memorie a bassa e alta densità; requisiti di mercato: velocità, basso consumo, bassa tensione di alimentazione, densità e massimo numero di cicli.
2. mass storage applications: multimedia, miniaturized cards, solid state disk ....; requisiti di mercato: costo, densità, numero di cicli, basso consumo e velocità.

Applicazioni diverse necessitano di architetture diverse:

l'organizzazione del dispositivo dipende dall'architettura dell'array:

NOR, NAND      Strategy of programming

# Architettura

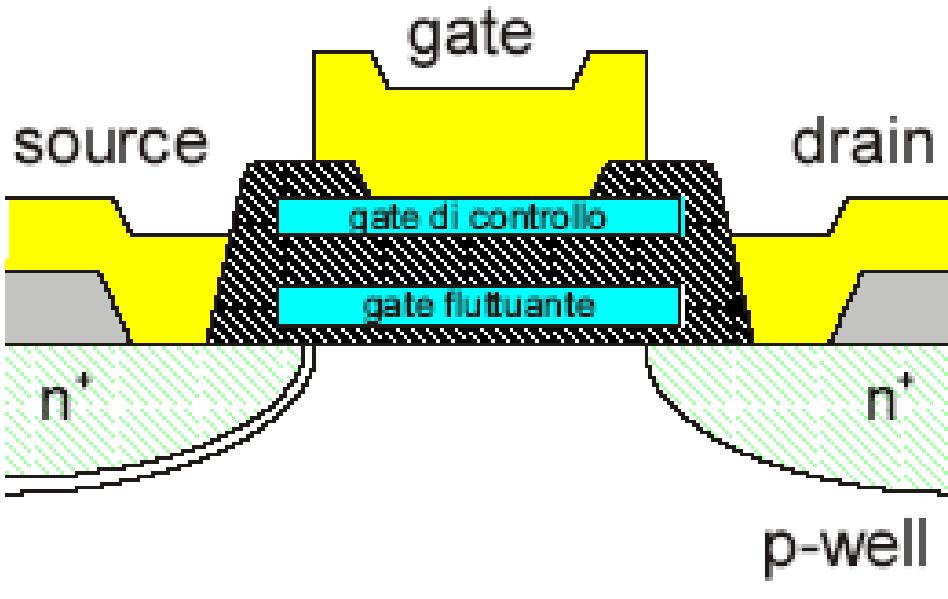
La scelta dell'architettura dell'array concerne:

- DIMENSIONI DEI SETTORI
- ALIMENTAZIONE
- PRESTAZIONI IN LETTURA
- PRESTAZIONI IN PROGRAMMAZIONE E CANCELLAZIONE
- MASSIMO NUMERO DI CICLI (P/E)
- COMPLESSITÀ DEL PROCESSO DI FABBRICAZIONE
- DIMENSIONI DELLA MEMORIA (COSTO)

# NOR - NAND

1. NOR Flash: simile alla EPROM, è la più diffusa; ha molteplici applicazioni che richiedono medio-bassa densità;
2. NAND Flash: simile alla NOR, differisce per l'accesso ai dati nella matrice: all'interno dell'array le celle sono organizzate in piccole catene seriali (8 bit, il drain di una cella è collegato al source della cella successiva);  
il nome NAND deriva dal modo in cui viene letta la cella; la lettura del singolo dato è seriale, per cui il tempo di accesso è molto lento: questo tipo di architettura non è adatto per applicazioni che richiedono un accesso veloce.

# Programmazione e cancellazione



- **Programmazione:**

Iniezione di elettroni caldi dal canale

Tunneling Fowler-Nordheim (FN)

- **Cancellazione:**

tunneling FN

radiazione ultravioletta

Esempio di tensioni applicate per la programmazione:

$$V_D = 5 \text{ V}$$

$$V_G = 10 \text{ V}$$

$$V_S = 0 \text{ V}$$

$$V_B = 0 \text{ V}$$

Esempio di tensioni applicate per la cancellazione:

$$V_D = \text{fluttuante}$$

$$V_G = -8 \text{ V}$$

$$V_S = 5 \text{ V}$$

$$V_B = 5 \text{ V}$$

Come cerca il scarico elettronico in quella gote isolata?

È operazione violenta.

• Programmazione: trasferimento di elettroni nella gote F.

• Cancellazione: Porta via.

- 1: iniez. di elettroni caldi dal canale: avvi con alta energia cinetica.  
Accelerano elettroni nel canale, in modo che alla fine del canale bucano ossido e si insinuano nella gote fluctuate. (uso campo per guadare)
- 2: Tunneling FN: tirare su gli elettroni dal canale sulla gote con fortesimo campo elettrico verticale.

Per bloccare flussi: fornisce energia a elettroni letivi.

- 1: Tunneling FN: per la scarica non posso pensare elettroni caldi, né servirebbe un canale che acceleri co elettronici, qui applico campo contrario che lotta gote.
- 2: UV che energizzano elettroni che hanno energia per scappare da ossido.

# Programmazione della cella

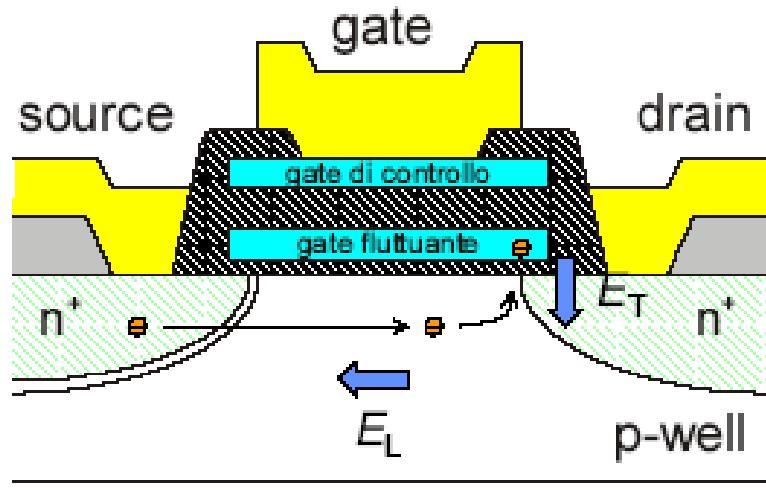
## INIEZIONE DI ELETTRONI CALDI DI CANALE

Valori tipici delle tensioni applicate:

$V_D = 5 \text{ V}$ ,  $V_G = 10 \text{ V}$ ,  $V_S = V_B = 0 \text{ V}$

Massima corrente di canale:  $500 \mu\text{A}$

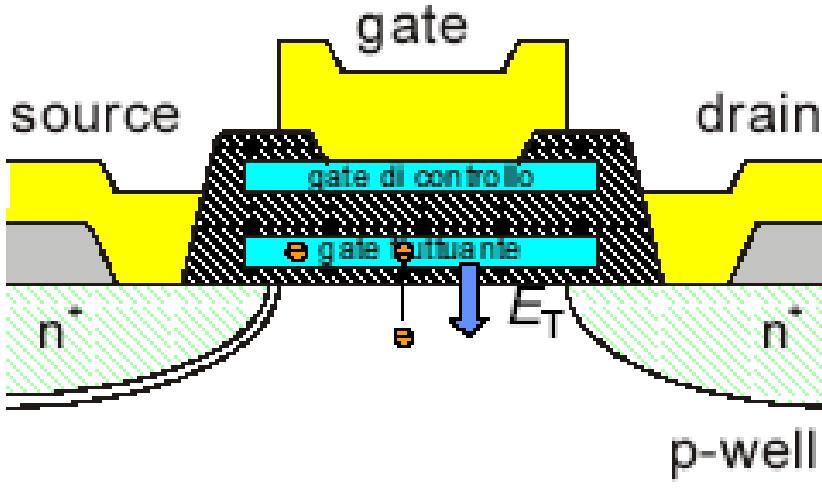
Gli elettroni che attraversano il canale acquistano energia dal campo elettrico longitudinale  $E_L$  e la cedono al reticolo cristallino a causa degli urti.



- Se  $E_L$  è basso gli elettroni raggiungono l'equilibrio termodinamico col reticolo perdendo tanta energia quanta ne acquistano.
- Se  $E_L$  è superiore a  $100 \text{ kV/cm}$  alcuni elettroni acquistano una energia superiore alla barriera di potenziale dell'ossido e riescono a saltare nel gate fluttuante deviati da un campo trasversale  $E_T$ .

# Programmazione della cella

TUNNELING Fowler-Nordheim



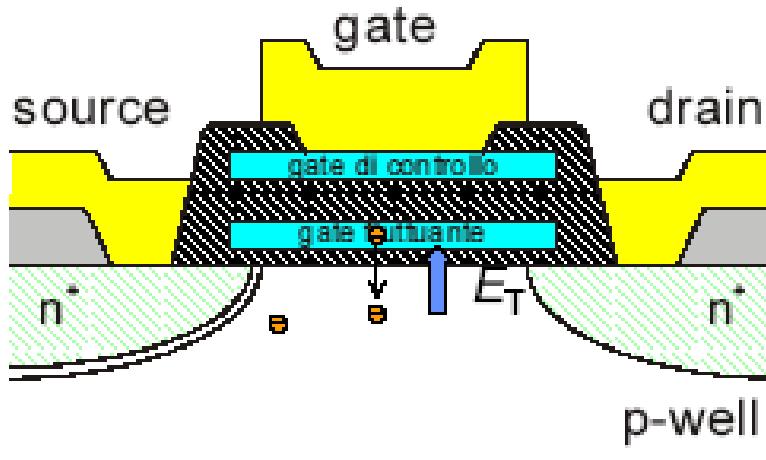
Valori tipici delle tensioni applicate:

D e S fluttuanti,  $V_G = 20 \div 30$  V,  $V_B = 0$  V

L'ossido che isola il gate fluttuante realizza una barriera di potenziale che garantisce una bassa probabilità di attraversamento da parte degli elettroni. Applicando una tensione ai capi dell'ossido si modifica la forma della barriera e si aumenta la probabilità di attraversamento fino alla formazione di una corrente.

# Cancellazione della cella

TUNNELING Fowler-Nordheim



Valori tipici delle tensioni applicate:

D fluttuante,  $V_G = -8$  V,  $V_S = V_B = 5$  V

L'estrazione della carica dal gate fluttuante può avvenire in maniera elettrica solo per tunneling FN. Applicando una tensione negativa al gate di controllo si estraggono gli elettroni intrappolati dalla barriera di potenziale.

Shuttle foro del trivoltor a doppia gate. Disegno.

Meccanismo di cancellaz. e programma. (No valori di tensione).

VANTAGGI E SVANTAGGI

# Programmazione e cancellazione

## INIEZIONE DI ELETTRONI CALDI DI CANALE

### VANTAGGI

veloce, affidabile, poco sensibile alle variazioni dei parametri di processo

### SVANTAGGI

richiede l'erogazione di una corrente elevata ( $500 \mu\text{A}$ )

Per i montaggi non così drammatici

### TUNNELING

### Fowler-Nordheim

### VANTAGGI

richiede un basso valore di corrente sia per la programmazione che per la cancellazione ( $1 \mu\text{A}$ ), questo permette di agire su molte celle contemporaneamente

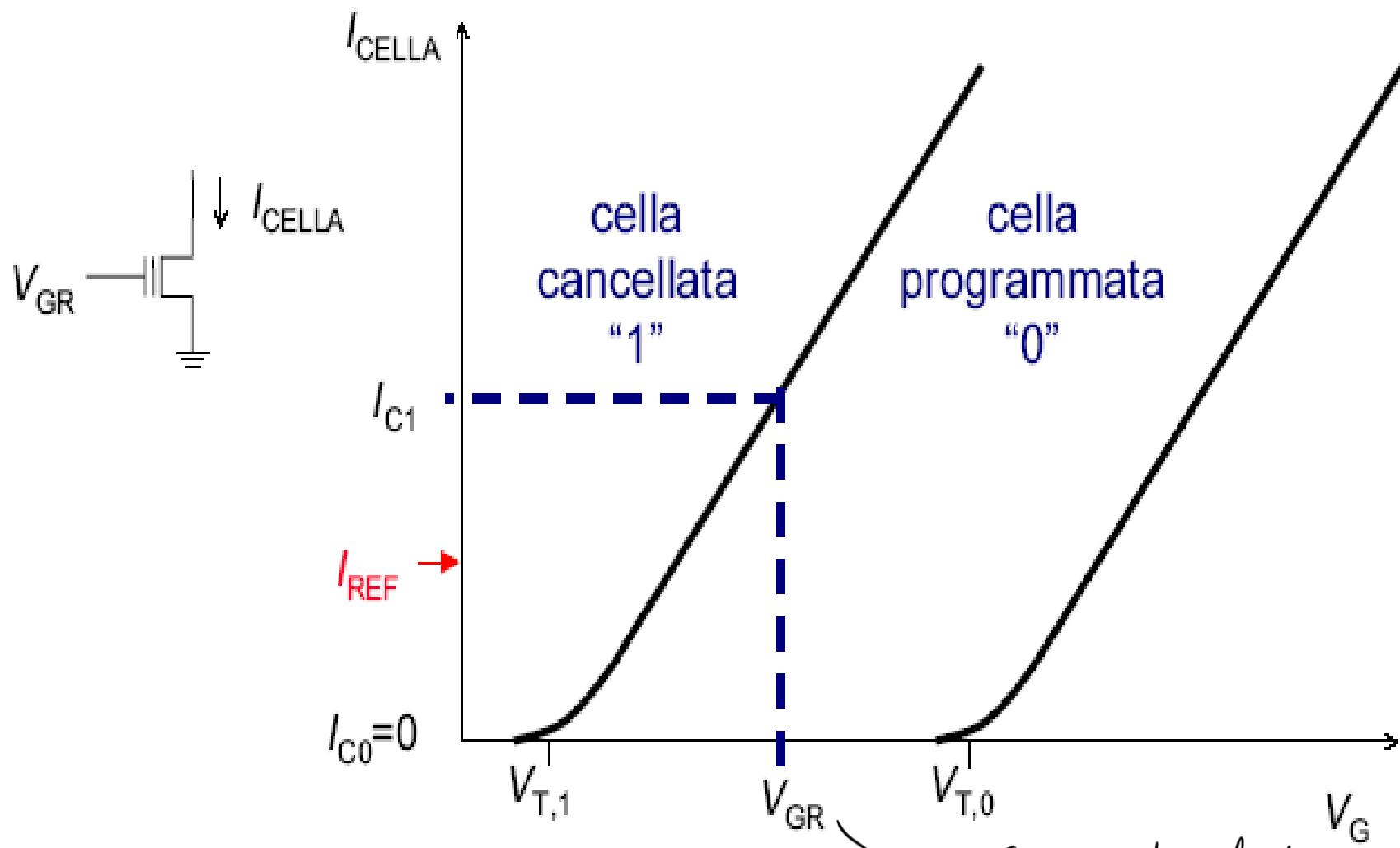
### SVANTAGGI

richiede l'applicazione di tensioni elevate e questo può ridurre l'affidabilità della memoria; inoltre è sensibile alle variazioni dei parametri di processo. (Parametri dell'osso:

Se spessore varia mantenendo lo stesso campo si genera altri valori molto

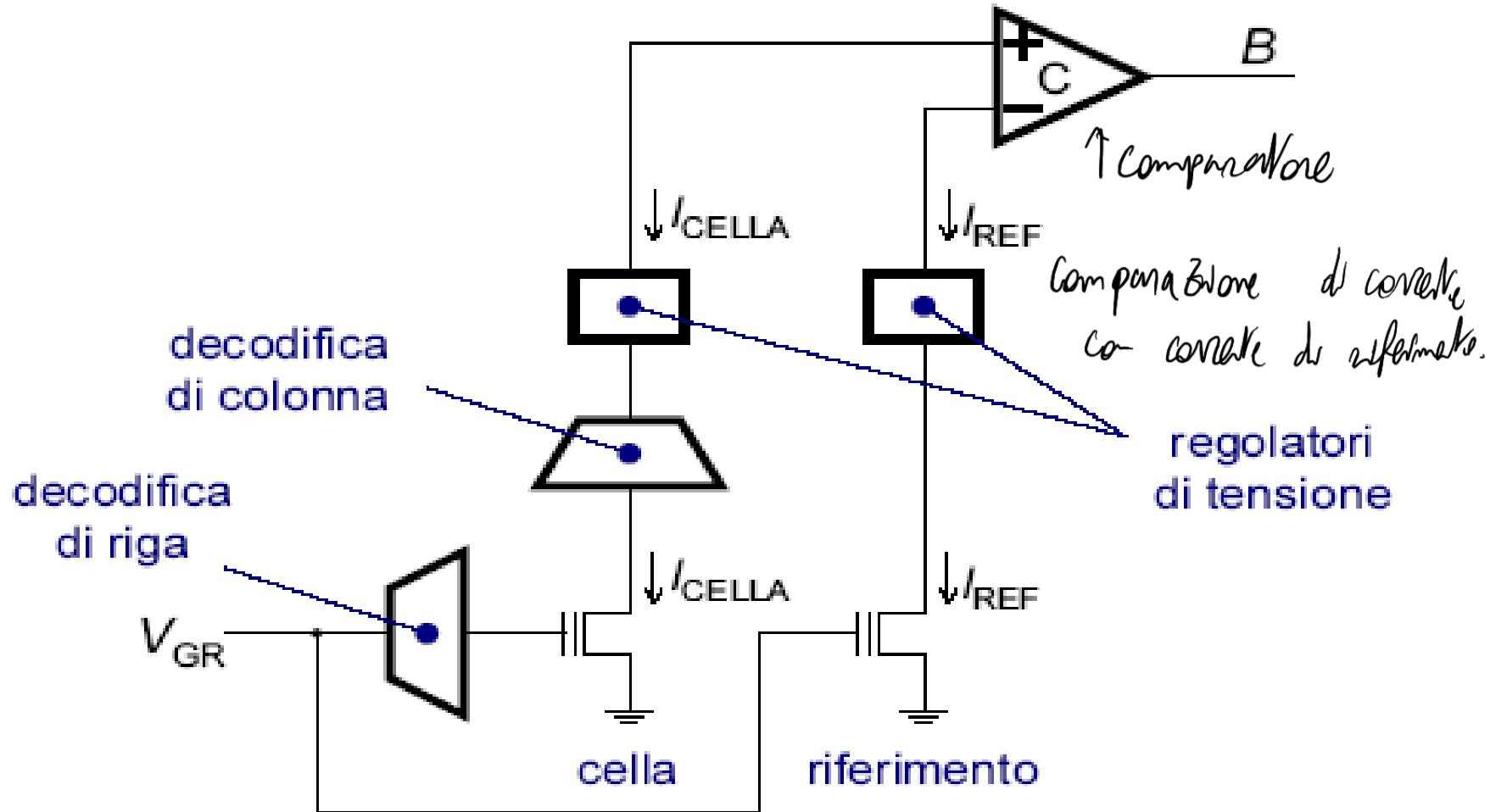
# Lettura

cella con transistor  
a doppia porta.



Gr sarà corretto se la versione di sopra è nel programma. Se non parla corretto contiene uno 0.

# Schemi di Lettura differenziale



# Procedura di lettura di una cella di memoria

L'indirizzo è acquisito dai buffer di ingresso, che pilotano i circuiti di decodifica, formati da predecoder e decoder, che applicano simultaneamente alle celle indirizzate le tensioni per "leggere" la cella.

Per identificare il contenuto della cella, si confronta la corrente dalla cella indirizzata con quella di una cella di riferimento, differential sensing: le correnti sono convertite in tensione (usando dei MOS come carico) e sono poi confrontate tramite un amplificatore differenziale.

Se la cella è programmata (cancellata/verGINE) la tensione in uscita dalla matrice è maggiore (minore) di quella di riferimento.