

# Logica cablata (wired logic)

**Cosa succede quando si collegano in parallelo le uscite di più porte appartenenti alla stessa famiglia logica?**

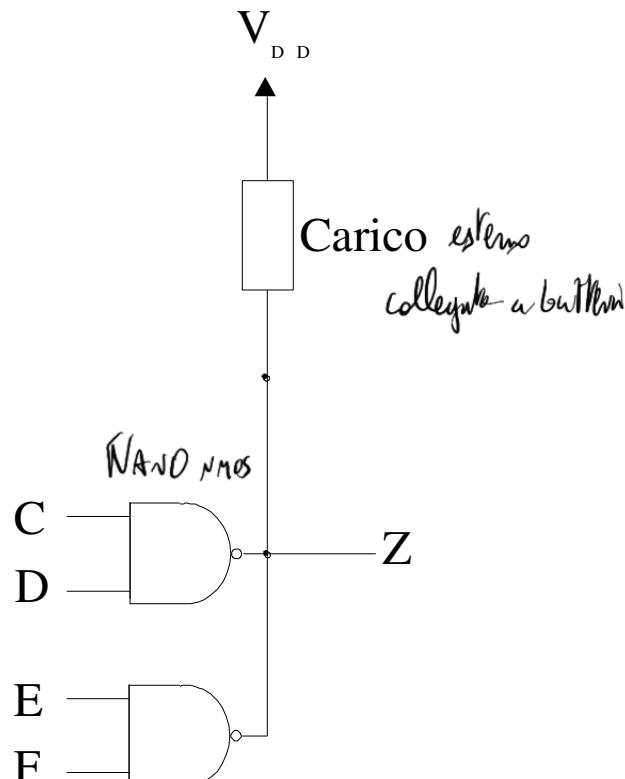
- Si realizza una ulteriore funzione logica tra le uscite
- Le porte non funzionano

**Quando è necessario collegare in parallelo le uscite di più porte?**

- Quando le uscite di più porte devono confluire su un unico *bus*.

Se collego in // uscite delle 2 porte logiche che succede? O scoppiano o si realizza ulteriore funzione logica.

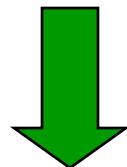
# Logica cablata in NMOS (wired AND)



↪ Solo in quel caso ne passa corrente

L'uscita Z è alta solo quando sono alte le uscite delle NAND in tutti gli altri casi è bassa

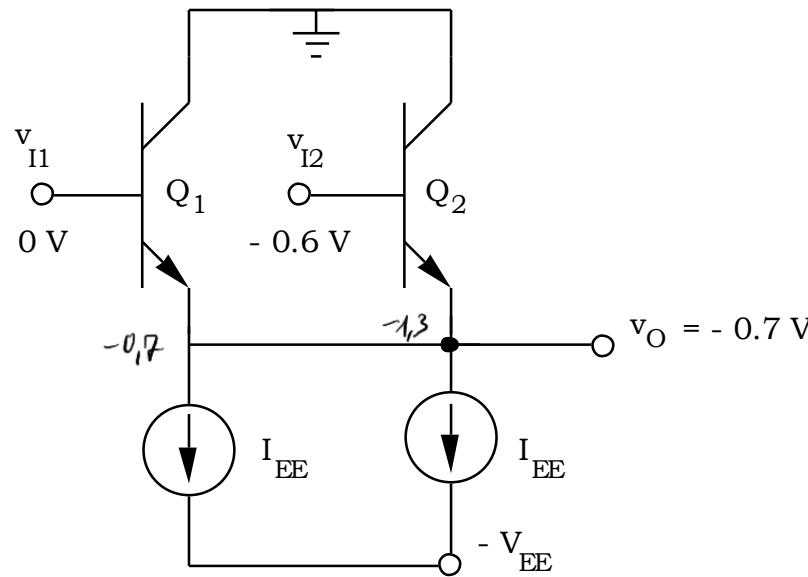
Wired AND: funziona con dev. folla.



Collegando le uscite di porte NMOS ad un unico carico si realizza la funzione AND delle uscite

Se lo faccio nel ECL: V<sub>out</sub>

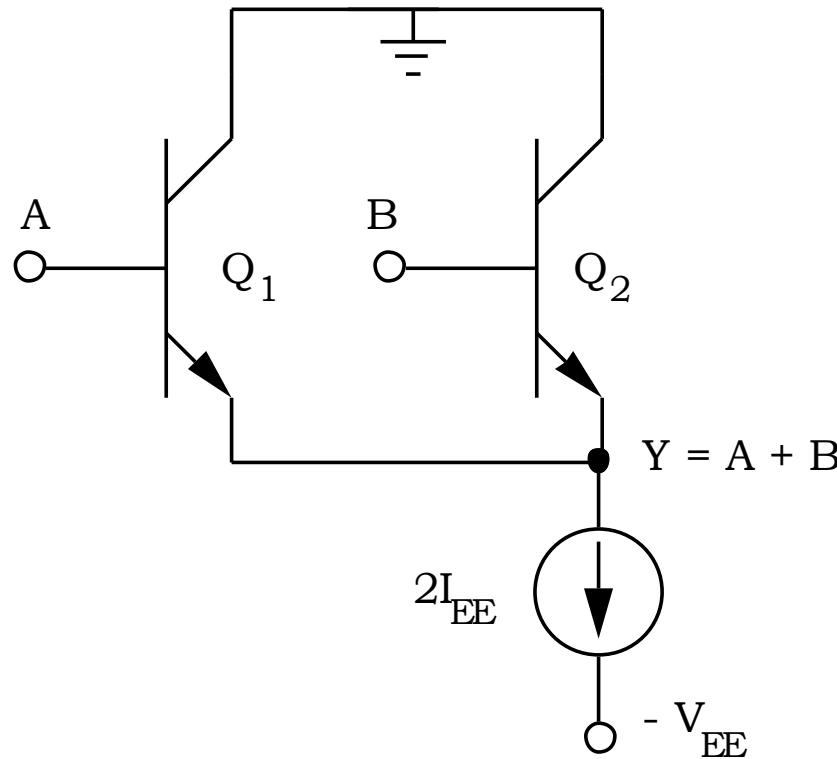
## Logica cablata in ECL O<sub>vego</sub> OR



Se tenuti separati l'uscita di Q<sub>1</sub> è -0.7V e quella di Q<sub>2</sub> è -1.3V. Collegando le uscite si ottiene il valore finale di -0.7V, cioè vince il BJT con la tensione in base maggiore (ovvero Q<sub>1</sub>) e viene attraversato da una corrente doppia mentre Q<sub>2</sub> va in interdizione. L'ipotesi v<sub>o</sub> = -1.3V comporterebbe V<sub>BE1</sub> = 1.3V cioè una condizione non possibile!

Se le salde insieme prenderà  $-0,7V$  vince la tensione maggiore. La corrente va tutta a transistor e transistore si interdice. Se non fosse così si ha una al primo se dovesse prenderà  $-1,3V$ . Transistor dovrebbe avere  $V_{BE}$  di 1.3, che si ha.

# Logica OR cablata (wired OR)



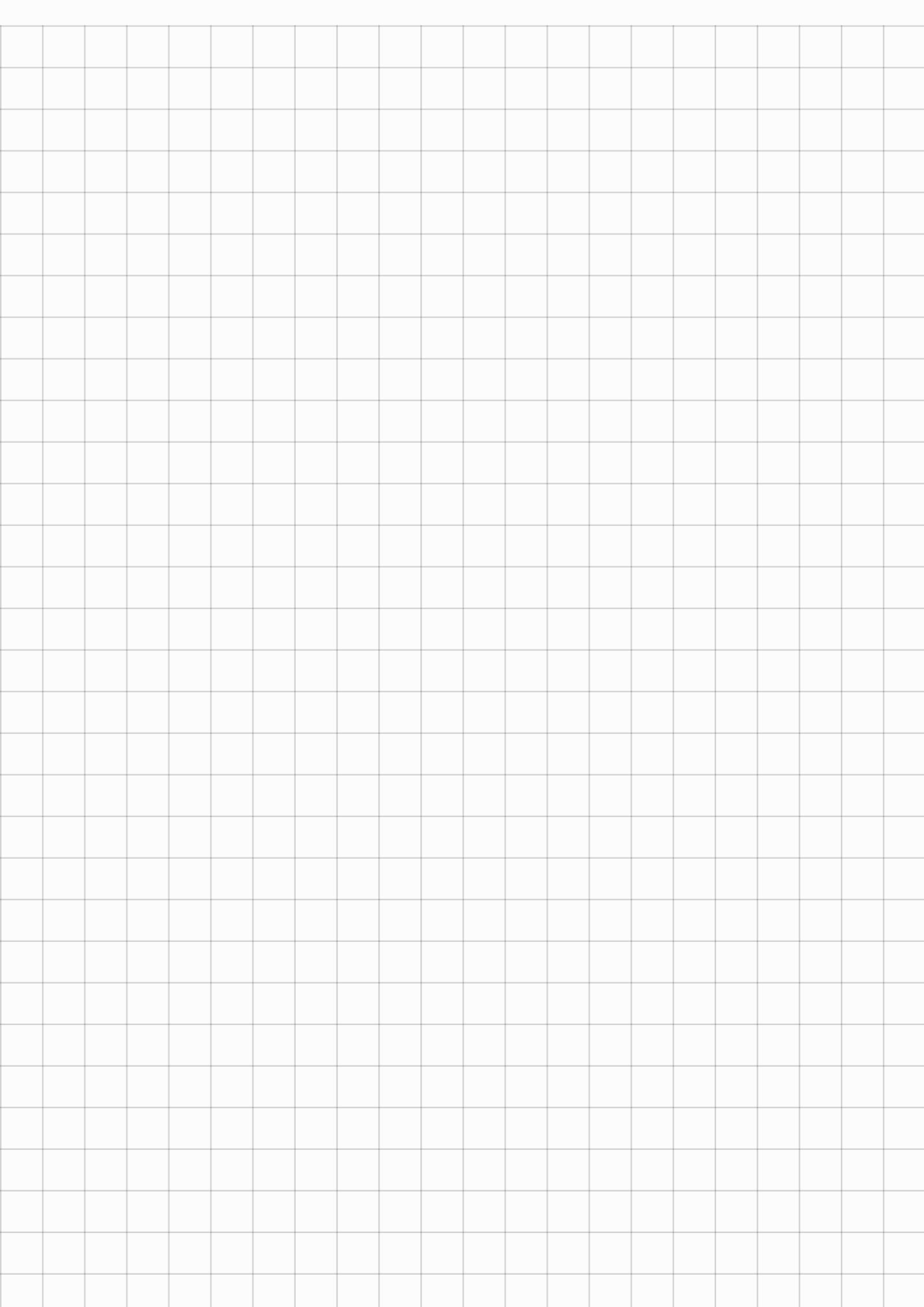
Il comportamento della connessione in parallelo delle uscite consente, in maniera automatica, la realizzazione della funzione OR in quanto tra “0” e “1” prevale “1”

# Logica cablata in CMOS

Non è possibile collegare direttamente le uscite di due porte CMOS in quanto la condizione PMOS<sub>1</sub> in conduzione e NMOS<sub>2</sub> in conduzione e PMOS<sub>2</sub> in conduzione e NMOS<sub>1</sub> in conduzione provoca un elevato passaggio di corrente e un valore dell'uscita che dipende dai rapporti di aspetto e che potrebbe non corrispondere a nessuno dei due valori logici.

Se va bene esco a valori non interpretabili. Se va male buona fortuna.

Ciò accade perché le porte CMOS sono progettate per lavorare a corrente nulla nei due stati logici.



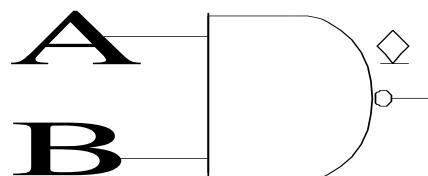
# Logica cablata in CMOS (wired AND)

Mancano PMOS nell'invertitore.

Si ricorre quindi a porte speciali, nelle quali manca il transistore PMOS, dette **OPEN DRAIN**. L'uscita viene collegata all'alimentazione mediante un resistore esterno opportunamente scelto in modo da ottenere un livello logico basso inferiore alla tensione di soglia (il livello basso non potrà più essere 0V). In tal modo si ottiene, dal collegamento in parallelo, la AND delle uscite come per i circuiti NMOS.

↳ Collezione di note: Invertitore a NMOS con carico resistivo.

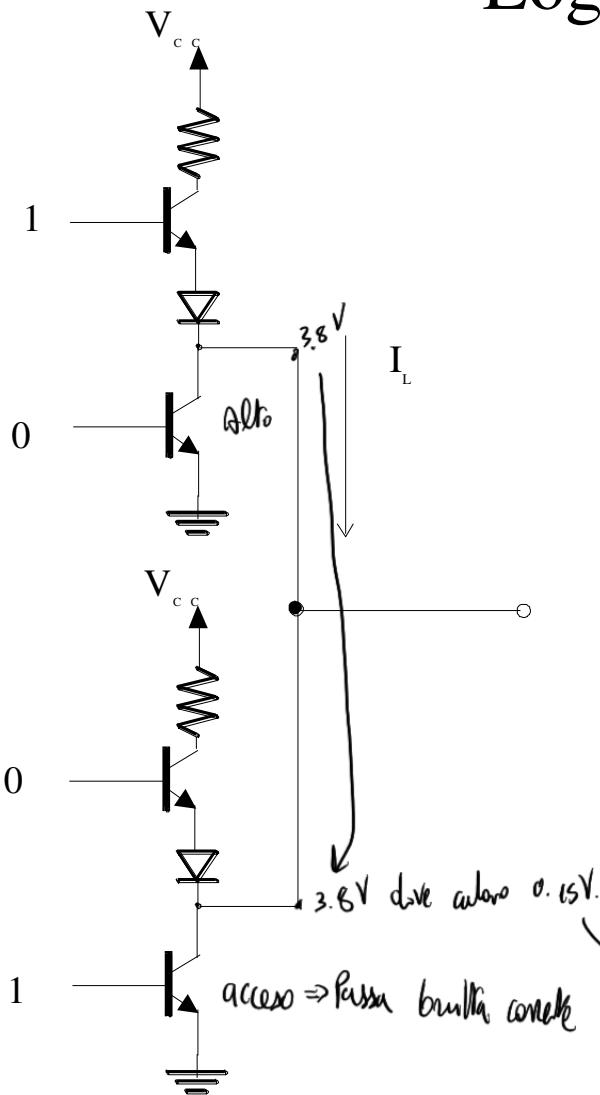
L'utilizzo del resistore di carico esterno peggiora la risposta dinamica della porta.



Simbolo circuitale di una NAND  
**OPEN DRAIN**

Le 2 CMOS sono l'N e due open drain che ora possono essere collegate con rete di pull up.

# Logica cablata in TTL



Non è possibile collegare direttamente le uscite di due porte TTL in quanto se una uscita è alta e l'altra è bassa si ha un elevato passaggio di corrente che può portare alla distruzione dei componenti

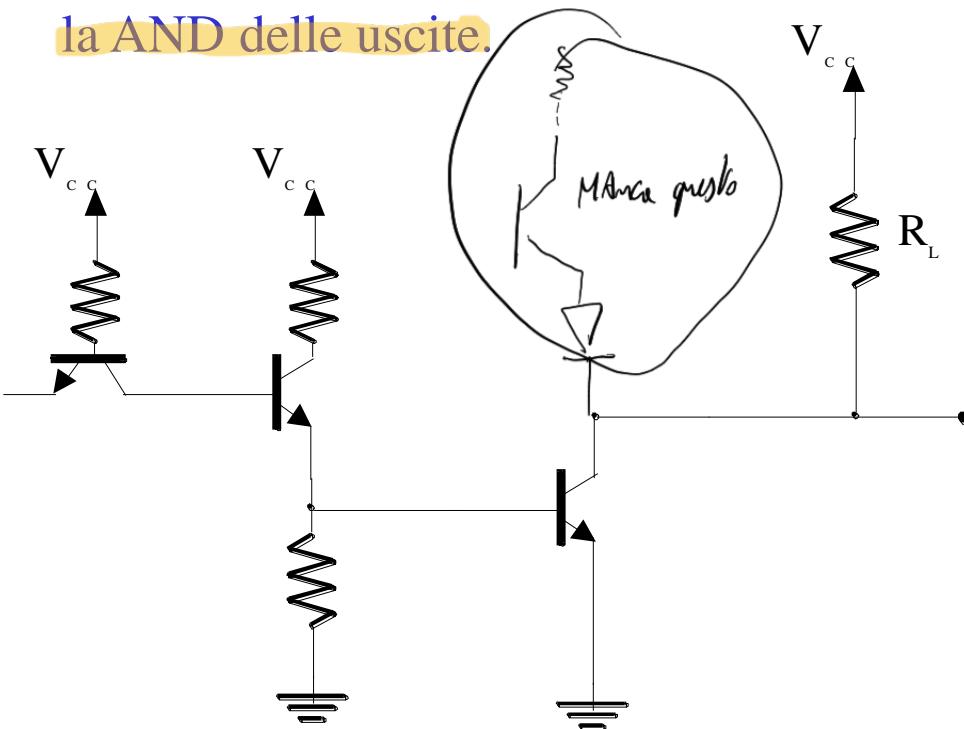
Alto: no problem.

Alto-basso:

Quasi certo circuito, passa corrente molto elevata che brucia quello sotto ma quello sopra no perché è protetto.

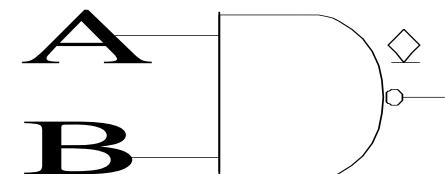
# Logica cablata in TTL (wired AND)

Si ricorre quindi a porte speciali, nelle quali manca la rete di pull-up dello stadio di uscita, dette **OPEN COLLECTOR**. L'uscita viene collegata all'alimentazione mediante un resistore esterno opportunamente scelto in modo da ottenere la desiderata dissipazione di potenza ed il livello logico basso voluto. In tal modo si ottiene, dal collegamento in parallelo, la **AND** delle uscite.



Serve resistenza di pull up per funzionare.

Alla fine ho la AND



## Porte a tre stati (tri-state)

Gestite con dei segnali

Presentano **tre** stati in uscita:

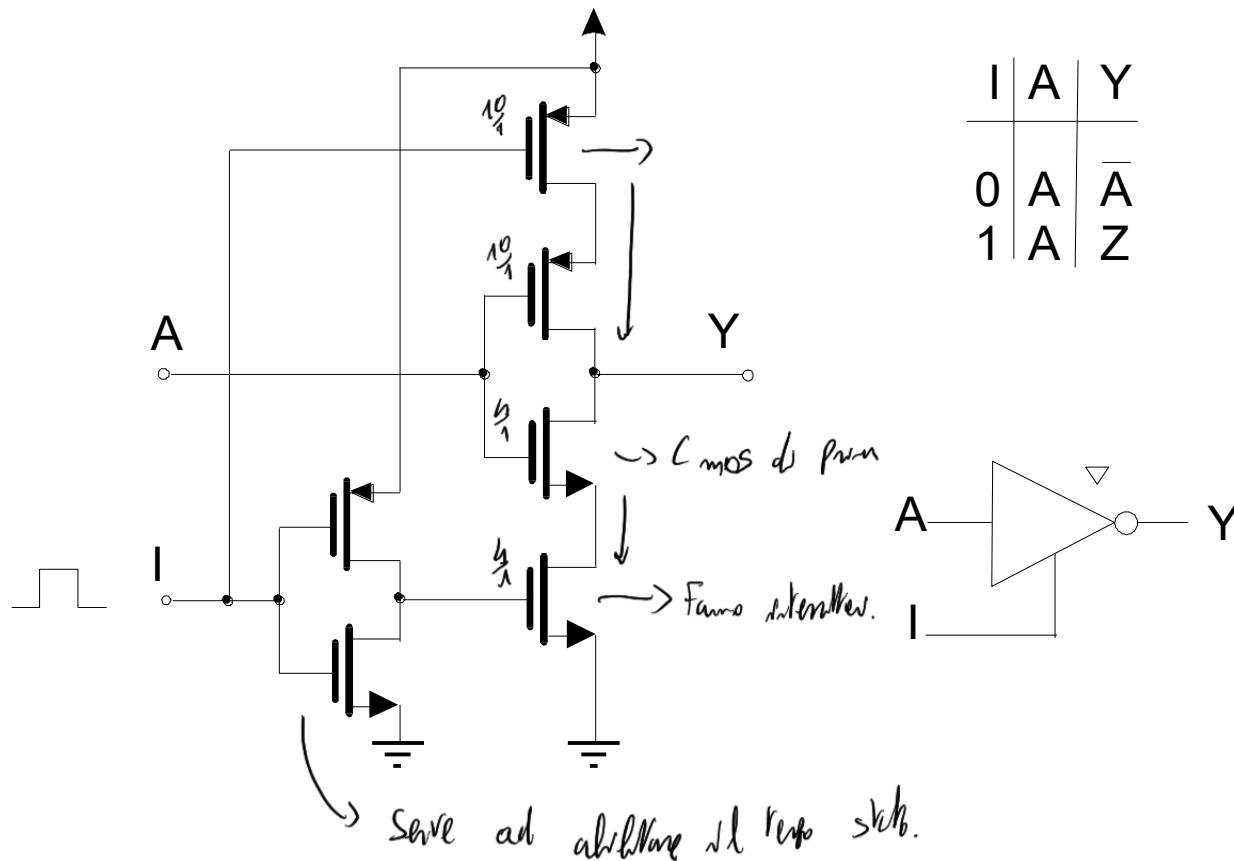
- Alto
- Basso
- Uscita aperta (alta impedenza)

Mentre gli stati alto e basso dipendono dalle variabili di ingresso, il terzo stato dipende dalla presenza o assenza di un segnale di abilitazione (*enable*) o di inibizione (*inhibit*) applicato ad un ingresso aggiuntivo della porta.

Porte logiche con stato alto, stato basso o alta impedenza, cioè plus negativo.

Se devo smistare segnali? Ora passa l'h, ora l'h ecc. Si usa queste porte. Che può presentare uscite ad alta impedenza. Nel 3° stato qualcosa dunque è come se uscita fosse appena

# Invertitore CMOS a tre stati



Quando I è alto i due MOS estremi si interdicono disconnettendo l'invertitore dalla alimentazione e dalla massa

Se  $I$  alto, su gate di PMOS valore alto, su gate NMOS valore basso. Entrambi spenti.

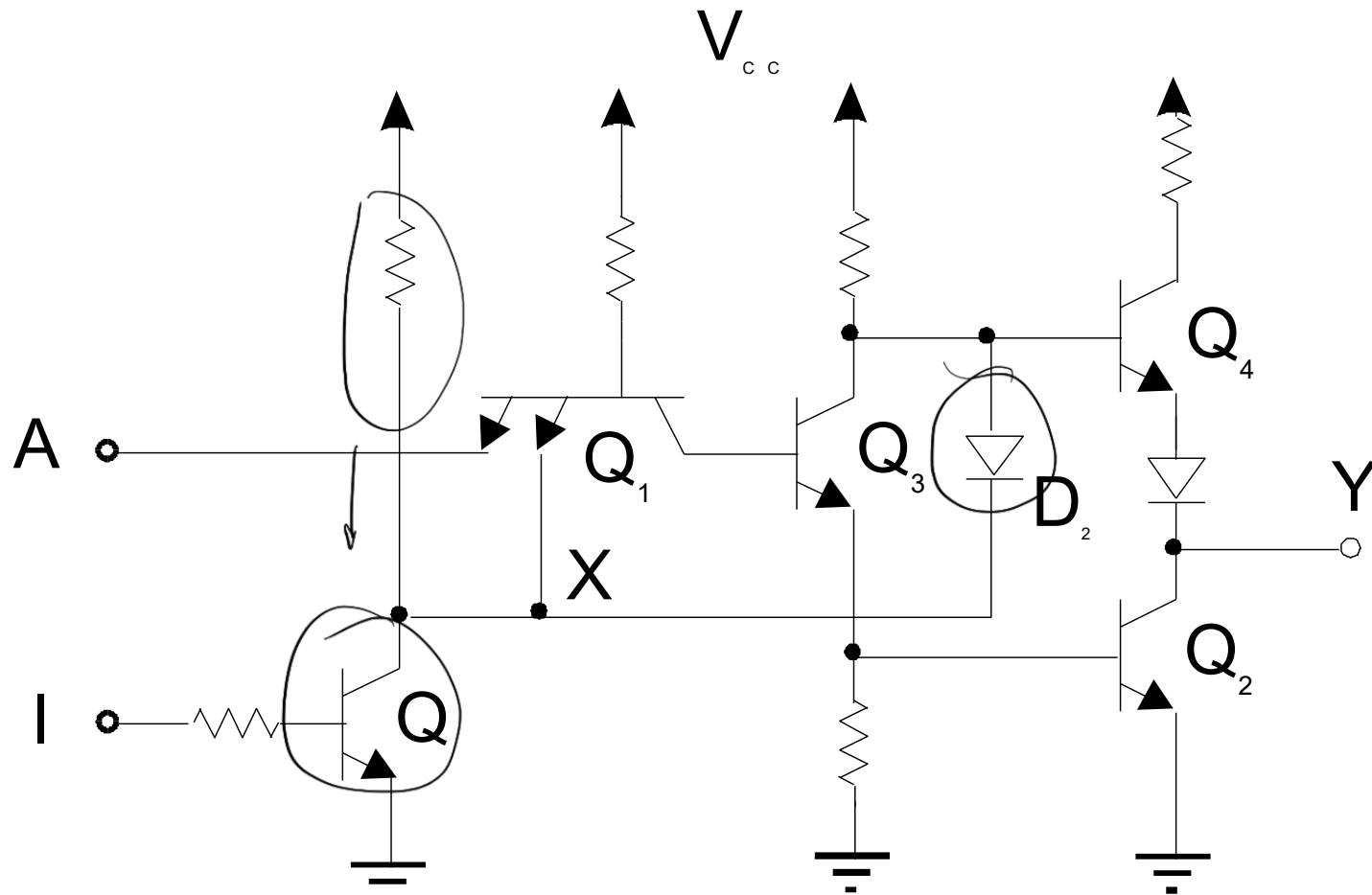
Quando il punto Y è sconnesso sia dalla massa che dall'alimentazione. Ha tensione indeterminata.

Sarebbe sia da massa che da alimentazione. Come se niente fosse fatto.

Se  $I=0$ , tra entrambi mosfet accesi, Mettono in comunicazione massa e alimentazione col sistema.

Inviluppo fa il suo mestiere, ma ha 2 errori. Per risposta domanda se voglio equivalenza delle rappresentazioni o dimensioni.

# Invertitore TTL a tre stati



Quando  $I$  è alto  $Q$  e  $D_2$  vanno in conduzione quindi il potenziale della base di  $Q_4$  diventa  $V_{OL} + V_D \approx 0.9V$  e  $Q_4$  si spegne. Inoltre  $Q_1$  vede un ingresso basso e interdice  $Q_3$  e  $Q_2$ . L'uscita  $Y$  si trova allora isolata dalla alimentazione e dalla massa!

Quando  $I$  è basso  $Q_1$  vede un ingresso alto che non altera il funzionamento della porta

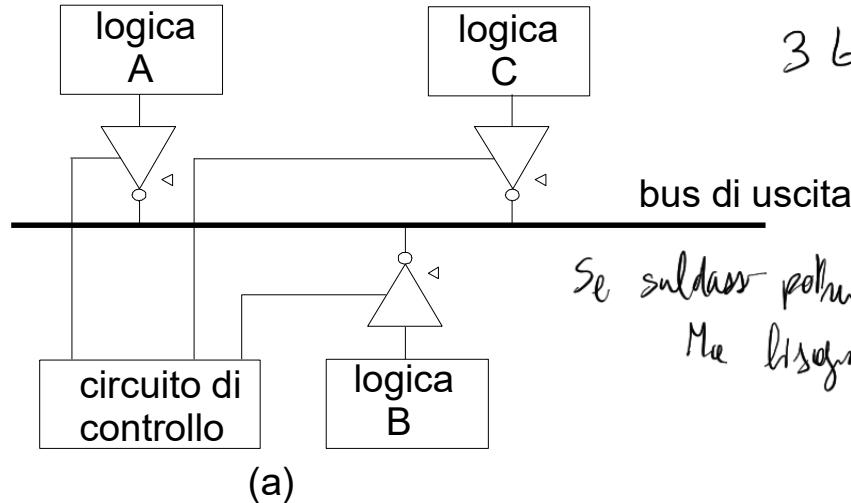
Vediamo di leggere a 3 stati su NAND.

Questa figura è un circuito che funziona male. Se I alto, X sta quasi a massimo.  
Q<sub>1</sub> vede uno degli ingressi a segnale basso. Q<sub>2</sub> vede uno degli ingressi basso, quindi  
l'uscita spegne Q<sub>3</sub> e chiude perché succede Y. Il dominante è alta. Ma Q<sub>3</sub> non si può  
accendere. Cattura d'onda  $\approx 0.15V$ , anche la valore superiore la tensione è bloccata  
a 0.7V che non riesce ad accendere su Q<sub>3</sub> che chiude. Spieghi su Q<sub>2</sub> che  
Q<sub>1</sub> sta appena Y.

Se I è basso quel punto va alto, uno degli ingressi della NAND sono alti. Diodo  
non potranno accendersi perché punto sotto ad alta tensione, avendo a potenziale  $\leq$  anodo.  
Se cattura già ha V<sub>ce</sub>. Transistor è spento Q<sub>2</sub>, quindi rimanente a V<sub>ce</sub>.  
Intervolare una tensione quando potranno leva non problema.

A volte nell'esame chiede schematico di questo punto. A volte chiede se nel caso reale  
stessa tempo di propagazione. Basta che abbiano rapporto d'impiego.

# Applicazioni delle porte a tre stati



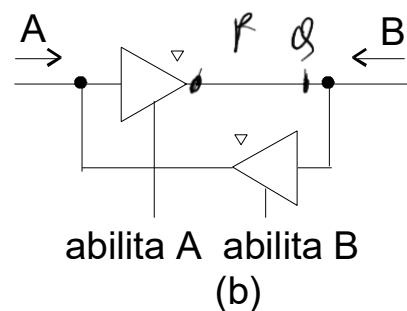
3 block sul bus.

bus di uscita

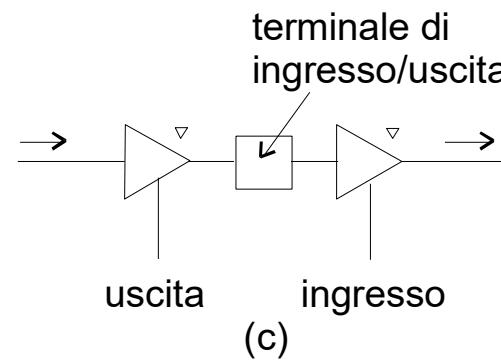
Se saldassi per la funz. AND, OR, ecc.  
Ma bisognerebbe separarle. Si usano trasistori.

Utilizzate 2 dei 3.

Fatto come se fossero state due.



(b)



(c)

- a) Connessioni multiple a un singolo bus di uscita
- b) Buffer bidirezionale
- c) Terminale ingresso-uscita

2) Buffer bidirezionale: Se voglio far entrare dati dalle 2 master prende master  
in quel modo. Posso tagliare P1 se voglio far entrare B.  
Se voglio far entrare A, shello perdo qui.

3) Terminali con 2 uscite. Se una abilità, segnala verso ingresso,  
oppure diversa uscita. Ma serve a configurare più nelle diverse configurazioni. Creo terminali  
ingresso uscita. Questi sono 3 appunti. Più chiedere.

# Logica BiCMOS

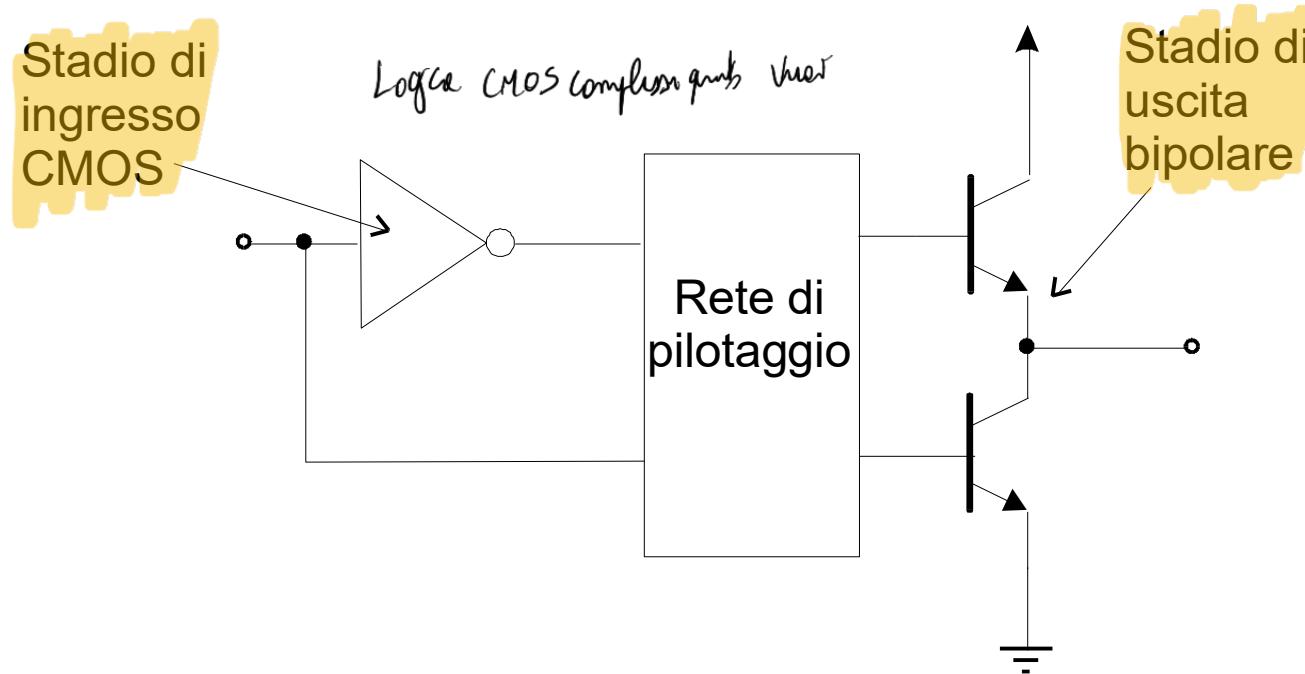
La logica BiCMOS (Bipolar-CMOS) prevede la realizzazione sullo stesso chip di dispositivi bipolarì, dispositivi NMOS e PMOS.

Consente di combinare le caratteristiche di elevata flessibilità progettuale, elevato livello di integrazione e basso consumo, tipiche della logica CMOS, con la capacità di pilotare carichi elevati con elevata velocità, tipica della logica TTL.

Comincia le 2 features peculiari; Bassa potenza, alta integrazione da un e possibilità di gestire circuiti della TTL. Comunque già integrato in un grosso di elaborare sotto CMOS, si vuole fare in logica bipolare. Altro modo è far con interfacciamento.

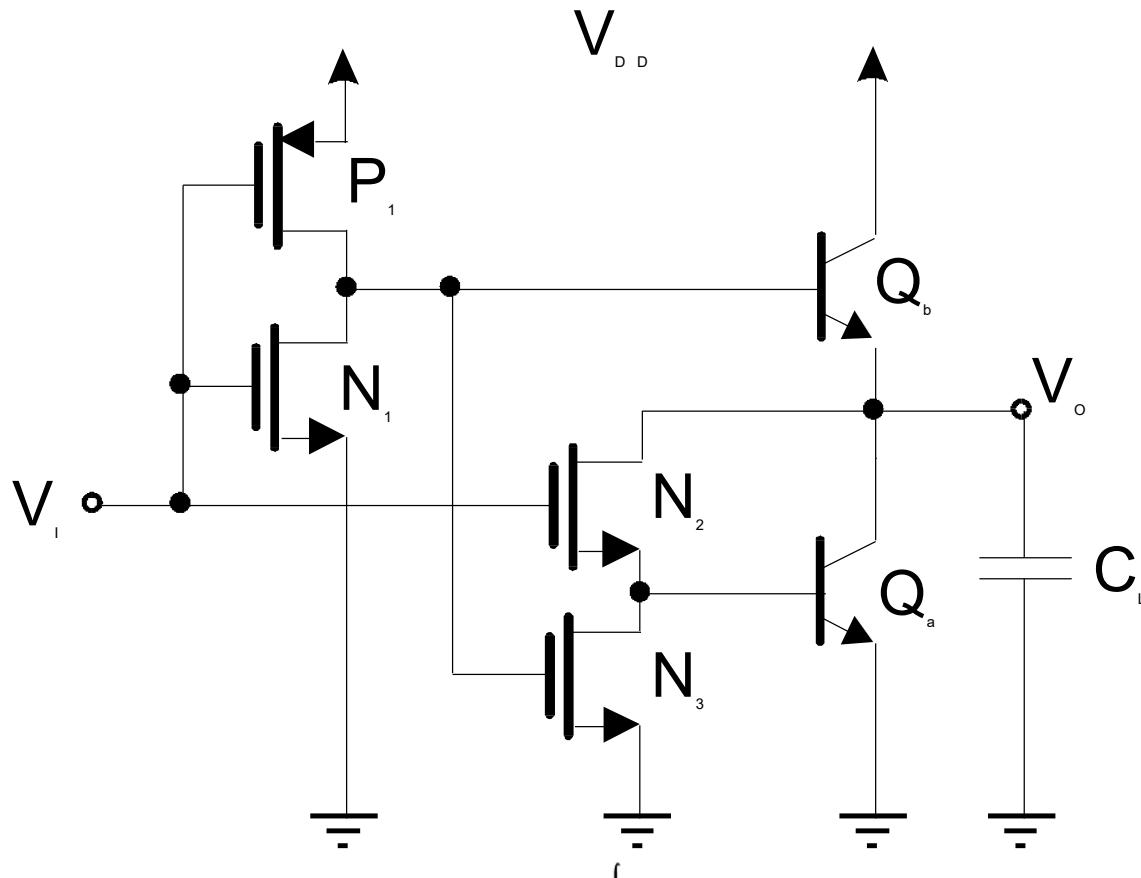
# Invertitore BiCMOS

con ingresso invertitore semplice



E' composto da un invertitore CMOS, uno stadio totem bipolare di uscita ed una rete in grado di generare i segnali in opposizione di fase necessari al pilotaggio del totem.

# Realizzazione circuitale di un invertitore BiCMOS



Q<sub>a</sub> e Q<sub>b</sub> lavorano tra conduzione e interdizione

↳ Rete intermedia trasferisce segnale da ingresso ai due transistori b.pnp

I livelli logici sono:

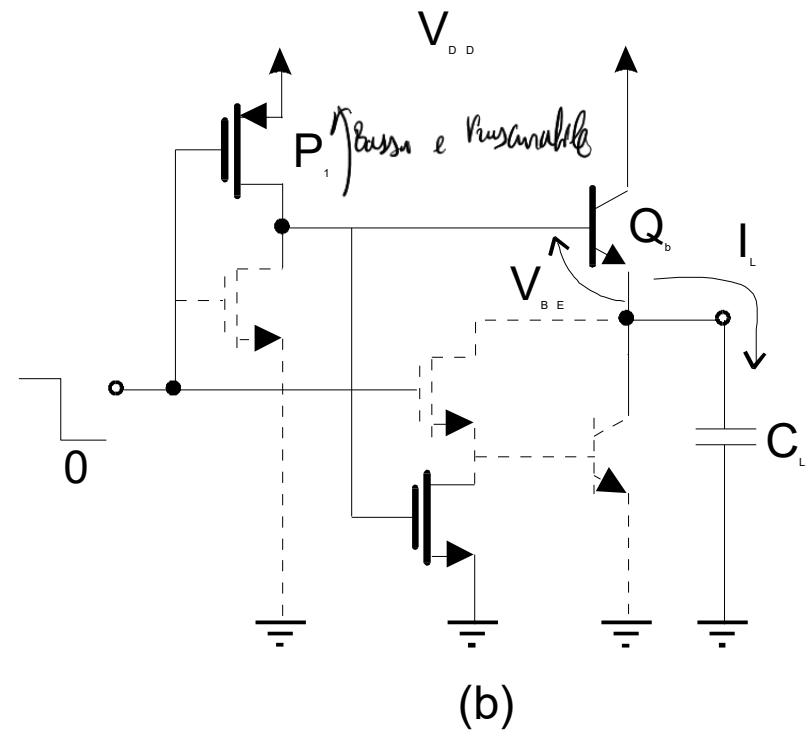
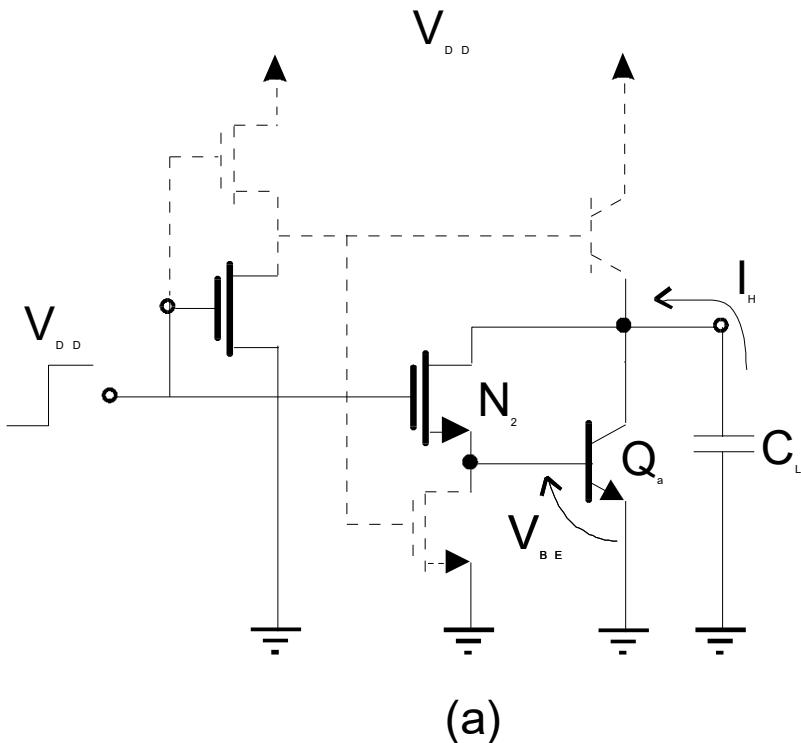
$$V_{OH} = V_{DD} - V_{BE}(Q_b)$$

$$V_{OL} = V_{BE}(Q_a)$$

La rete logica non è VDD, ma  $V_{OL} = V_{BE}(\Omega_a)$ . Non è una VCESAT perché non va in saturazione. Sono fatti apposta.

Se  $V_T$  basso,  $N_2$  è spento, C. è alto, Qa basso, perché spento.

# Transizioni H-L e L-H di un invertitore BiCMOS



a) Transizione H-L  
b) Transizione L-H

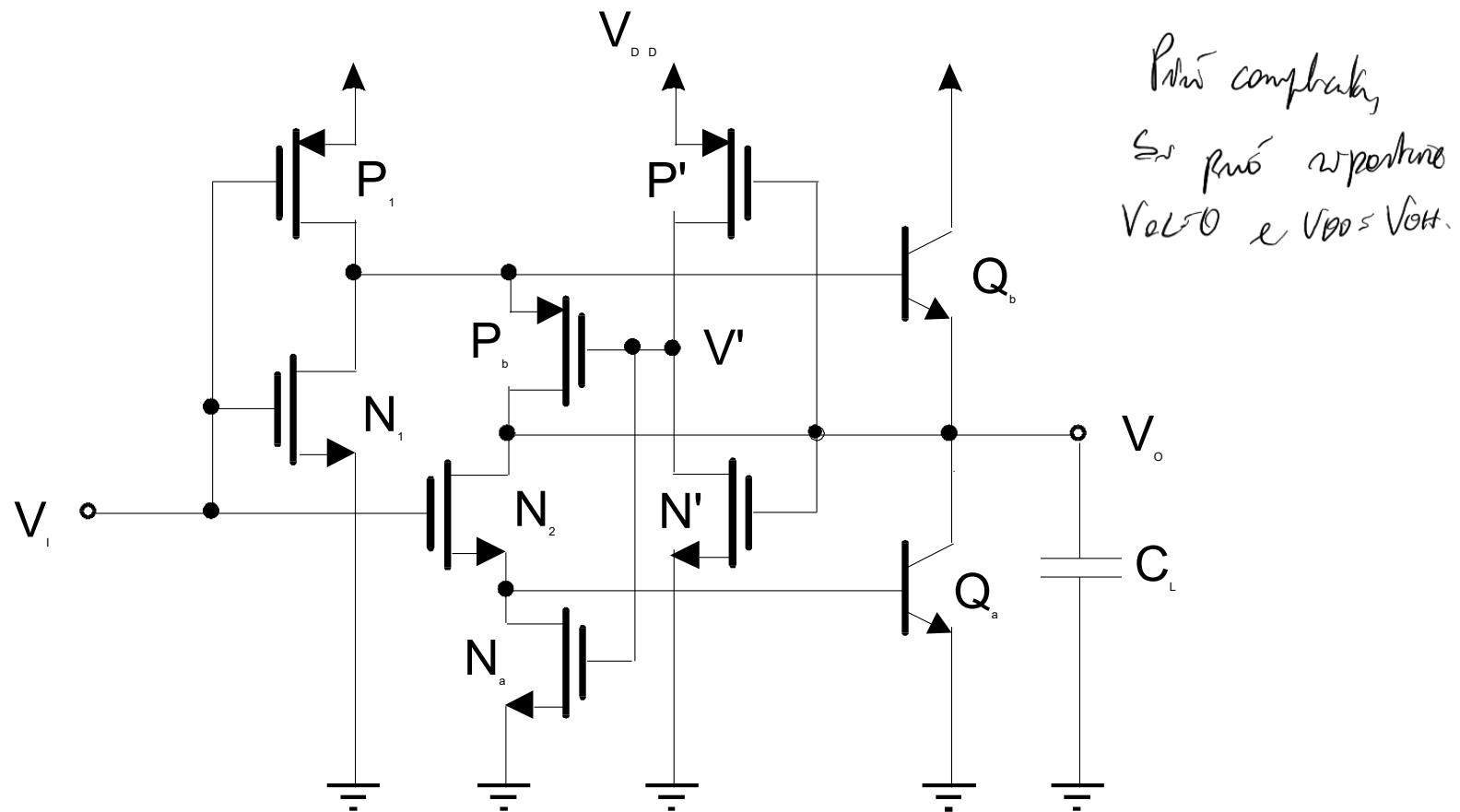
Input alto, acceso solo NMOS sopra. N<sub>2</sub> é acceso, impone certo guad. Pm base e collezione  
di Q<sub>a</sub>. V<sub>BE</sub>=V<sub>CE</sub> perché transistore fa da colpo circuito. Dimensionante un modo do avere  
resistenza bassa. Q<sub>a</sub> é in ZAD.

Nell'altro, PMOS acceso, N<sub>2</sub> é spento, questo spiega anche Q<sub>a</sub>. Sopravvive solo  
Q<sub>b</sub>, con base alta, acceso. Vdd sopra su collezione, come base. Colpo circuito.  
Q<sub>a</sub> è offuscato. Non porta Q<sub>b</sub> in saturazione. Sta in ZAD. V<sub>BE</sub>≈V<sub>CE</sub>=0,7V.

↑ Colpo circuito.

Diseño schema e far vedere dimensione di colpo e scorrimento.

# Invertitore BiCMOS con escursione logica completa



Per uscita alta  $P_1$  e  $P_b$  conducono con  $V_{SD}$  trascurabile

Per uscita bassa  $N_2$  e  $N_a$  conducono con  $V_{DS}$  trascurabile



# Porte logiche BiCMOS

In genere:  
Logica è questa

