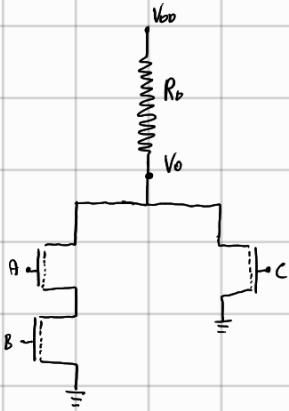


① REALIZZARE FUNZIONE IN TECNOLOGIA OPEN DRAIN E DIMENSIONARE I COMPONENTI

$$Y = \overline{AB+C}$$

FUNZIONE DI PARTENZA



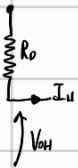
$$\frac{W}{L} = \frac{20}{1}$$

$$K'_N = 100 \mu A/V^2$$

$$V_{TN} = 1V$$

$$V_{DD} = 5V$$

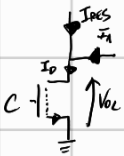
La porta deve erogare 0.1 mA per uscita alta:



$$V_{DD} - R_D I_H - V_{OH} = 0 \quad V_{OH} = 3.8V$$

$$R_D = \frac{V_{DD} - V_{OH}}{I_H} = 12000 \Omega \text{ è il valore massimo } = R_{MAX}$$

La porta assorbe una corrente pari a $1mA + \frac{V_{DD} - V_{OL}}{R}$, dove se $R = R_{MAX}$, $I_D = 1.4mA$
 Considero il caso single MOS per calcolare il rapporto d'aspetto del singolo MOS.



$$\text{Il transistor si trovava in triodo perché ho come bias: } V_{DD} - V_{TO} \geq V_{OL} \Rightarrow 4 \geq 0.3 \checkmark$$

$$I_D = K'_N \left(\frac{W}{L} \right) \left(V_{DD} - V_{TO} - \frac{V_{OL}}{2} \right) V_{OL} \quad \text{con } I_D = 1.4mA$$

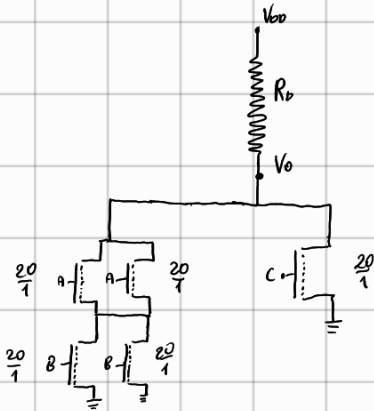
$$V_{DD} = 5V \quad V_{TO} = 1V \quad V_{OL} = 0.3V$$

$$\left(\frac{W}{L} \right)_C = \frac{12.1}{1} \quad \text{Il MOS A e B, essendo in serie, dovranno avere un rapporto d'aspetto doppio}$$

$$\left(\frac{W}{L}\right)_A = \left(\frac{W}{L}\right)_B = \frac{24.2}{1}$$

Avendo solo MOS da $\frac{20}{1}$, usero' 2 MOS in parallelo per ottenere il valore corretto per A e B.

Progetto finale:



Visto che utilizzo per ogni percorso un rapporto d'aspetto di $\frac{20}{1}$, calcolo la corrente che posso "sopportare" per mantenere l'uscita a 0.3V

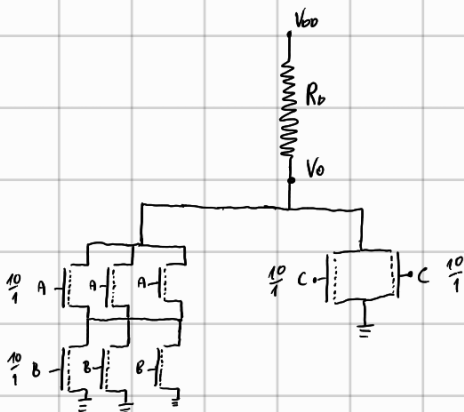
$$I_D = K'_n \left(\frac{W}{L}\right) (V_{DD} - V_{TO} - \frac{V_{OL}}{2}) V_{OL}$$

$$\left(\frac{W}{L}\right) = \frac{20}{1} \quad V_{OL} = 0.3V \quad V_{DD} = 5V \quad V_{TO} = 1V$$

$$I_D = 2.31 \text{ mA} \Rightarrow I_{RES} = I_D - 1 \text{ mA} = 1.31 \text{ mA}$$

$$I_{RES} = \frac{V_{DD} - V_{OL}}{R_{pull}} \Rightarrow R_{pull} = \frac{V_{DD} - V_{OL}}{I_{RES}} = 3588 \Omega$$

Se lavorassi con MOS sia di $\frac{10}{1}$, dovrei usare più MOS per arrivare al rapporto d'aspetto richiesto.



- Disegnare lo schema circuitale di una porta che implementi la funzione $Y = \overline{AB + C}$ in tecnologia NMOS "open drain" immaginando di avere a disposizione una quantità a piacere di integrati contenenti ciascuno 4 MOS uguali con $W/L = 20/1$, $K'_n = 100 \mu A/V^2$, $V_{TN} = 1V$ e una alimentazione $V_{DD} = 5V$.
- Determinare i valori minimo e massimo del resistore di pull-up in modo che la tensione di uscita della porta NMOS risulti non superiore a 0.3V nello stato basso e non inferiore a 3.8V nello stato alto, se questa deve pilotare un carico attivo che assorbe 0.1mA per ingresso alto ed eroga 1mA per ingresso basso.
- Al fine di minimizzare il ritardo complessivo del circuito che valore bisogna scegliere, compatibilmente con i risultati precedenti, per il resistore di pull-up?
- Cosa succede se i MOS hanno un rapporto di aspetto $W/L = 10/1$?