

UNITA' PERIFERICA DI TIPO PARALLELO

PIA MC 6821

MC 6821 Segnali

- Data Bus bidirezionale (D0..D7)
- Segnali di selezione del Chipset (CS0, CS1, CS2)
- Segnale di Lettura\Scrittura (R\W)
- Enable
- 2 Data Bus Periferiche ad 8 bit (PA0..PA7, PB0..PB7)
- 2 Linee di interruzione esterne (CA1, CB1)
- 2 Linee di controllo periferico (CA2, CB2) programmate per funzionare come IN\OUT
- 6 Registri Interni (2 segnali RS0, RS1 per indirizzarli)

Linee Dati Periferiche e del Data Bus

- PA0..PA7 e PB0..PB7 possono essere sia di ingresso che di uscita
- La direzione dei dati si programma settando i bit nei REGISTRI DIREZIONE DATI (DDR)
- Es: DDRA [11111111] tutte le linee di A sono settate come linee di uscita
- D0..D7 sono linee che consentono il trasferimento dei Dati dalla PIA al Processore, sono di tipo “Three State”;
- la direzione dei dati sul data bus dipende dal segnale R\W

Richiesta Interruzioni (IRQA e IRQB)

- Linee di tipo “ Open Drain”
- Si mettono in parallelo tutte le linee di richiesta di interruzione in modo da realizzare un “Wired Or”
- Dopo la richiesta di interruzione ci sarà una Routine Sw che legge e controlla tutti i registri di controllo – bit6, bit7 “flag di interruzione”
(secondo un criterio di priorità prestabilito)
- La CPU dopo aver letto i dati dai registri, cancella automaticamente il segnale di richiesta di interruzione (disabilita i bit)

Architettura Interna

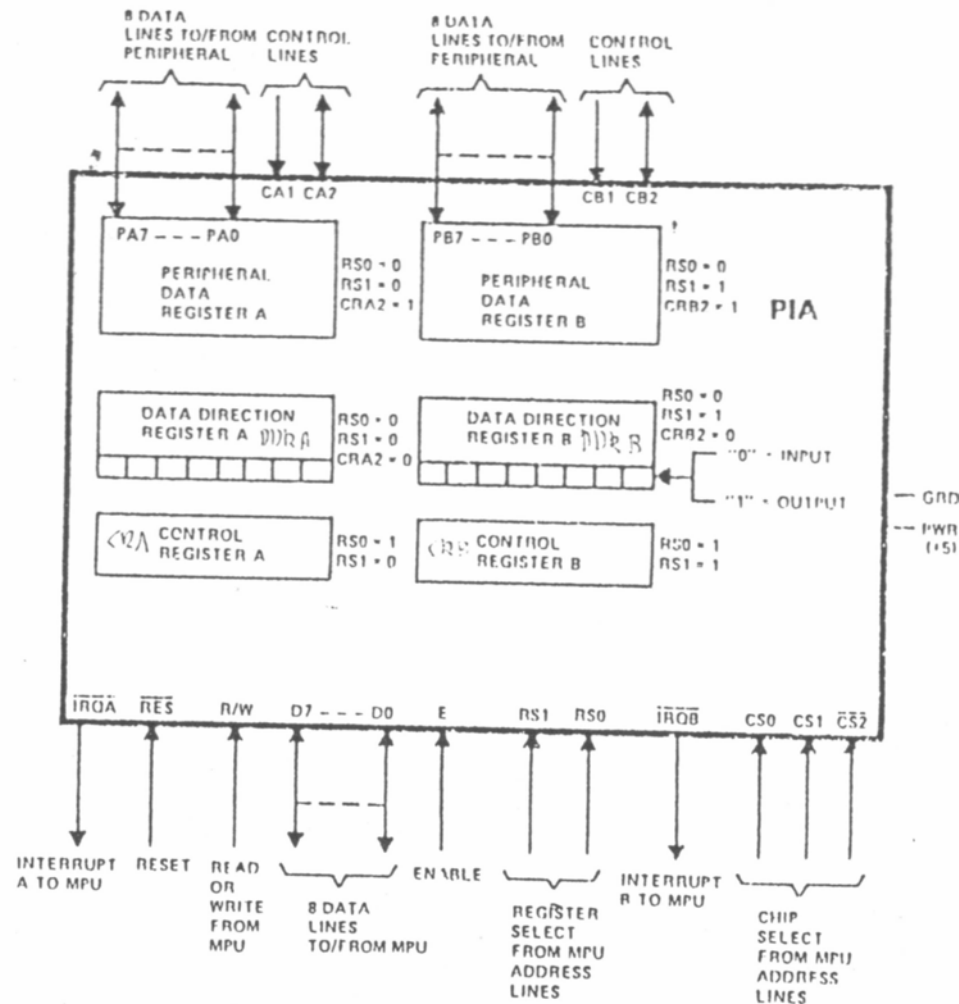


Fig. 5.1 Registri Interni di una unità PIA

Segnali CA1, CB1, CA2, CB2

- CA1 e CB1 funzionano solo da INGRESSI della PIA, vengono usati per inoltrare una richiesta di Interruzione
- CA2 e CB2 sono linee di controllo periferico sia di INGRESSO che di USCITA:
 - Le funzioni svolte dalle linee sono programmate mediante 3 bit del REGISTRO DI CONTROLLO (CRA3, CRA4, CRA5)

Registro di controllo CRA

Bit 7	Bit 6	Bit 5,4,3	Bit 2	Bit 1,0
IRQA1	IRQA2	CA2	DDRA	CA1

Significato dei singoli bit (1)

- **CRA0** e **CRA1** determinano il modo in cui trattare un'interruzione:
 - CRA0 determina se la richiesta di interruzione deve o meno essere inoltrata al Processore attraverso la linea IRQA (è come una maschera)
 - CRA1 determina quale fronte dell'interruzione è riconoscibile all'ingresso di CA1
- **CRA2** serve per selezionare il registro DATI o il registro DIREZIONE

Significato dei singoli bit (2)

- **CRA3, CRA4, CRA5** individuano uno dei possibili modi di funzionamento della linea CA2:
 - CRA5 stabilisce se la linea CA2 funziona da INGRESSO di interruzione o da USCITA.
 - Se **CRA5= 0** CA2 è programmata per funzionare come linea di ingresso, funziona come CA1 per cui:
 - CRA4 determina il tipo di fronte di interruzione riconoscibile sull'ingresso CA2
 - CRA3 viene utilizzato per mascherare le richieste di interrupt provenienti da CA2

Significato dei singoli bit (3)

- Se **CRA5**= 1 CA2 è programmata per funzionare da USCITA, in questo caso i bit CRA4 e CRA3 sono utilizzati per stabilire uno dei seguenti modi di funzionamento:
 - (100) modo Handshake
 - (101) modo Impulsivo
 - (11x) modo dipendente da CRA3

Esempio: Modo Handshake (100)

- Consideriamo il caso in cui una periferica esterna funzionante da sorgente di dati sia connessa alla PIA
- La periferica vuole inviare un dato alla PIA sul latoA (settato da Ingresso):
 - La periferica mette i dati sul BUS-DATI
 - Attraverso la linea CA1 invia alla PIA il segnale “Dato pronto per la lettura”, sulla transizione di CA1 anche CA2 si alza;
 - Internamente alla PIA il flag IRQA1 (CRA7) si alza e viene inviata al processore una richiesta di interruzione che causerà lo svolgimento di un'apposita routine di interruzione

- La routine del processore prevede, tra l'altro, una operazione di lettura del REGISTRO DATI
- Ultimata la lettura, il flag di interruzione verrà abbassato e anche il segnale CA2 tornerà al valore logico basso, tale transizione costituisce una segnalazione “operazione di lettura ultimata” per l'unità periferica esterna.

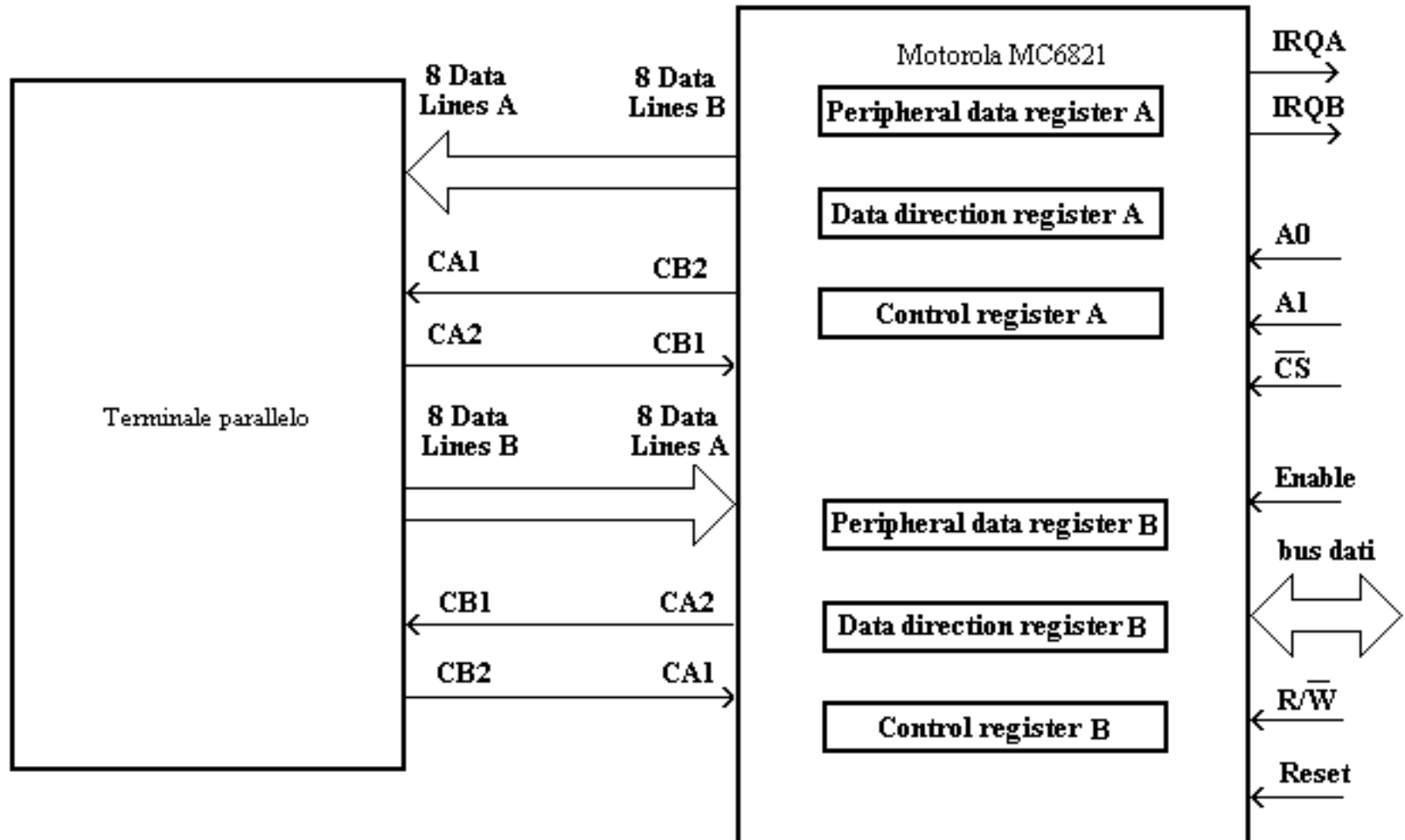
Esempio: Uscita dipendente da CRA3 (11x)

- Se $CRA5 = CRA4 = 1$
 - all'uscita di CA2 si presenta un livello logico coincidente con quello presente nel bit CRA3

Simulazione di terminali paralleli con ASIM

- Lo scambio dei dati tra il terminale e l'interfaccia parallela è regolato da un protocollo di handshaking sviluppato attraverso le linee di handshaking CA1, CA2, CB1 e CB2.
- Le proprietà che deve possedere l'interfaccia parallela da connettere al terminale sono quelle di possedere linee compatibili a quelle del terminale e rispettare il suo protocollo di handshaking.

Schema di collegamento con una device



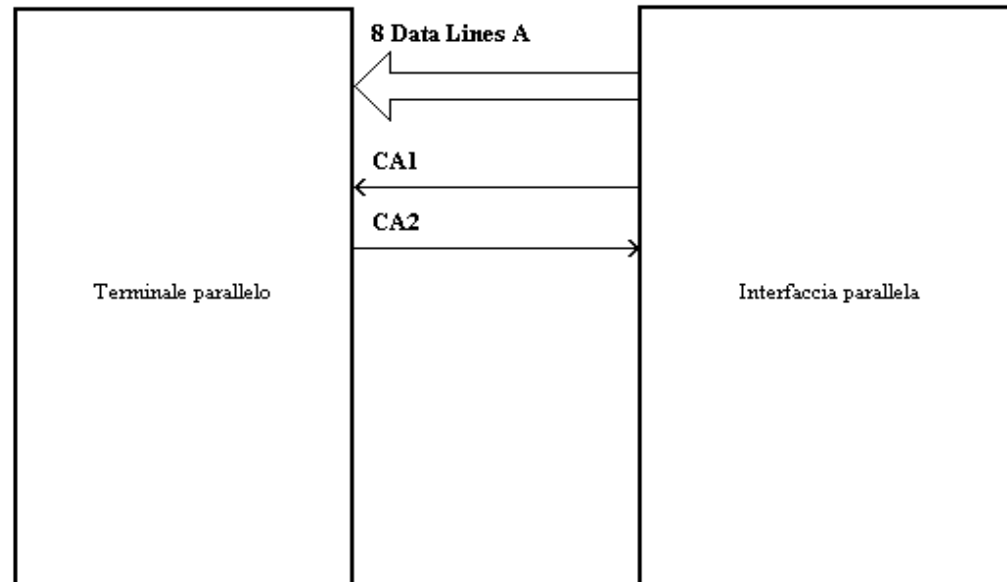
Inizializzazione dei Registri

- Oltre a realizzare i collegamenti tra le varie linee, è necessario, per rispettare il protocollo di handshaking del terminale, fissare opportunamente i valori dei registri di controllo (**CRA** e **CRB**) e di direzione dei dati (**DRA** e **DRB**) dell' interfaccia parallela

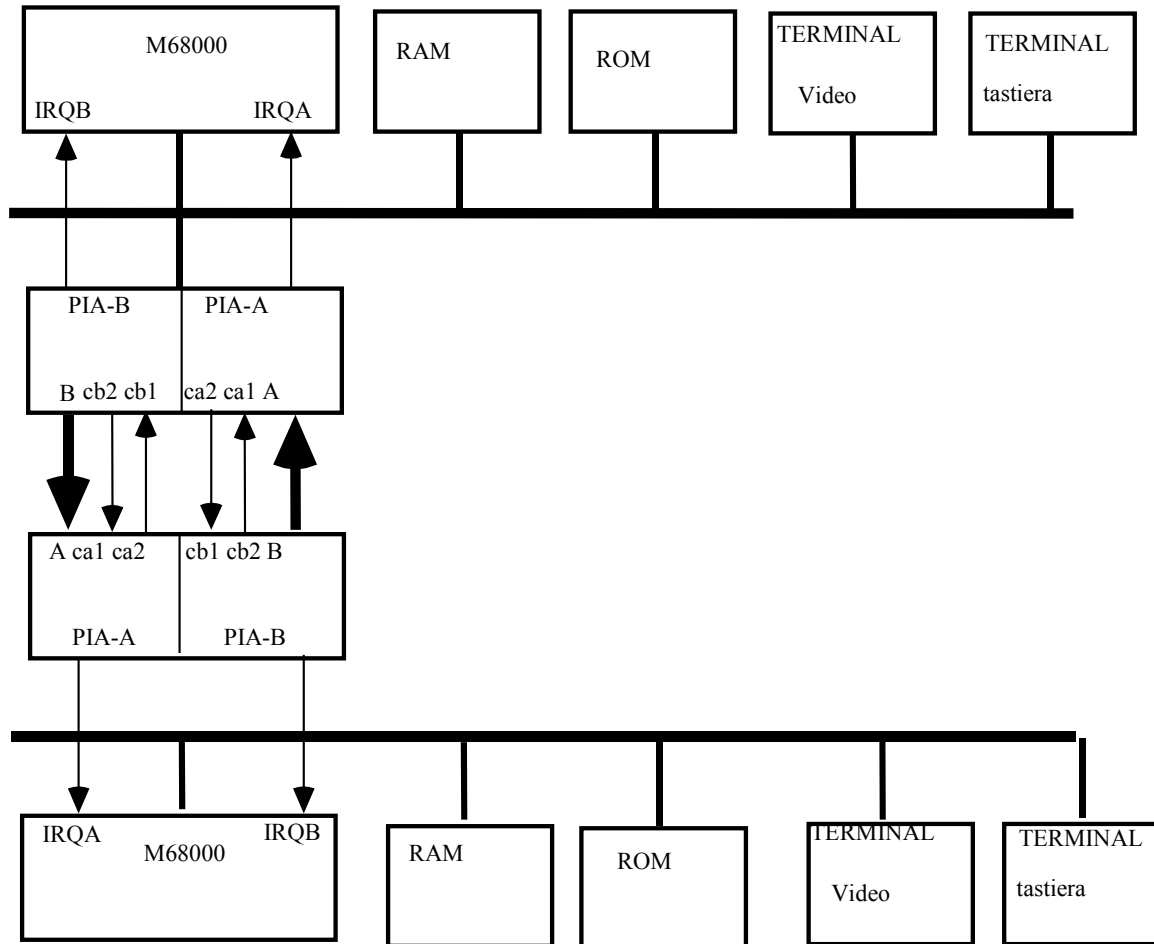
- Si presuppone che A0 sia stato precedentemente caricato con l' indirizzo più basso associato all' interfaccia parallela.
 - **move.b #\$00,(A0)**
 - **move.b #\$24,1(A0)**
 - **move.b #\$ff,2(A0)**
 - **move.b #\$24,3(A0)**
- La prima istruzione e la terza istruzione fissano la direzione delle linee dati A e B. In particolare, tutte le 8 linee dati A sono state programmate come linee d'ingresso, mentre tutte le linee dati B come linee d' uscita.
- La seconda (la quarta) istruzione scrive il valore 24 esadecimale (0010 0100) nel registro di controllo CRA (CRB).

- I valori inseriti comportano:
- che la linea CA1 (CB1) sia sensibile alle variazioni high/low del segnale,
- che la linea di richiesta interruzione IRQA (IRQB) sia disabilitata,
- che i prossimi accessi all' indirizzo relativo 0 (2) sono realizzati sul registro PRA (PRB),
- che la linea CA2 (CB2) è una linea d' uscita che assume il valore basso in seguito ad un' operazione di lettura su PRA (scrittura su PRB) ed il valore alto su una variazione high/low di CA1 (CB1).

Caso in cui viene ricevuto un carattere dall' interfaccia parallela e viene successivamente stampato o visualizzato.



Esempio di Simulazione con ASIM



File di Configurazione (ASIM)

Il **Processore** è sempre collegato ad un BUS (specificare ID)
Ha un puntatore allo Stack il cui indirizzo è \$ 9000 in stato
utente (Address 1) ed è \$ 9200 in stato supervisore
(Address 2). Gli altri parametri non sono usati.

CHIP Name: M68000

Type: CPU. Identif: 02. BUS: 0001.

Addres 1: 00009000. Address 2: 00009200.

Com1: 0000. Com2: 0000.

Com3: 0000. Com4: 0000.

La **memoria** è divisa in RAM e ROM.

La RAM inizia all'indirizzo \$8000 (Address 1) ed è 10 Kbyte (COM2).

La ROM inizia all'indirizzo \$0000 (Address2) ed è 8 Kbyte (COM 3).

Type: **MMU/BUS**. Identif: 01. BUS: 0000.

Address 1: 00008000. Address 2: 00000000.

Com1: 0000. Com2: 0010.

Com3: 0008. Com4: 0000.

CHIP Name: **M6821PIA**

Type: Device. Identif: 04. BUS: 0001.

Address 1: 00002004. Address 2: 00002007.

Com1: 0002. Id. Gestore Interruzioni

Com2: 0003. Level Int.

Com3: 0004. Level Int.

Com4: 0208. Modalità comunicazione con un'altra PIA

Collegamento SW

Le **2 cifre meno significative** di **COM4** specificano l' Identificatore del Device a cui è connesso il terminale.

Le **altre due cifre** servono per definire le connessioni; di queste la **meno significativa** deve assumere uno dei seguenti valori:

- 0 linea CA2 connessa alla linea CA1 dell' interfaccia parallela;
- 1 linea CA2 connessa alla linea CA2 dell' interfaccia parallela;
- 2 linea CA2 connessa alla linea CB1 dell' interfaccia parallela;
- 3 linea CA2 connessa alla linea CB2 dell' interfaccia parallela;

nei primi due casi le linee dati A sono connesse alle linee dati A dell' interfaccia parallela; nei rimanenti due, le linee dati A sono connesse alle linee dati B dell' interfaccia parallela.

La **più significativa** deve assumere uno dei seguenti va-lori:

- 0 linea CB2 connessa alla linea CA1 dell' interfaccia parallela;
- 1 linea CB2 connessa alla linea CA2 dell' interfaccia parallela;
- 2 linea CB2 connessa alla linea CB1 dell' interfaccia parallela;
- 3 linea CB2 connessa alla linea CB2 dell' interfaccia parallela;

nei primi due casi le linee dati B sono connesse alle linee dati A dell' interfaccia parallela; nei rimanenti due, le linee dati B sono connesse alle linee dati B dell' interfaccia parallela.