



Tema 4

Familias Lógicas





Familias Lógicas

1.Introducción

- Tecnologías de circuitos integrados
- Características eléctricas básicas de los circuitos digitales

2.Familia TTL

3.Familia CMOS





Circuitos integrados

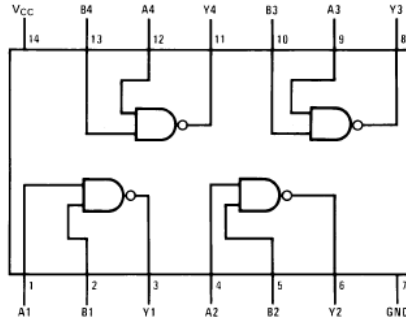
Los circuitos integrados se clasifican en función de su complejidad o escala de integración:

- **SSI: small scale of integration.** Son circuitos sencillos que contienen entre 1 y 10 puertas lógicas. Ejemplo: puertas lógicas simples: NAND, NOR, XOR, etc.
- **MSI: *medium scale of integration*.** Circuitos de complejidad media, entre 10 y 100 puertas. Ejemplos: codificadores, decodificadores, multiplexadores, registros, etc.
- **LSI: *large scale of integration*.** Circuitos de complejidad alta, contienen entre 100 y 1000 puertas lógicas. Ejemplos: memorias, dispositivos lógicos programables, etc.
- **VLSI: *very large scale of integration*.** Circuitos de muy alta complejidad. Entre 1000 y 100.000 puertas. Ejemplos: microprocesadores.
- **ULSI: *ultra large scale of integration*.** Circuitos de complejidad elevadísima. Contienen más de 100.000 puertas. Ejemplos: microcontroladores (integran en un sólo chip microprocesador, memoria y periféricos).

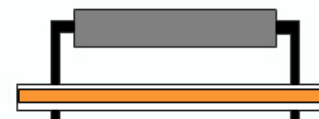
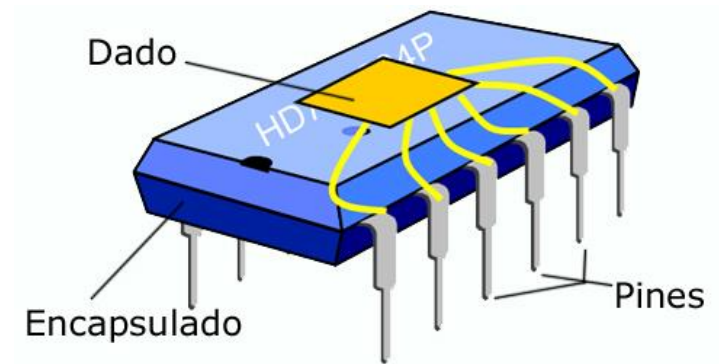
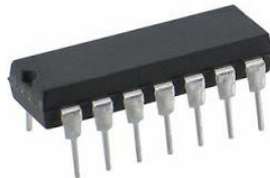




Ejemplos de C.I.



4 puertas NAND de 2 entradas



trough hole



SMT

Surface Mount
Technology





Familias Lógicas

La representación de los dos estados lógicos “0” y “1” de los circuitos digitales se representan mediante dos márgenes de tensión.

Los parámetros de operación básicos son:

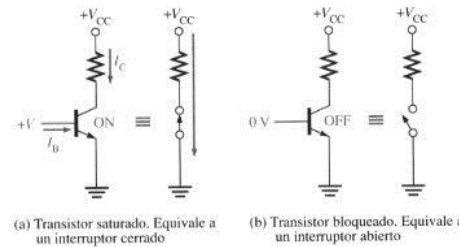
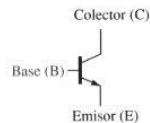
- **Niveles de tensión y corriente**
- **Inmunidad al ruido**
- **Fan-out**
- **Disipación de Potencia**
- **Retardo de propagación**



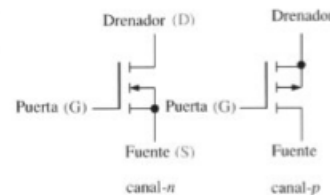


Familias Lógicas

- **TTL**, *transistor-transistor-logic*, basada en transistores bipolares (obsoleta).

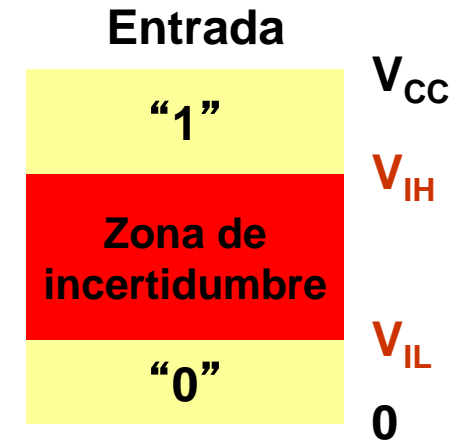
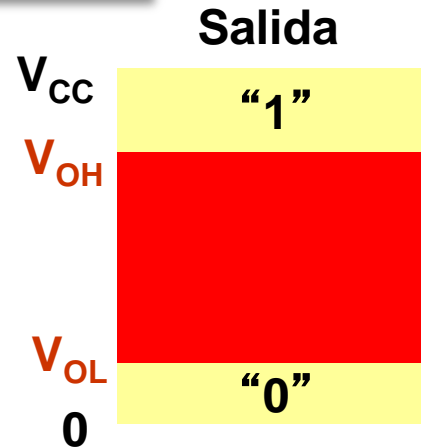


- **CMOS**, *Complementary MOSFET*, basada en transistores MOSFET complementarios, es decir, de canal P y de canal N. (menos consumo y más capacidad de integración)





Perfiles de tensión de salida y entrada



V_{IH} : Tensión de entrada mínima para asegurar que el nivel se interpreta como "1"

V_{IL} : Tensión de entrada máxima para asegurar que el nivel se interpreta como "0"

V_{OH} : Tensión de salida mínima a nivel alto

V_{OL} : Tensión de salida máxima a nivel bajo

Para que una entrada y una salida sean compatibles en tensión:

$$V_{OH} > V_{IH}$$

$$V_{OL} < V_{IL}$$

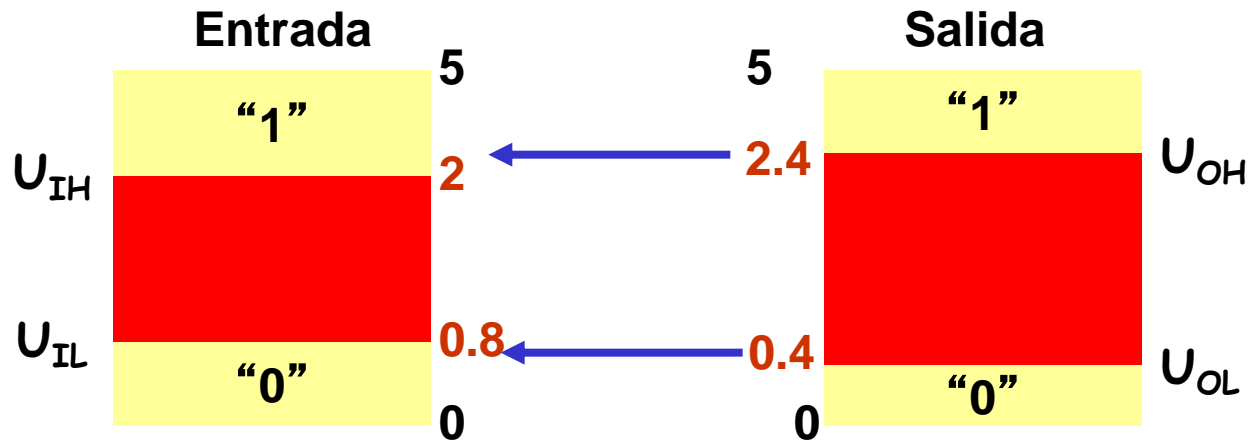




Perfiles de tensión de salida y entrada

TTL

Tensión de alimentación: $4.75V < V_{cc} < 5.25V$



Margen de ruido: $V_{NH} = V_{OH(min)} - V_{IH(min)}$ a nivel alto

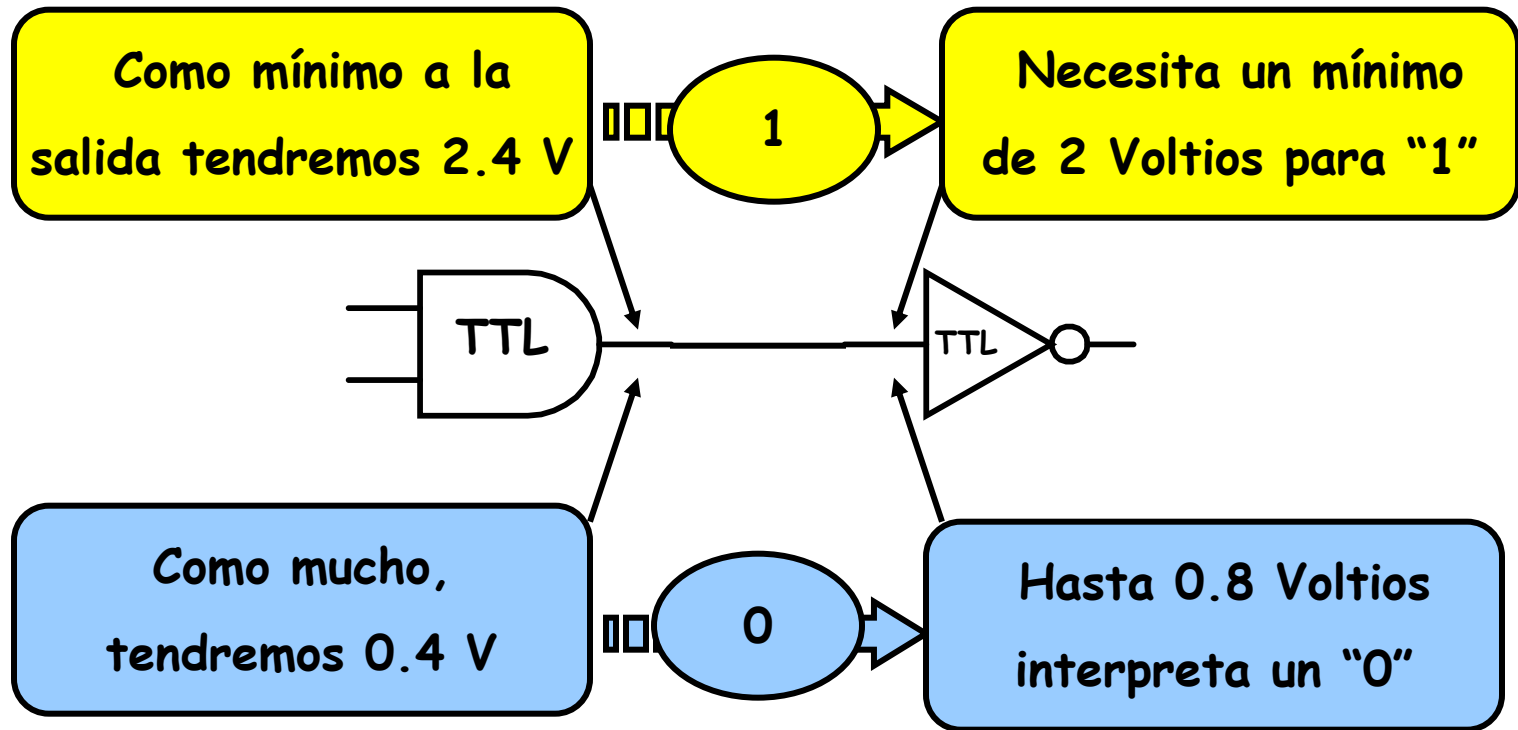
$V_{NL} = V_{IL(max)} - V_{OL(max)}$ a nivel bajo

Margen de ruido = 0.4 V





Compatibilidad TENSIONES



CONCEPTO DE INMUNIDAD AL RUIDO





Niveles de corriente:

I_{OH} : es la corriente máxima que puede suministrar la salida de una puerta a nivel alto

I_{OL} : es la corriente máxima que puede absorber la salida de una puerta a nivel bajo

I_{IH} : es la corriente máxima que circula por la entrada de una puerta configurada a nivel alto

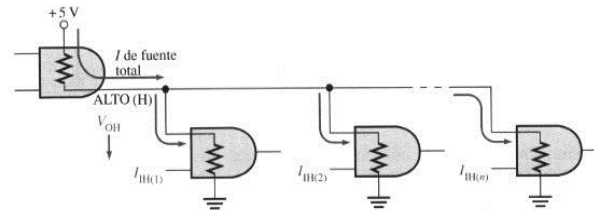
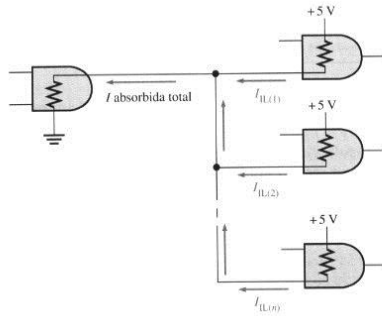
I_{IL} : es la corriente máxima que circula por la entrada de una puerta configurada a nivel bajo





TTL

Una puerta excitadora TTL entrega corriente (fuente) a las entradas de las puertas de carga en el estado alto (I_{IH})



Una puerta excitadora TTL absorbe corriente (sumidero) de las puertas de carga en el estado bajo (I_{IL}).

Corrientes de entrada:

$$I_{IL}: -1.6 \text{ mA}$$

$$I_{IH}: 40 \text{ } \mu\text{A}$$

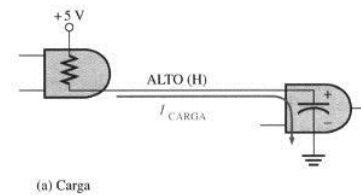
Corrientes de salida:

$$I_{OL}: 16 \text{ mA}$$

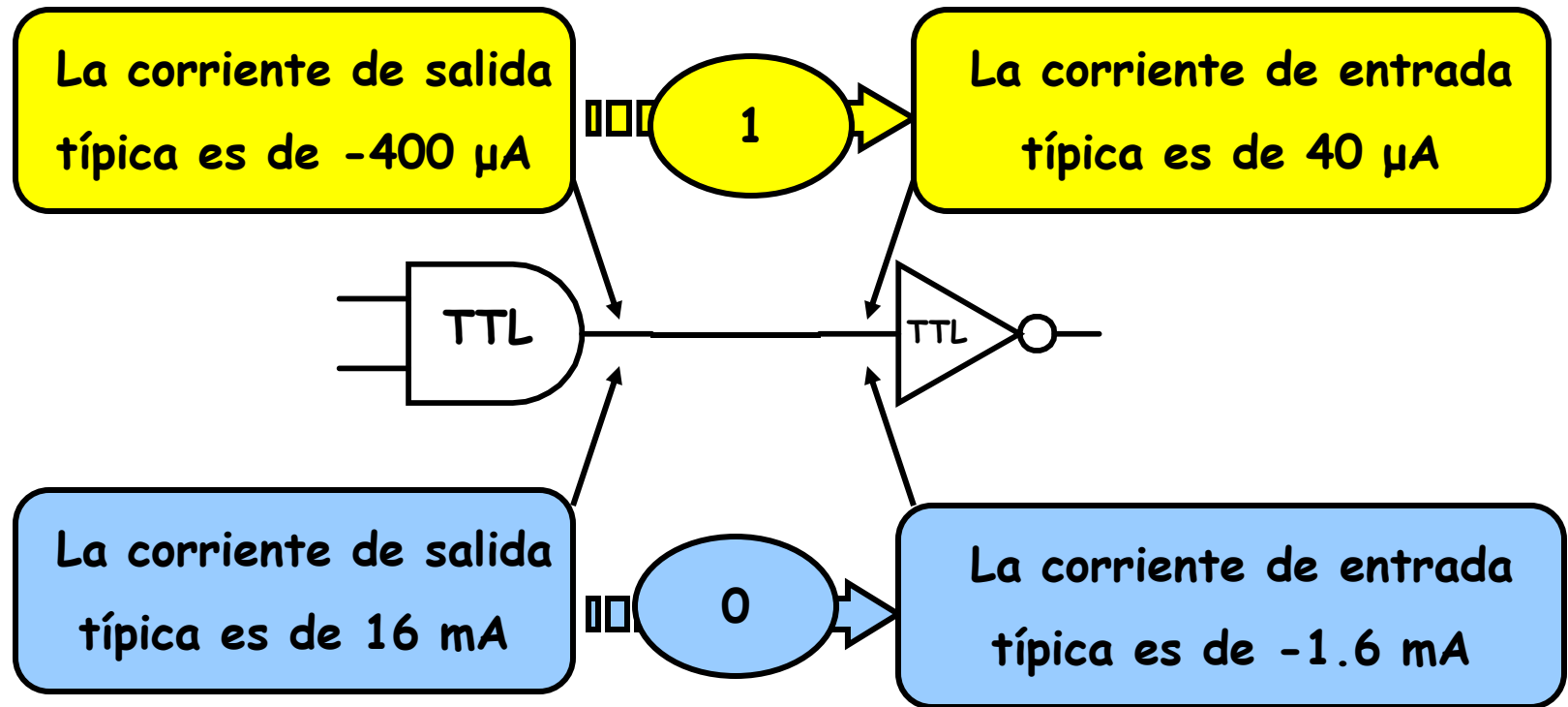
$$I_{OH}: -400 \text{ } \mu\text{A}$$

CMOS

La carga en CMOS es predominantemente capacitativa. Las limitaciones vienen dadas por los tiempos de carga y descarga asociados con la resistencia de salida de la puerta excitadora y la capacidad de entrada de las puertas de carga. Cuando se conectan más puertas a la salida de la excitadora, la capacidad total aumenta (puesto que las capacidades de entrada están en paralelo). Este aumento de la capacidad incrementa los tiempos de carga y descarga, por lo que se reduce la frecuencia máxima a la que puede funcionar la puerta.



Compatibilidad CORRIENTES



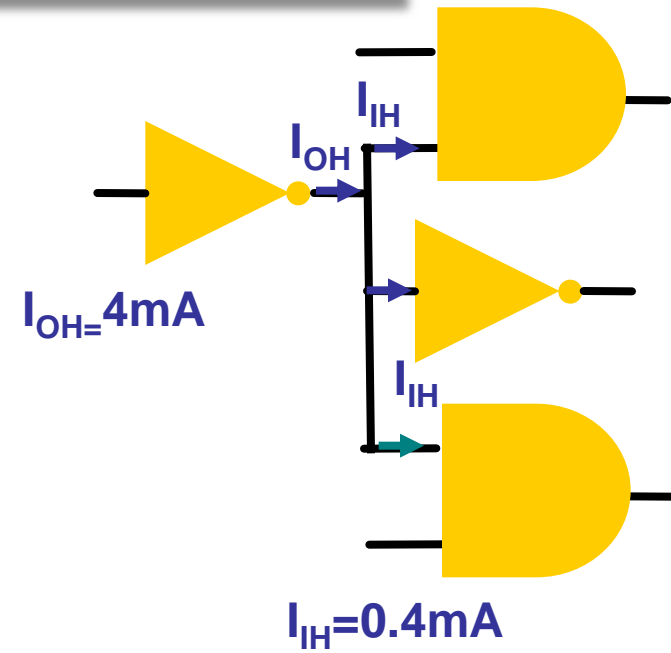
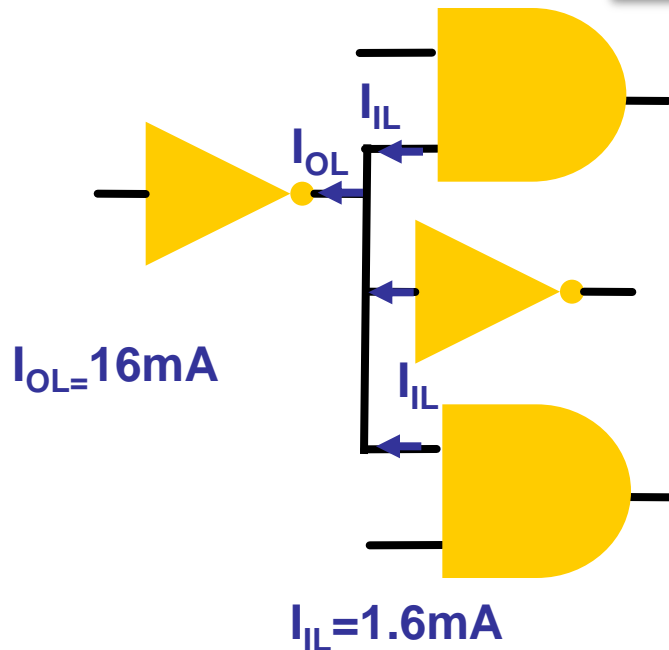
FAN-OUT: n° de puertas soportadas a la salida.



TTL FAN-OUT

Número de puertas que puede manejar la salida de una puerta lógica.

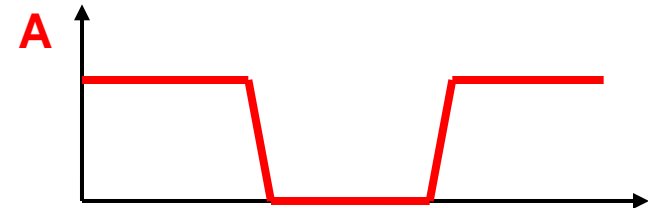
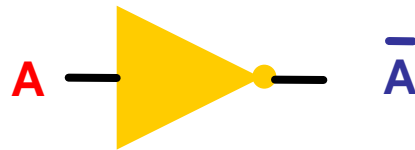
$$\text{FAN OUT} = \min\left(\frac{I_{OL}}{I_{IL}}, \frac{I_{OH}}{I_{IH}}\right) \approx 10$$





Familias Lógicas

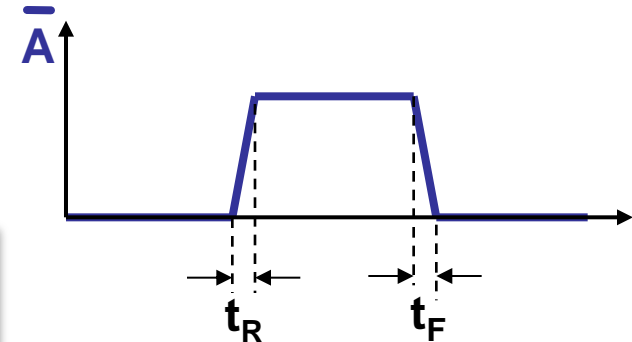
Tiempos de subida y de bajada



t_R : tiempo de subida (*rise time*)

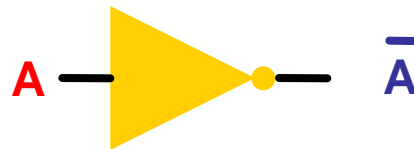
t_F : tiempo de bajada (*fall time*)

Se toman estos tiempos desde el 10%
al 90% de la transición





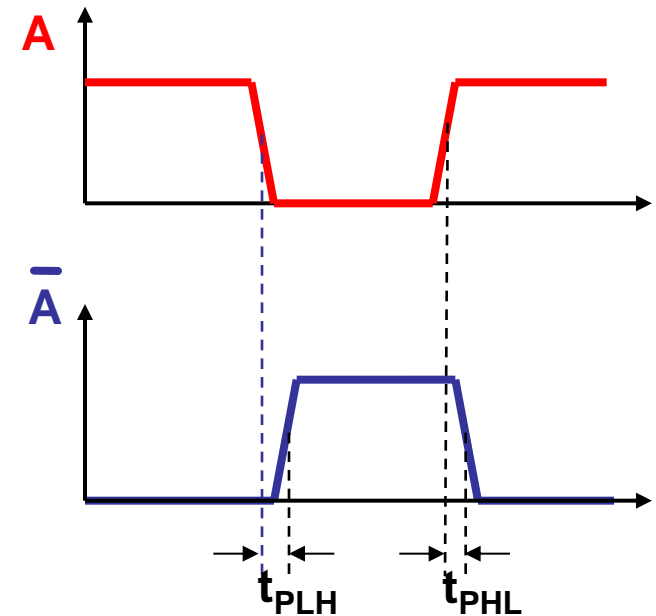
•Tiempo de propagación



t_{PLH} : tiempo de propagación en subida

t_{PHL} : tiempo propagación en bajada

Se considera que la transición se produce en la mitad de la misma



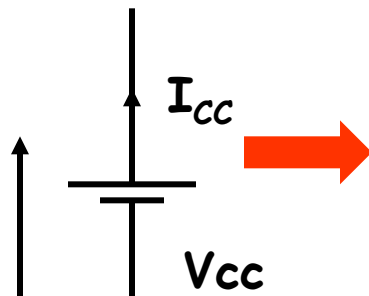


ALIMENTACIÓN TTL

Tensión (V_{CC}): 5 voltios nominales ± 0.25 V

Corriente con la salida en estado alto (I_{CCH}): 2 mA

Corriente con la salida en estado bajo (I_{CCL}): 5.5 mA



Muestran desviaciones con la temperatura,
capacidad que manejan, frecuencia de trabajo,
dispersión de fabricación.





Familias Lógicas. TTL

Dentro de la familia TTL existen varias subfamilias.
Según el tipo de transistor y los valores de las resistencias integradas se consigue variar los parámetros eléctricos de la puerta.

Serie	Nomenclatura	Tiempo propagación (ns)	Disipación por puerta (mW)
Standard	54/74	10	10
Low Power	54/74 L	33	1
High Speed	54/74 A	6	22
Schottky	54/74 S	3	20
Low Power Schottky	54/74 LS	10	2
Advanced Schottky	54/74 AS	1.5	8.5



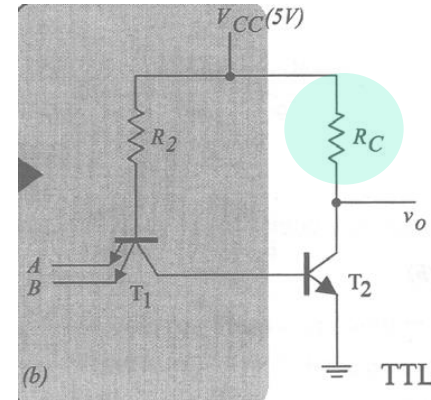


Configuraciones de salida de las puertas

“R de colector”

Las puertas disponen de tres tipos de salidas:

- Salida por **resistencia de colector**
- Salida en **tótem-pole**
- Salida en **colector abierto**
- Salida **tri-estado**

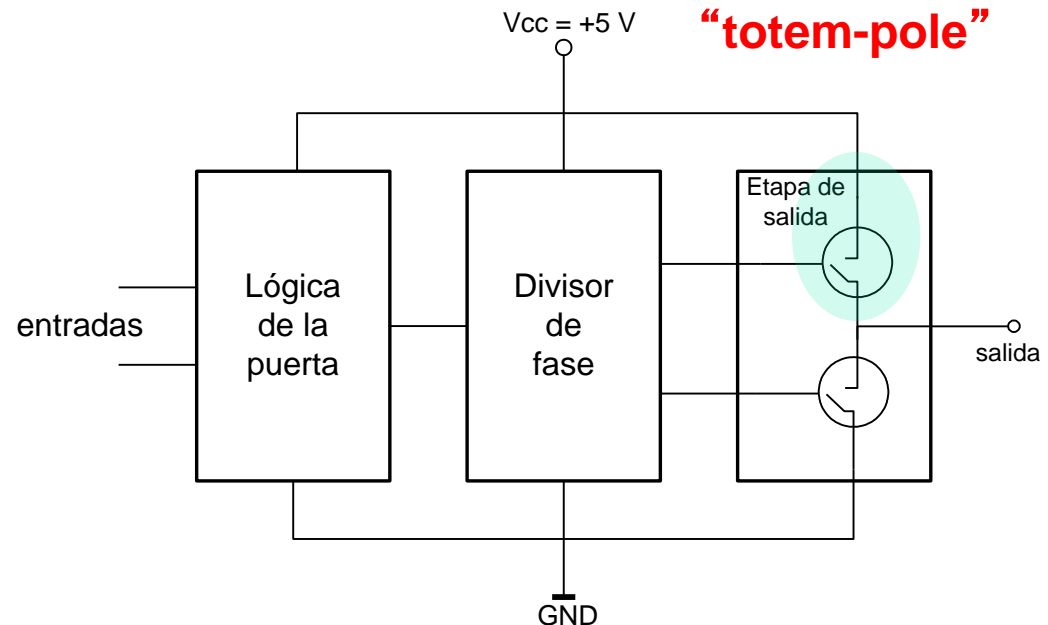


Una puerta TTL típica consta de 3 partes:

- la lógica de puerta
- un divisor de fase
- etapa de salida

La lógica de entrada realiza la función booleana necesaria y el divisor de fase proporciona dos señales de polaridad opuesta para excitar los dos transistores de salida que no están abiertos ni cerrados a la vez. Estos transistores se denominan transistor de subida (pull-up) y transistor de bajada (pull-down).

“totem-pole”

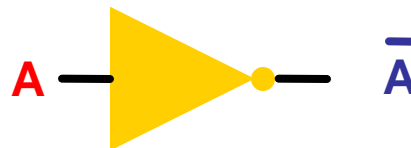
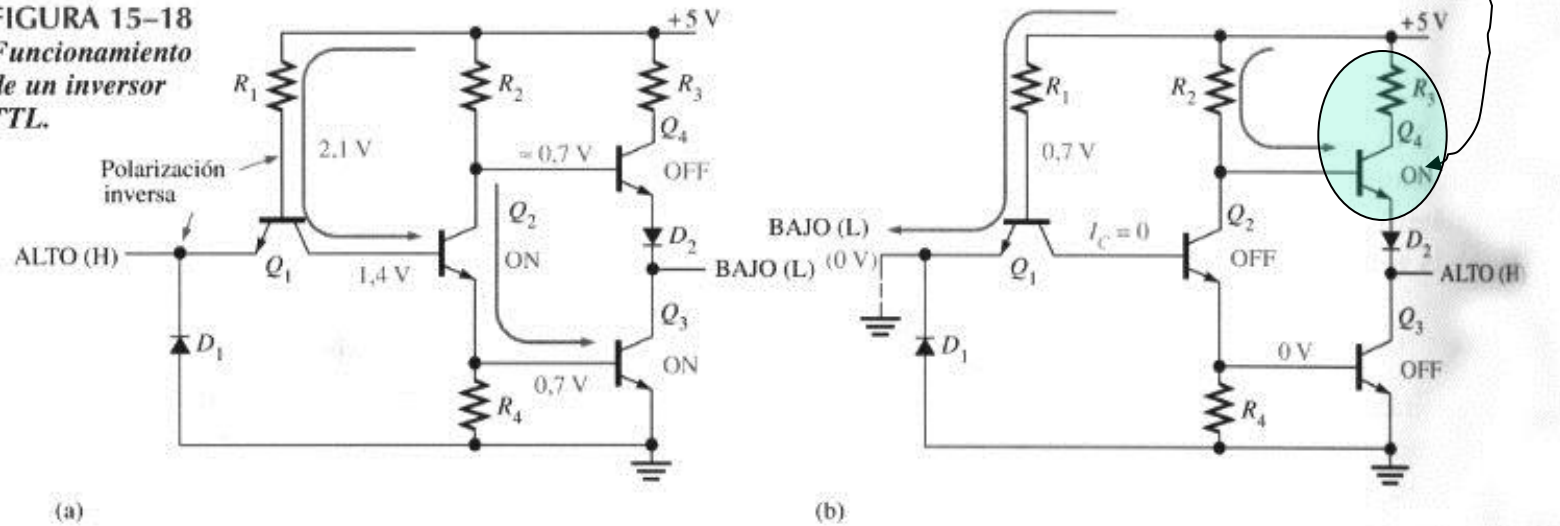




Configuraciones de salida de las puertas: estructura interna

“totem-pole”

FIGURA 15-18
Funcionamiento
de un inversor
TTL.



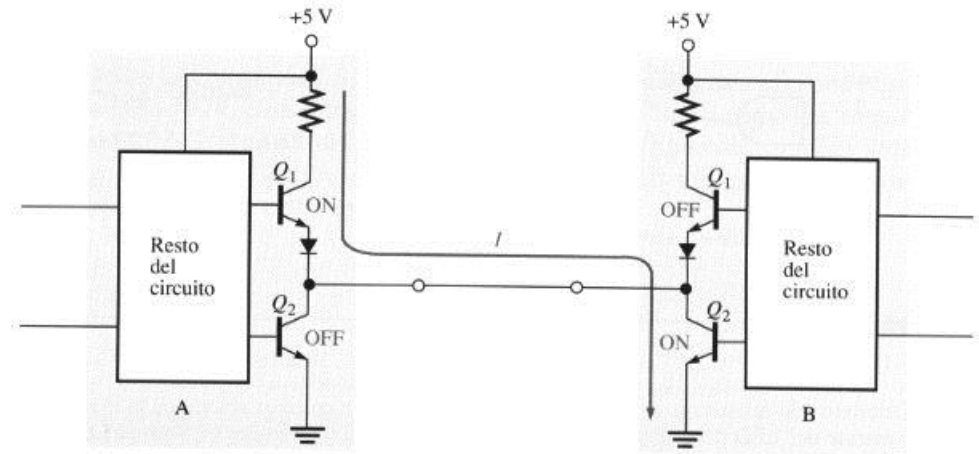
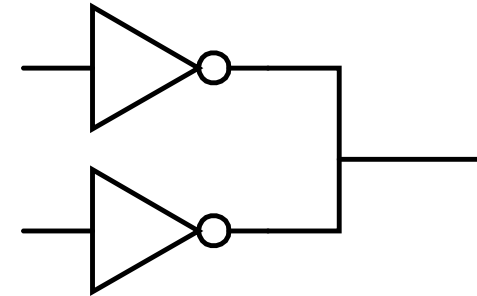


Etapas de salida en "totem pole"

**NO DEBEN UNIRSE
SALIDAS**

Excepción:

**salida en colector abierto o
triestado**

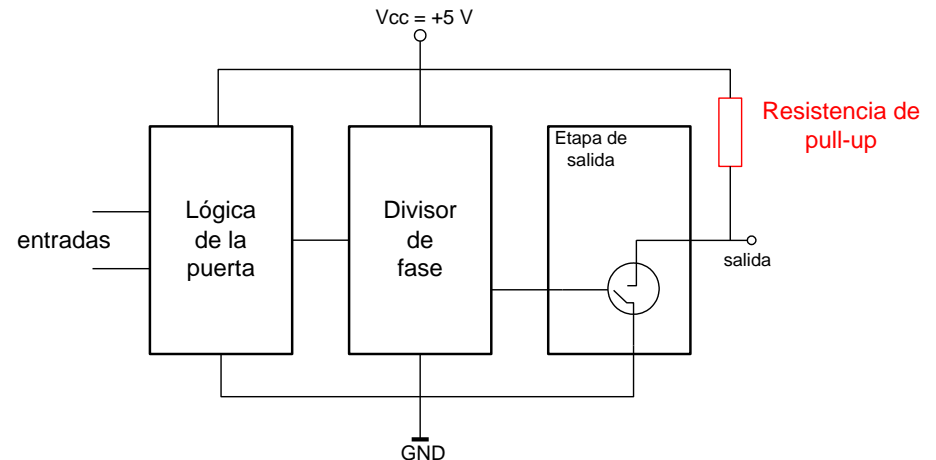
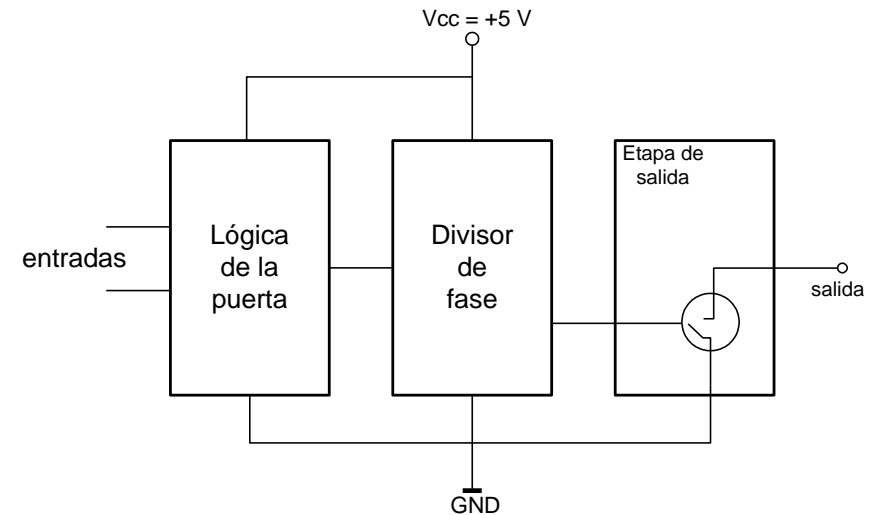
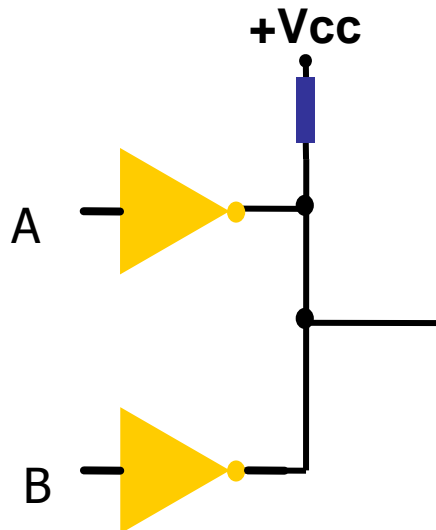




Configuraciones de salida

“colector abierto”

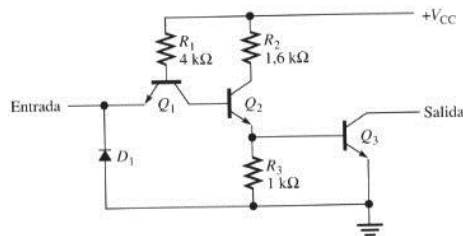
La configuración de colector abierto (open-collector) se obtiene omitiendo el transistor de subida. Para dar la salida en alta es necesario una resistencia externa denominada de **resistencia de pull-up**



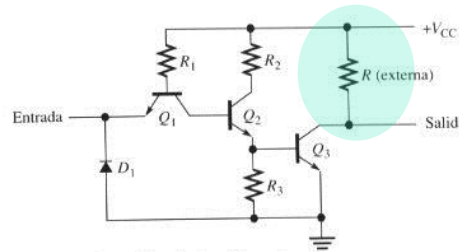


Configuraciones de salida

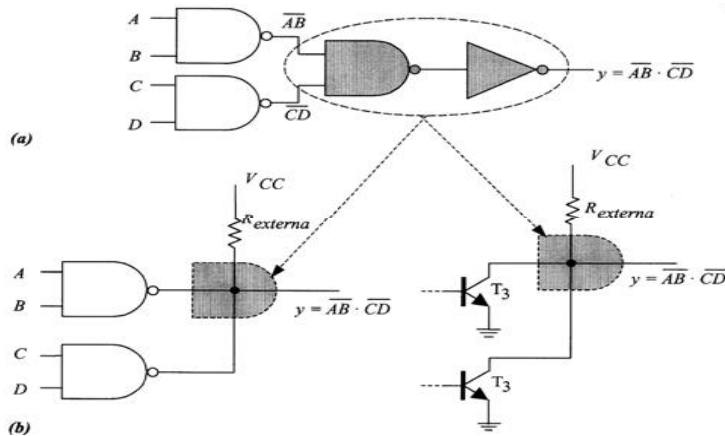
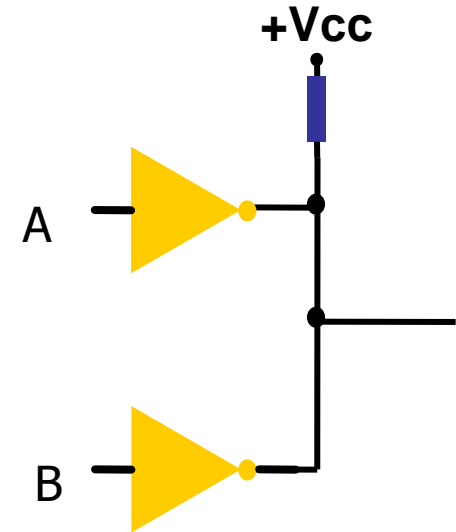
“colector abierto”



(a) Circuito inversor con salida en colector abierto



(b) Con resistencia de pull-up externa



Se pueden unir las salidas de puertas en colector abierto.
Se genera una función AND denominada “AND por conexión” (wired-AND).





Configuraciones de salida

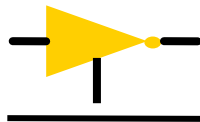
“Triestado”

El divisor de fase se hace más complejo para proporcionar tres estados distintos en la salida:

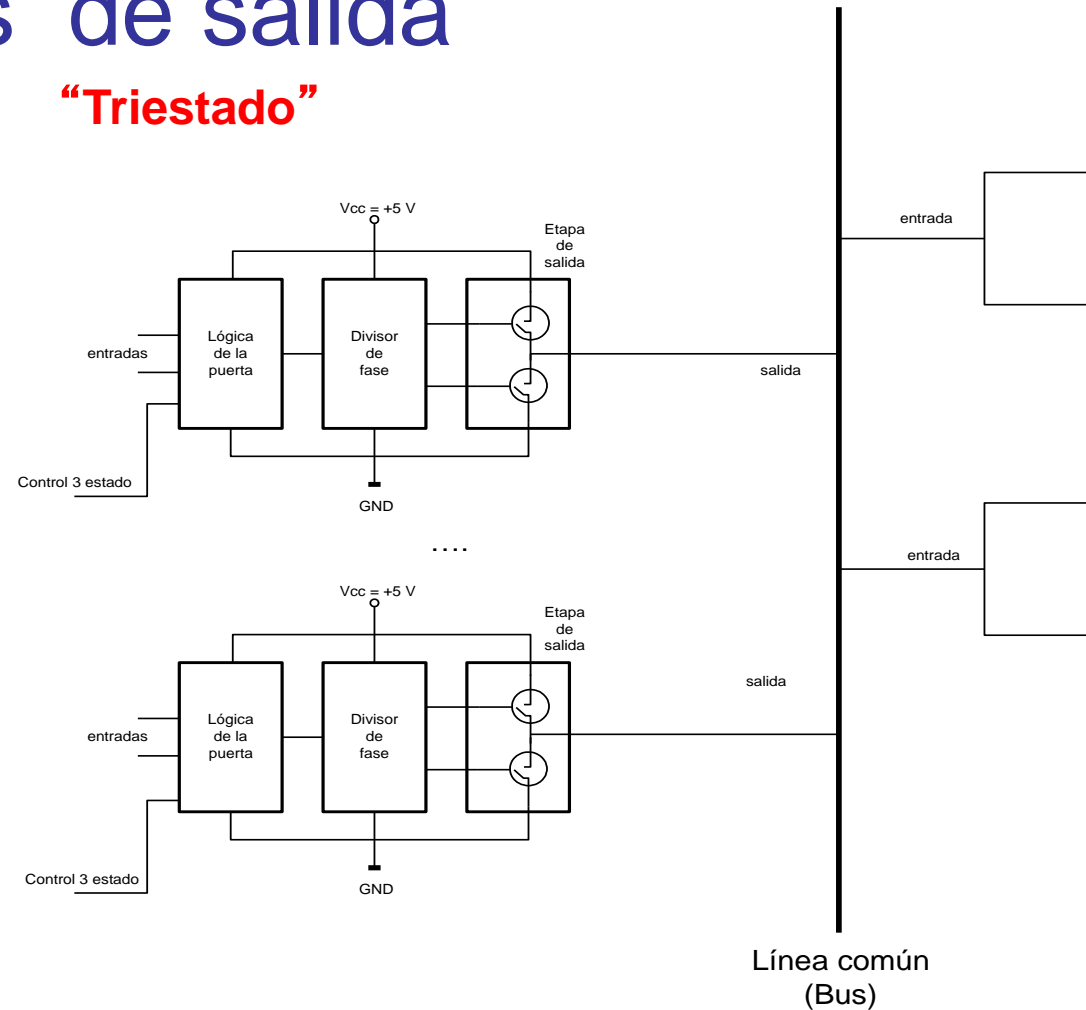
- H (alto)
- L (bajo)
- **Z (alta impedancia) o tercer estado.**

En los estados alto y bajo la salida actúa normalmente, mientras que en el estado de alta impedancia ambos transistores están abiertos y la salida de la puerta se desconecta eléctricamente del bus.

**NO DEBEN habilitarse
dos puertas al mismo tiempo**



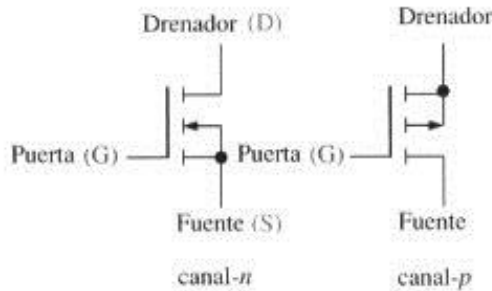
Habilitación



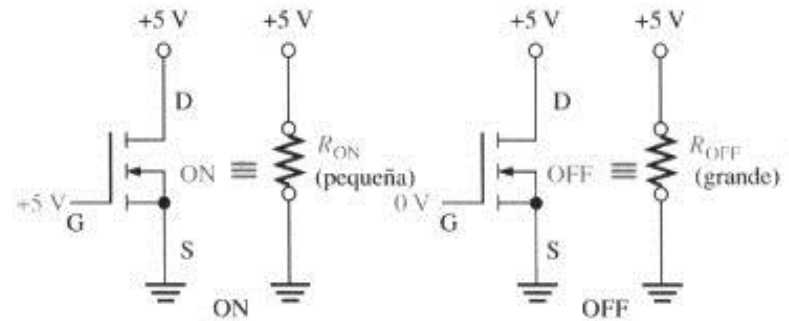


Puerta CMOS

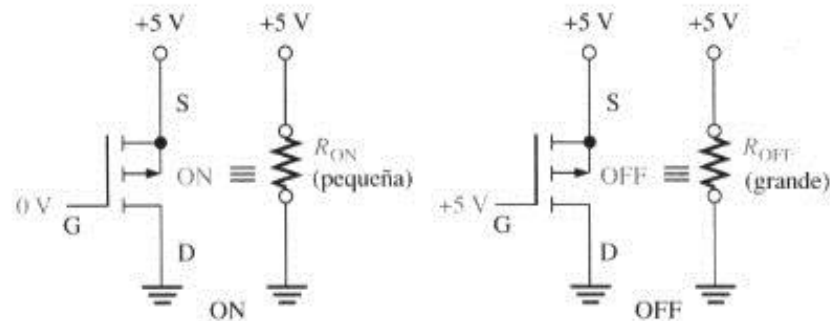
Transistores MOS.



(a) Símbolos del MOSFET



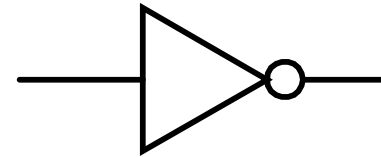
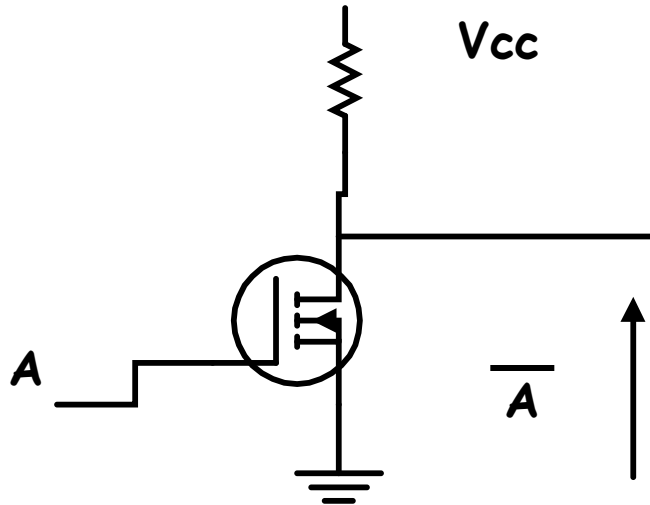
(b) Interruptor canal-*n*



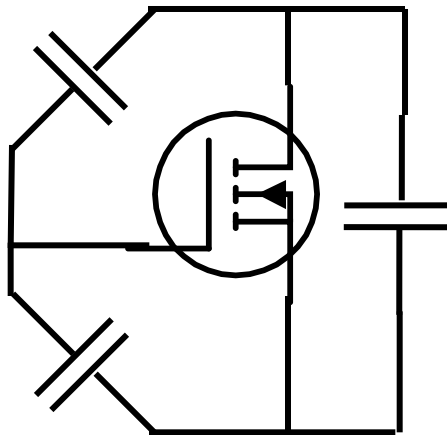
(c) Interruptor canal-*p*



Lógica N-MOS

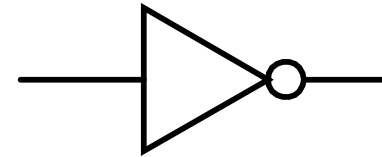
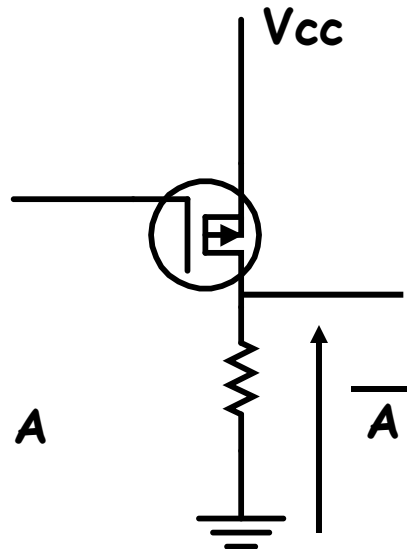


- No existe consumo en las entradas
- **No existe consumo cuando la salida es "1".**
- Existe consumo durante las transiciones

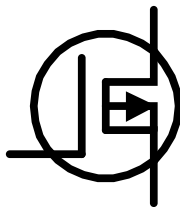


Capacidades parásitas entre todos los terminales

Lógica P-MOS



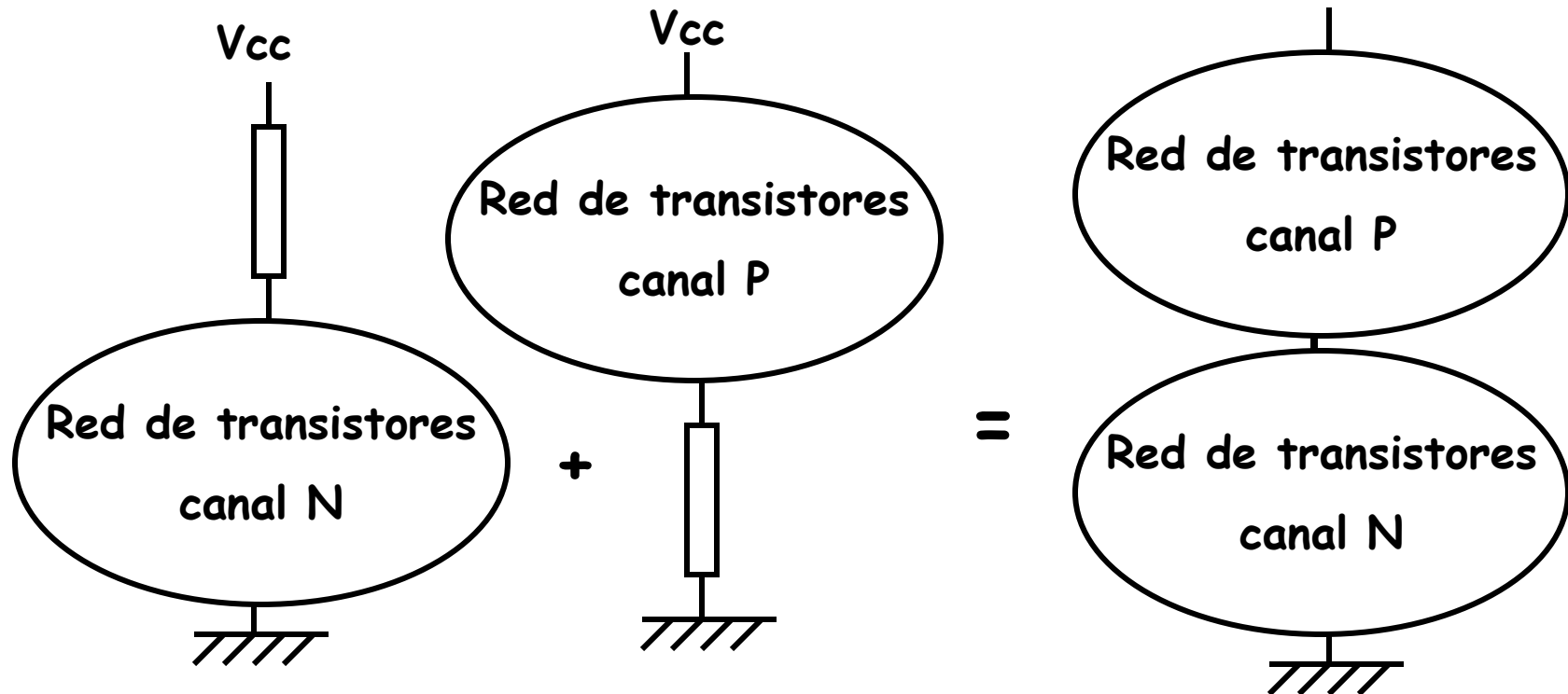
- No existe consumo en las entradas
- **No existe consumo cuando la salida es "0"**
- Existe un consumo en las transiciones



Capacidades parásitas entre todos los terminales



Lógica C-MOS



No hay consumo cuando la salida es "1"

No hay consumo cuando la salida es "0"

"NO" HAY CONSUMO





Familias Lógicas. CMOS

Esta familia emplea transistores MOSFET complementarios, es decir, tipo P y tipo N.

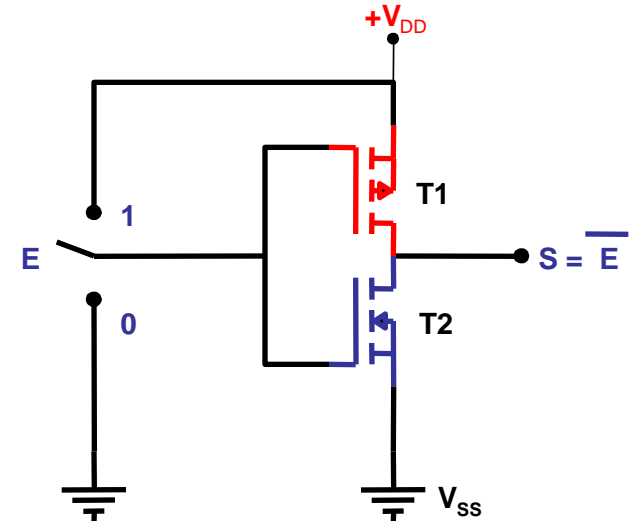
Ventajas

- Consumo estático reducido (nulo)
- Alta inmunidad al ruido
- Amplio margen de alimentación de 3V a 18V

Inconvenientes

- Mayor tiempo de propagación
- Menores corrientes de salida

Inversor



E	T1	T2	S
0	Cond	Corte	1
1	Corte	Cond	0





Familias Lógicas. CMOS

Familia 40xx

emplea transistores de puerta metálica. Admite alimentación entre 3 V y 15 V

Familia 74HC , 74HCT

emplea transistores con puerta de polisilicio. Admite alimentación entre 2.0 y 6.0V. Son compatibles pin a pin con sus equivalentes de la familia TTL 74XX.

74HC: salidas compatibles con TTL

74HCT: salidas y entradas compatibles con TTL

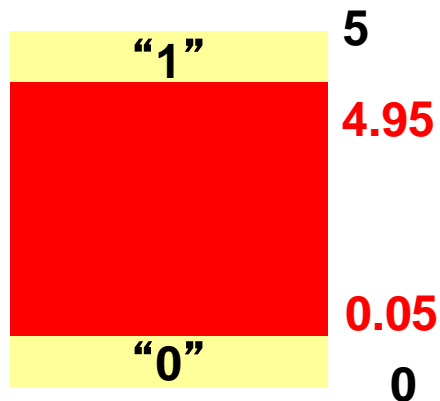




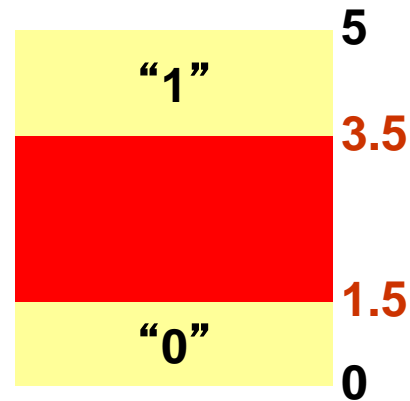
Niveles CMOS

CMOS alimentada a 5 V

Salida CMOS



Entrada CMOS





Corrientes CMOS de salida.



	Serie 74HC-74HCT
$I_{OH} *$	4.0 mA
$I_{OL} *$	4.0 mA

*Estas corrientes dependen mucho de la tensión de alimentación y la temperatura.

El fan-out de los circuitos CMOS es muy elevado.
En la práctica se limita a 50.





Comparación CMOS- TTL

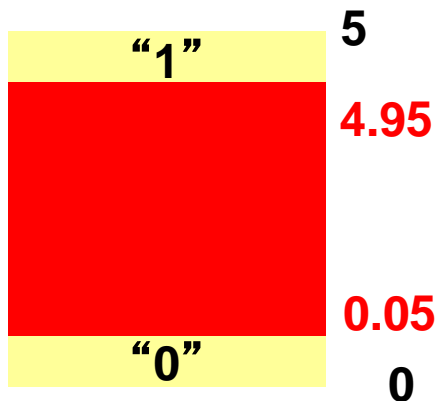
Serie	Nomenclatura	Disipación estática	Tiempo propagación	Fan-out
CMOS Silicon-gate	74HC- 74HCT	2.5 nW	8 ns	Depende frecuencia trabajo
CMOS Metal-gate	4000B	1 μ W	50 ns	Depende frecuencia trabajo
TTL Estándard	74	10 mW	10 ns	10
TTL S	74S	19 mW	3 ns	20
TTL LS	74LS	2 mW	10 ns	20
TTL ALS	74ALS	1 mW	4 ns	20
TTL AS	74AS	8.5 mW	1.5 ns	40



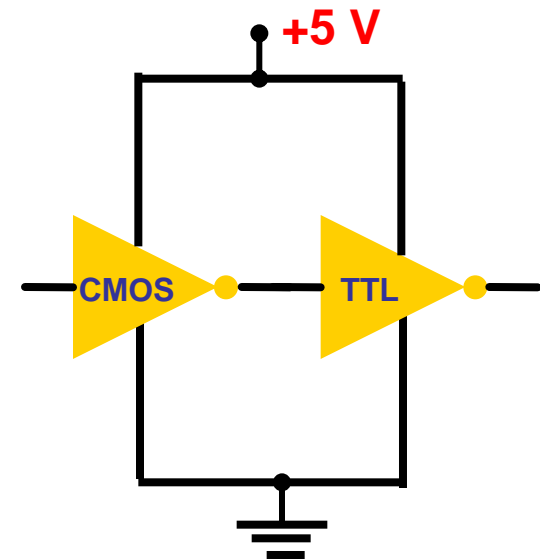
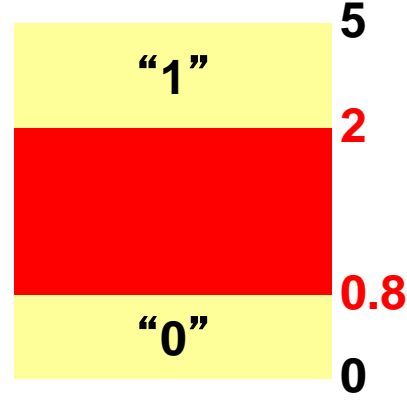
Interface CMOS- TTL

CMOS alimentada a 5 V

Salida CMOS



Entrada TTL



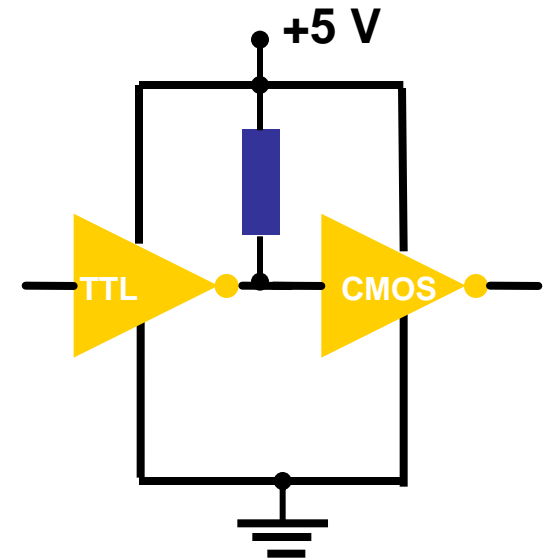
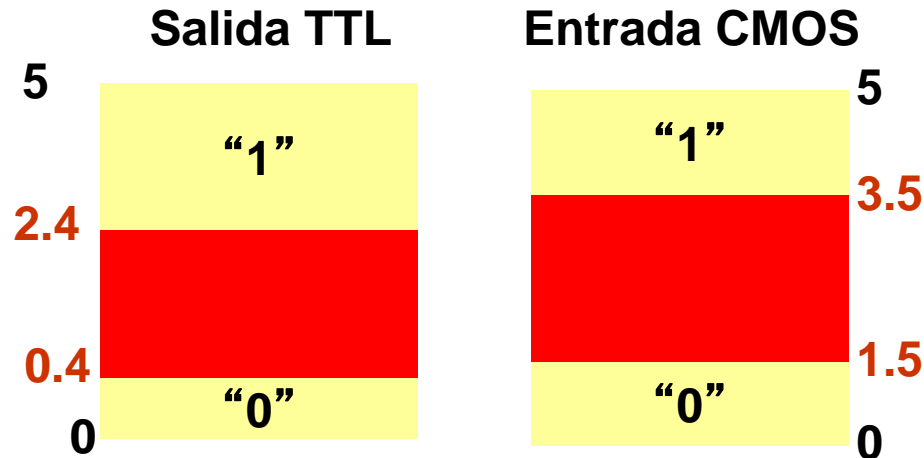
Salida CMOS y entrada TTL → La conexión es directa



Interface TTL – CMOS.

CMOS alimentada a 5 V

Salida TTL entrada CMOS → Se coloca una resistencia externa para elevar el valor de la tensión de salida de la puerta TTL (1 kΩ)

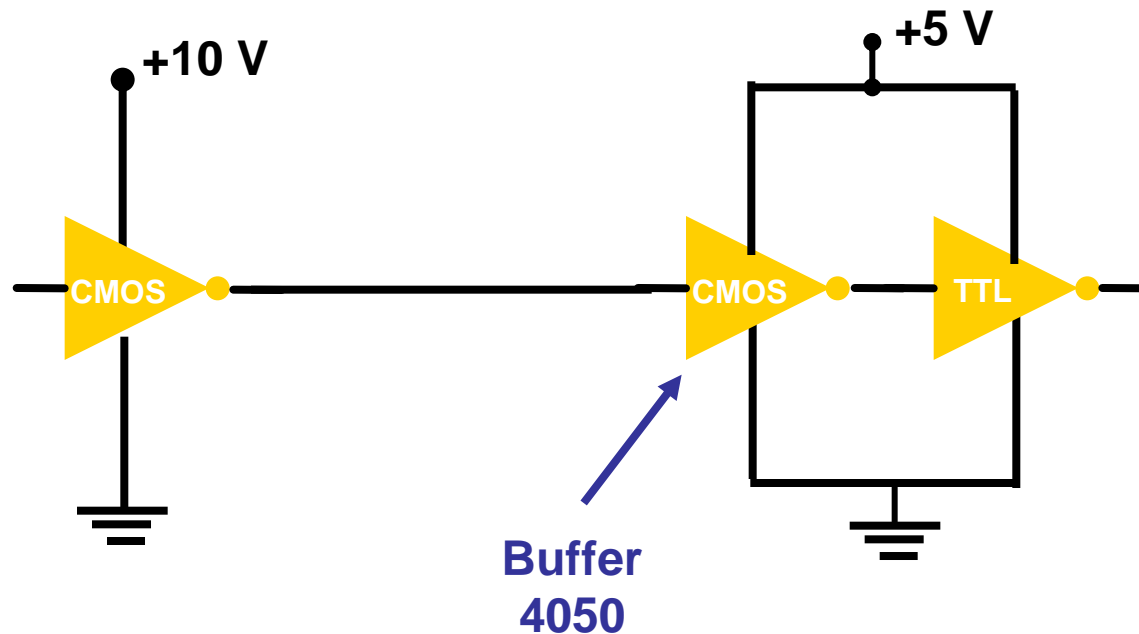




Interface CMOS- TTL

CMOS no alimentada a 5 V

La solución es emplear un circuito adaptador CMOS



También se pueden utilizar inversores CMOS 4049



Familias Lógicas.

Consideraciones prácticas.

■ Entradas flotantes

- Aunque no es conveniente, en TTL una entrada al aire es siempre un “1”.
- Una entrada CMOS no puede dejarse al aire, hay que ponerla a aquel valor que no interfiera en la función del circuito.

En una puerta NAND ese valor es “1”.

En una puerta NOR ese valor es “0”.



Familias Lógicas.

Consideraciones prácticas.

- En TTL las entradas no utilizadas se pueden conectar a una entrada de la misma puerta que sí se utilice.
- Si las puertas son AND o NAND se conectan a V_{cc} a través de una resistencia de $1\text{ k}\Omega$.
- Las puertas OR y NOR se conectan a tierra.

