



Tema 2 - 3:

Arquitectura de la Memoria Virtual



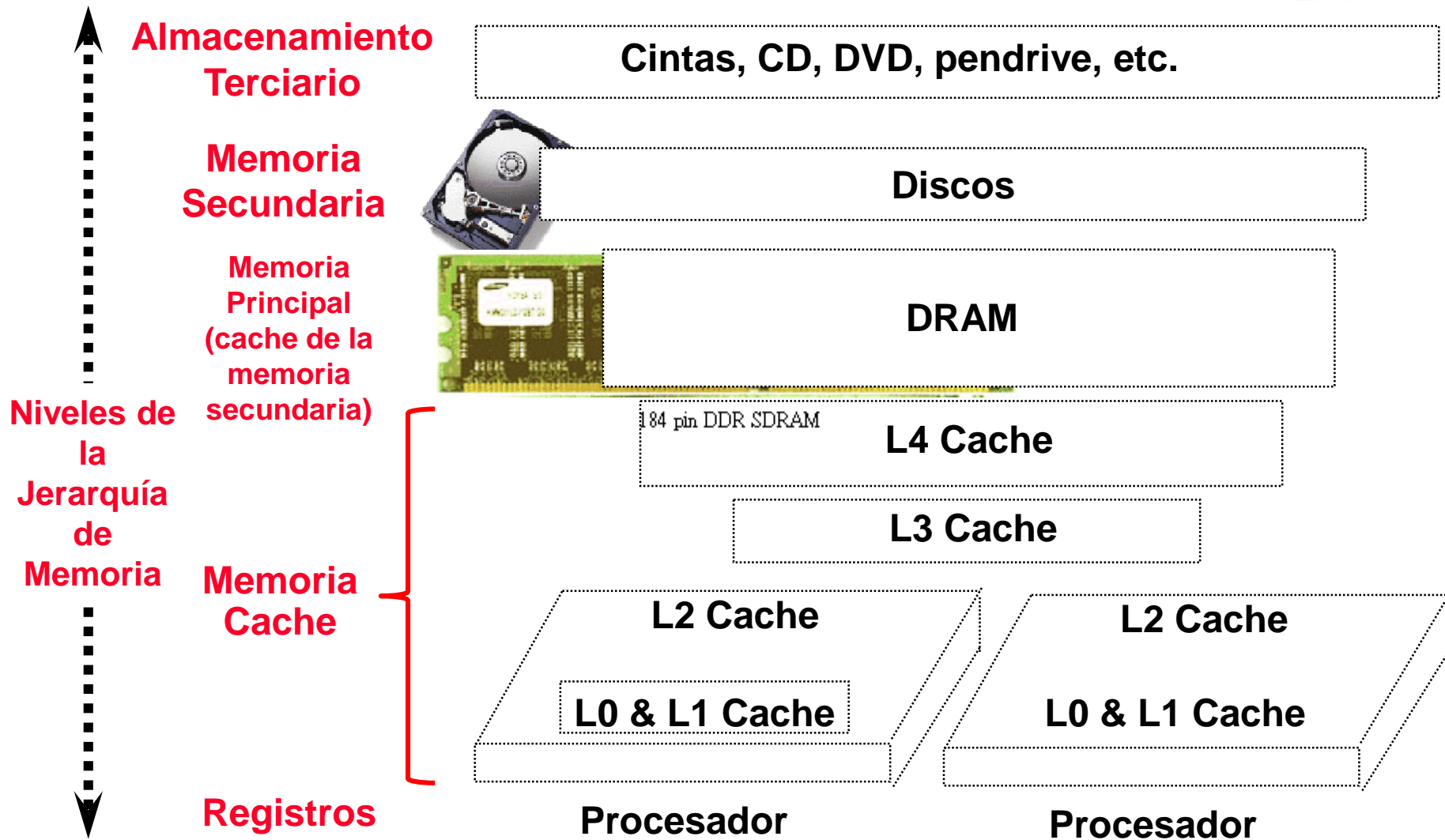
Arquitectura de Computadores
Escuela de Ingeniería Informática
Universidad de Las Palmas de Gran Canaria



Sumario

- a) Repaso de Jerarquía de Memoria
- b) El Sistema Operativo
- c) Espacio de direccionamiento virtual
- d) Paginación de la memoria
- e) Circuitos involucrados en la memoria virtual
- f) La memoria virtual en Nios II
- g) Traducción de direcciones virtuales
- h) TLB
- i) Integración de la memoria cache y la TLB

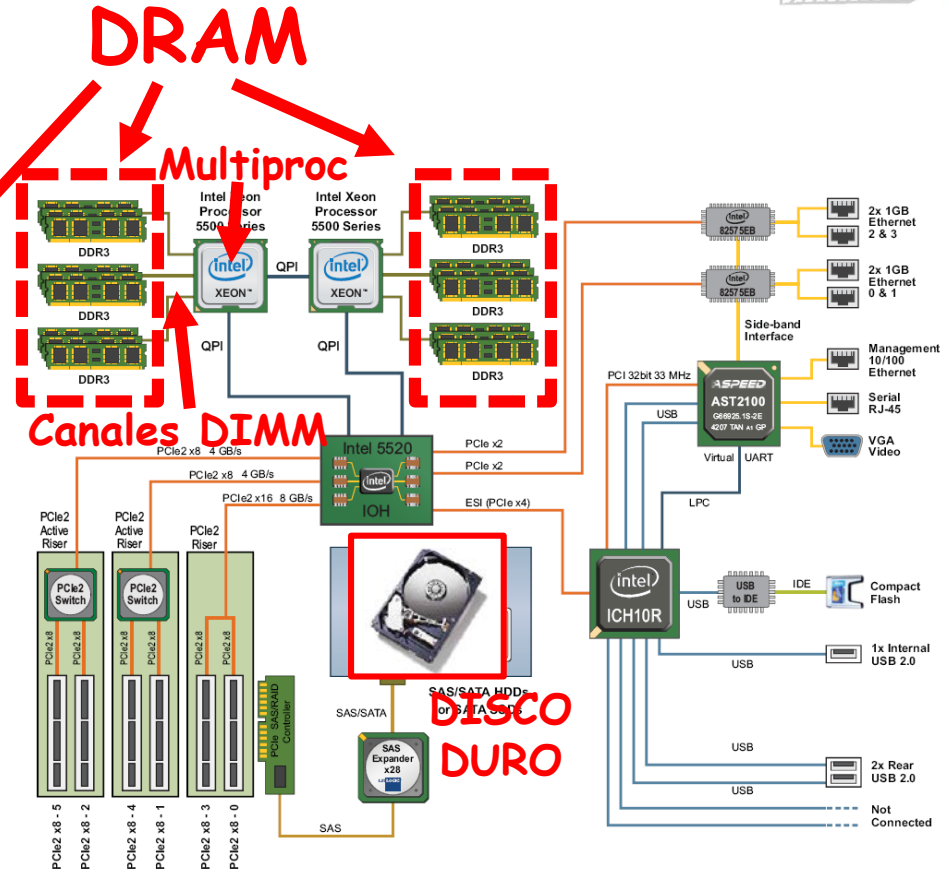
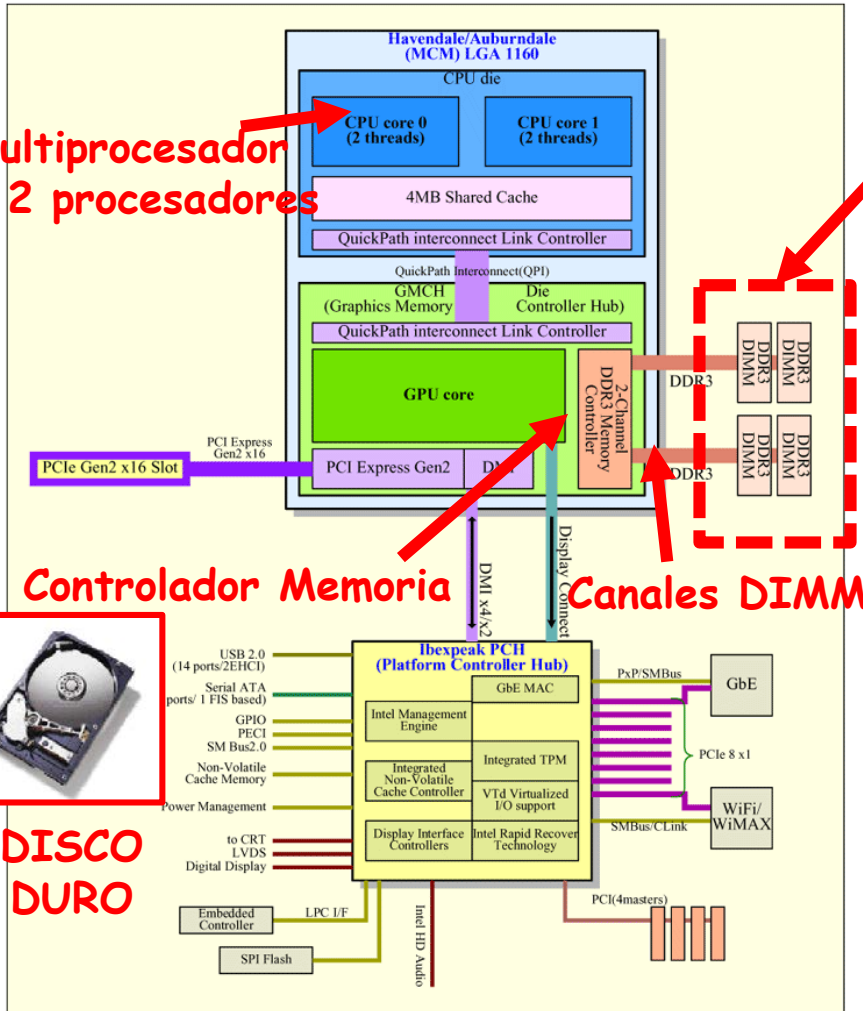
Solución: Jerarquía de Memoria



Chips de Memoria en la Placa Base



Havendale/Auburndale System Architecture



Ordenadores servidores

Copyright (c) 2007 Hiroshige Goto All rights reserved.

Ordenadores sobremesa



Almacenamiento virtual

- Capacidad para obtener acceso a direcciones en un espacio de almacenamiento mucho mayor que el disponible en la memoria principal de un computador.
- Disociación entre:
 - Dirección virtual: emitida por procesador cuando ejecuta un programa
 - Dirección física: recibida por memoria DRAM
- 2 tipos de implementaciones de la memoria virtual
 - Paginación
 - Segmentación



Memoria Virtual desde el punto de vista del sistema operativo



- S.O. es un programa informático
- S.O. **divide** el espacio de direccionamiento virtual en trozos
- S.O. **asigna** cada trozo a un programa
- S.O. se encarga de **decidir dónde reside** cada programa: principal o secundaria
- **Paginación:** S.O. asegura **siempre** que instrucciones y datos del programa en ejecución estén en memoria principal (memoria física DRAM)
- **Fallo de página:** evento que ocurre cuando instrucciones y datos que va a necesitar el procesador no están en memoria principal

MEMORIA VIRTUAL:
Espacio de direccionamiento
del procesador

Programa A

Programa B

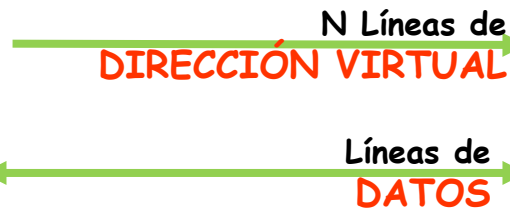
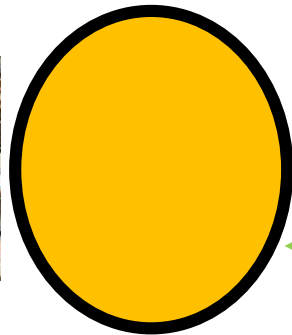
Programa C

Sistema
Operativo

Memoria Principal + DIRECCIÓN VIRTUAL

PROCESADOR

emite Dirección Virtual de N bits



MEMORIA
FÍSICA
DRAM
(espacio
de direcc.
físico)

184 DDR SDRAM

Traducción de la
dirección virtual a
dirección física,
que se tiene que
hacer rápidamente

Memoria
Secundaria



ESPACIO DE
MEMORIA
VIRTUAL: Espacio
de
direccionamiento
del procesador: 2^N



Memoria Principal + DIRECCIÓN VIRTUAL

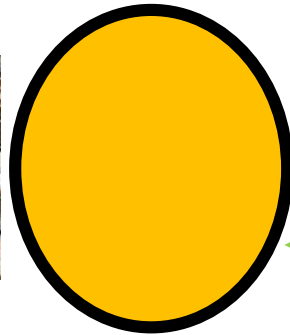


Memoria
Secundaria

ESPACIO DE
MEMORIA
VIRTUAL:
Espacio de
direccionamiento
del procesador

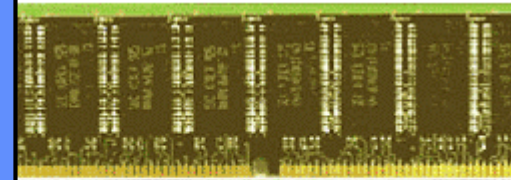
PROCESADOR

Dirección Virtual de N bits



N Líneas de
DIRECCIÓN VIRTUAL
Líneas de
DATOS

MEMORIA
FÍSICA
DRAM

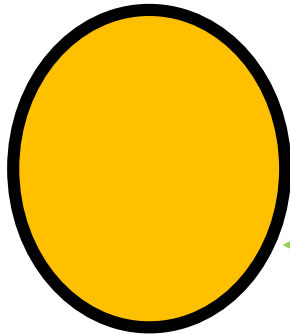


184 pin DDR SDRAM

Memoria Principal + DIRECCIÓN VIRTUAL

PROCESADOR

Dirección Virtual de N bits



N Líneas de
DIRECCIÓN VIRTUAL

Líneas de
DATOS

MEMORIA
FÍSICA
DRAM

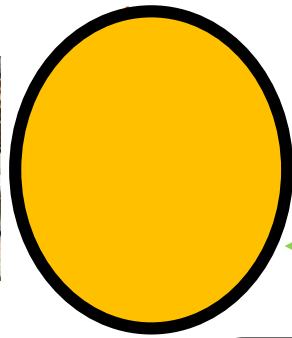
Memoria
Secundaria

184 pin DDR SDRAM

ESPACIO DE
MEMORIA
VIRTUAL:
Espacio de
direccionamiento
del procesador

PÁGINAS de la Memoria Principal

PROCESADOR
Dirección Virtual de N



Dirección física inicial de la página física

Dirección física inicial de la página física

Dirección física inicial de la página física

N Líneas de DIRECCIÓN

Líneas de DATOS

Página Virtual 2

Página Virtual 3

Página Física 0

Página Física 1

Página Física 2

Página Virtual 7

Página Virtual 8

Página Disco 0

Página Virtual 10

Página Disco 1

MEMORIA FÍSICA

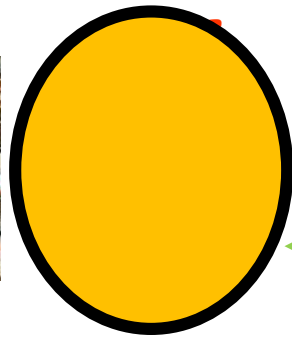
184 pin DDR SDRAM

Tamaño de la página física

ESPACIO DE MEMORIA VIRTUAL:
Espacio de direccionamiento del procesador

PÁGINAS de la Memoria Principal

PROCESADOR
Dirección Virtual de N



Dirección física inicial de la página física

Página Física 1

MEMORIA FÍSICA

Dirección física inicial de la página física

Página Física 3

MEMORIA FÍSICA

N Líneas de DIRECCIÓN

Líneas de DATOS

ESPACIO DE MEMORIA VIRTUAL:
Espacio de direccionamiento del procesador

Dirección física inicial de la página física

Página Física 2

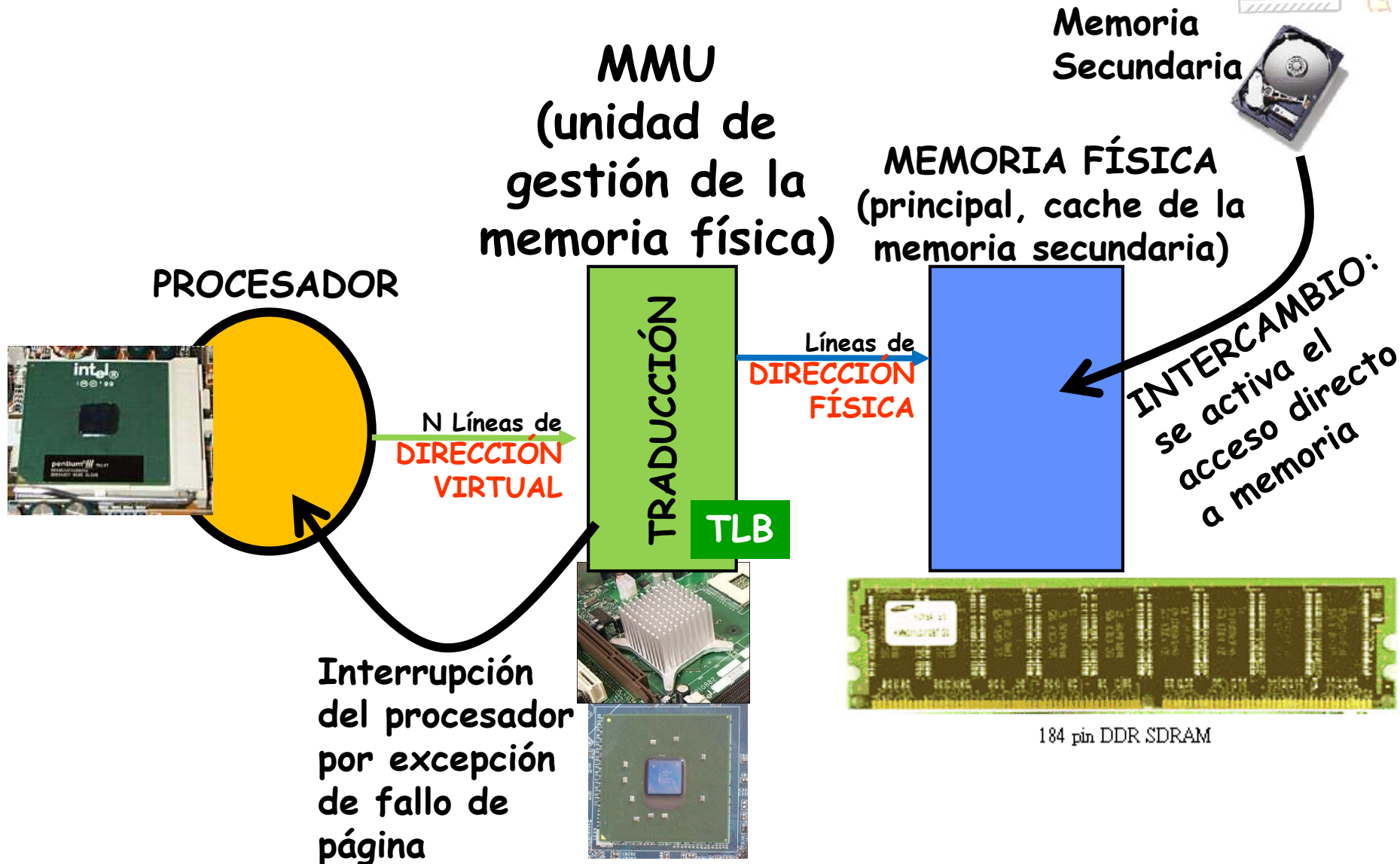
MEMORIA FÍSICA

Dirección física inicial de la página física

Página Física 4

MEMORIA FÍSICA

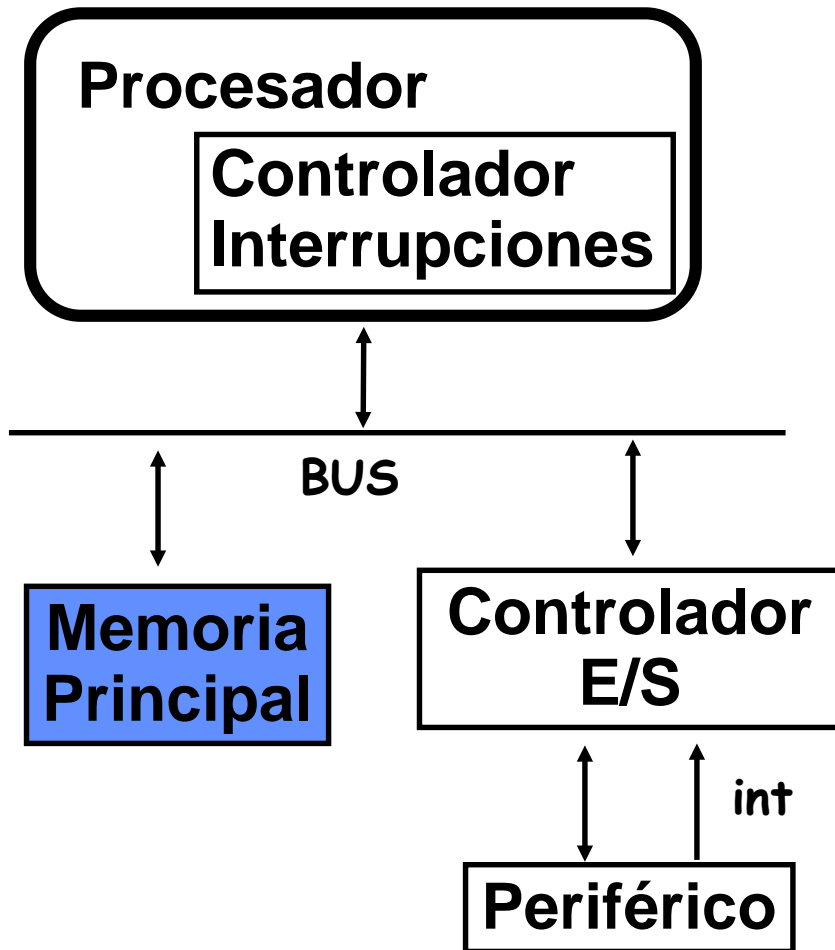
Estructura de los circuitos relacionados con el direccionamiento virtual de la memoria principal



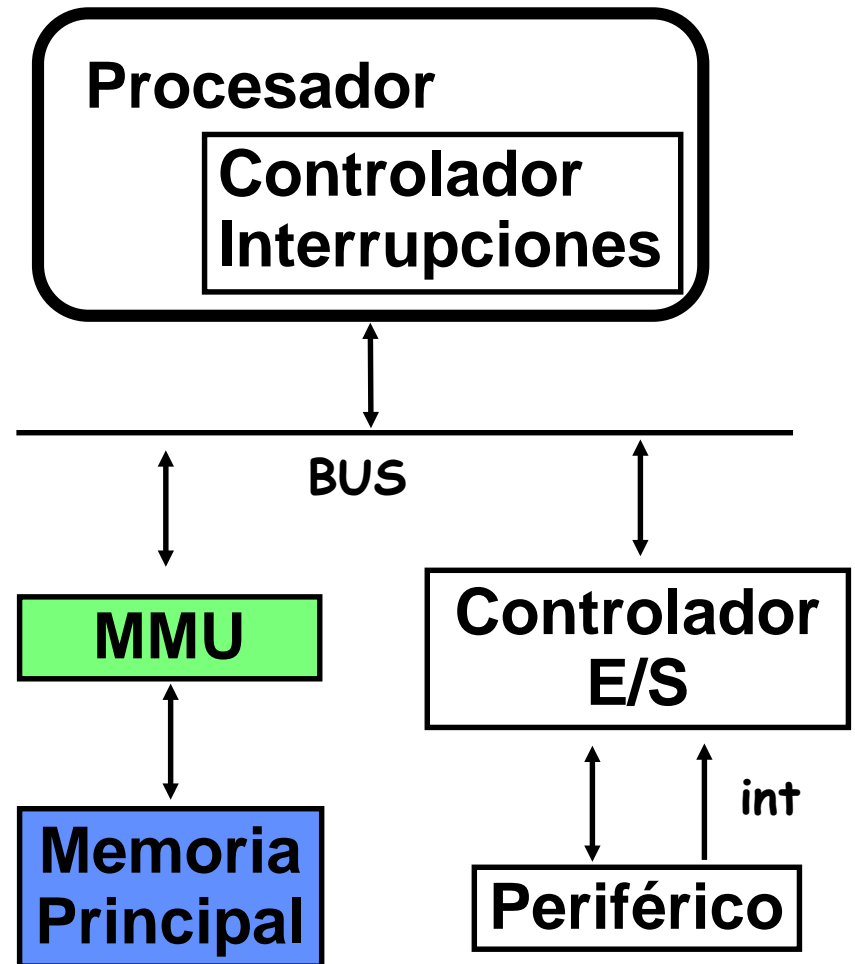
Integración de IDEAS en AC



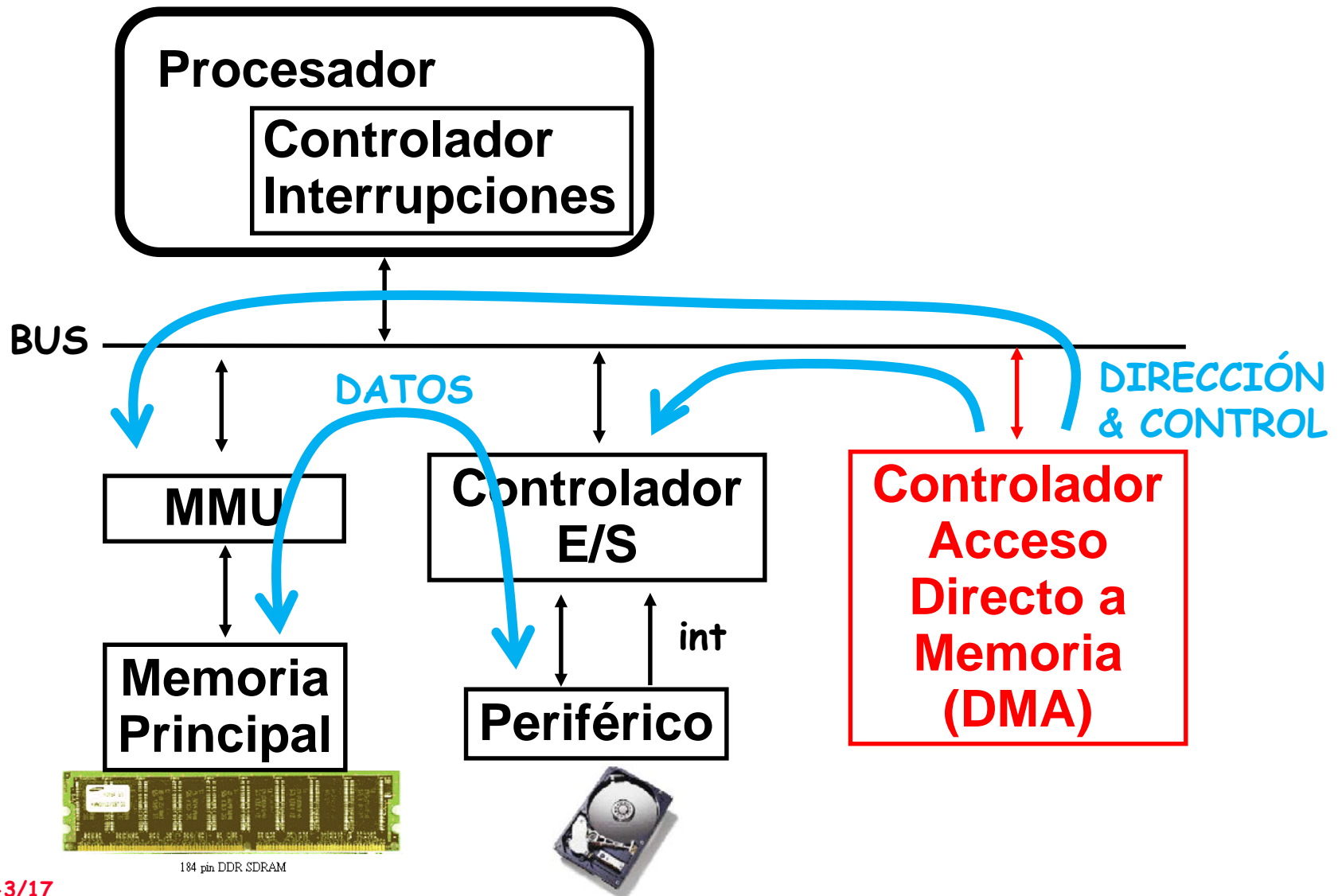
NO memoria virtual



SÍ memoria virtual



Integración de IDEAS en AC: intercambio de páginas entre memoria principal y memoria secundaria



Direcciones virtuales en Nios II/f



Table 3–1. MMU Virtual Address Fields

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Virtual Page Number																				Page Offset											

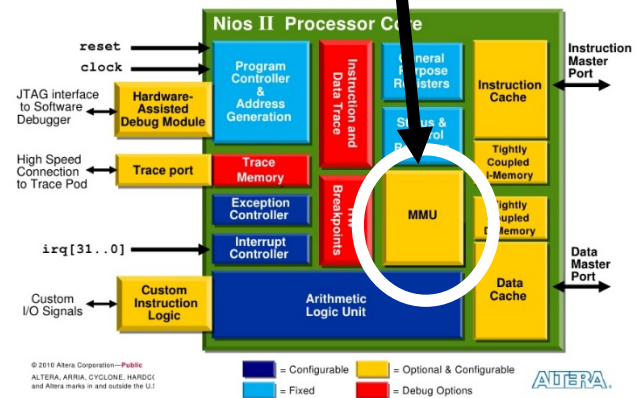
NÚMERO DE PÁGINA (20 bits)

DESPLAZAMIENTO DENTRO DE PÁGINA (12 bits, tamaño: 4 KiB)

- Espacio de direccionamiento virtual en Nios II:
4 GiB ($=2^{32}$)
- Direcciones virtuales de 32 bits son las que siempre utiliza el software
- Campos de la dirección virtual en la MMU de Nios II:
 - Número de página virtual (VPN): 20 bits
 - Desplazamiento: 12 bits
- Tamaño de páginas en Nios II: 4 KiB (12 bits)

Nios II/f: MMU

Nios II Processor Configuration



Particionado del espacio de direccionamiento virtual en Nios II/f

I/O
(512 MB)

Kernel
(512 MB)

Kernel
MMU
(1 GB)

USER
(2GB)

PARTICIONES DE LA MEMORIA VIRTUAL

Partition	Virtual Address Range	Used By	Memory Access	User Mode Access	Default Data Cacheability
I/O (1) 512 MB	0xE0000000-0xFFFFFFFF	Operating system	Bypasses TLB	No	Disabled
Kernel (1) 512 MB	0xC0000000-0xDFFFFFFF	Operating system	Bypasses TLB	No	Enabled
Kernel MMU (1) 1 GB	0x80000000-0xBFFFFFFF	Operating system	Uses TLB	No	Set by TLB
User 2 GB	0x00000000-0x7FFFFFFF	User processes	Uses TLB	Set by TLB	Set by TLB

MEMORIA VIRTUAL:

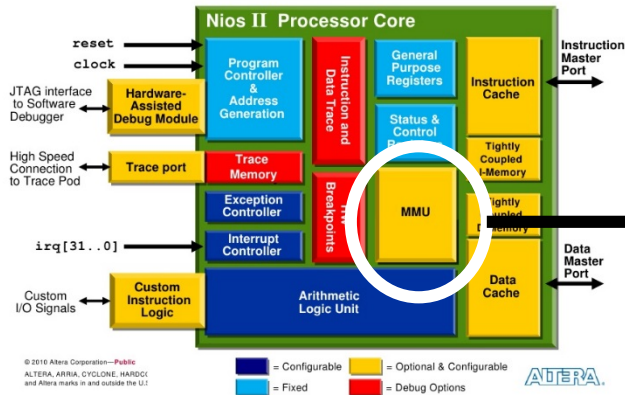
Espacio de direccionamiento del procesador Nios II/f (4 GiB)



Espacio de direccionamiento virtual en Nios II/f



Nios II Processor Configuration



MEMORIA VIRTUAL

0xFFFFFFFF

3.5 GByte High Memory



Seekic
Professional world DE Partner

Accessed only via **MMU**

0x20000000

0x1FFFFFFF

0x00000000

0.5 GByte Low Memory

Accessed directly or via **MMU**

**PARTICIÓN INFERIOR DE LA
MEMORIA VIRTUAL: 0,5 GiB**

MMU

Traducción de direcciones virtuales

PROCESADOR



N Líneas de DIRECCIÓN VIRTUAL

DIRECCIÓN VIRTUAL
emitida por el procesador

Dirección de la **PÁGINA VIRTUAL**

Desplazamiento

TABLA DE PÁGINAS (está en Memoria Principal)

Página Virtual 1

Control

Dirección inicial de la Página Física 75

Página Virtual 2

Control

Dirección inicial de la Página Física 2

Página Virtual 3

Control

Dirección inicial de la Página Física 31

...

184 pin DDR SDRAM

Dirección de la **PÁGINA FÍSICA**

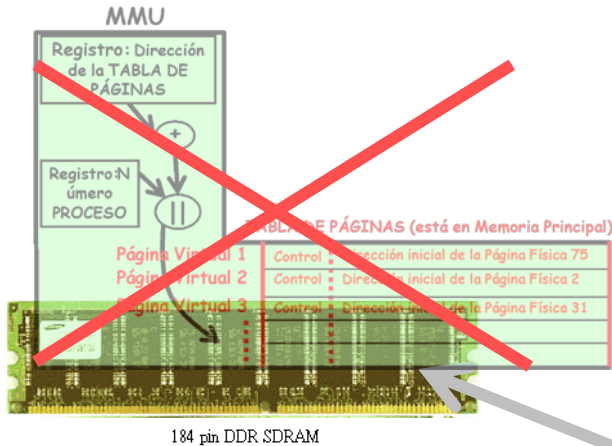
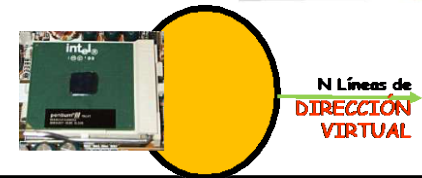
Desplazamiento

DIRECCIÓN FÍSICA enviada
al circuito de memoria DRAM

TLB: aceleración de la traducción de direcciones virtuales

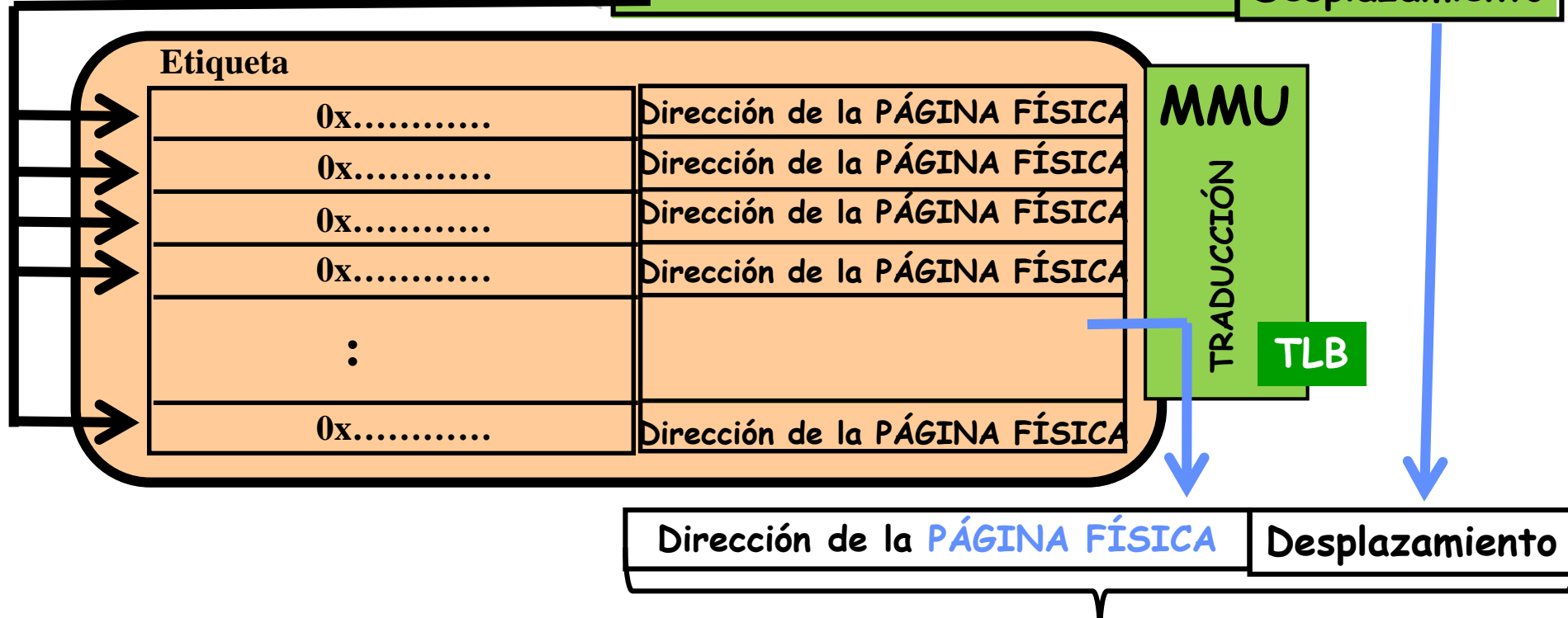
DIRECCIÓN VIRTUAL
emitida por el procesador

PROCESADOR

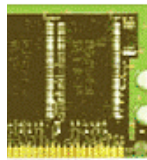


184 pin DDR SDRAM

Dirección de la **PÁGINA VIRTUAL** Desplazamiento



DIRECCIÓN FÍSICA enviada al circuito de memoria DRAM



Integración de IDEAS, TLB dentro del procesador, 64 bits dir. virtual \rightarrow 41 bits dir. física

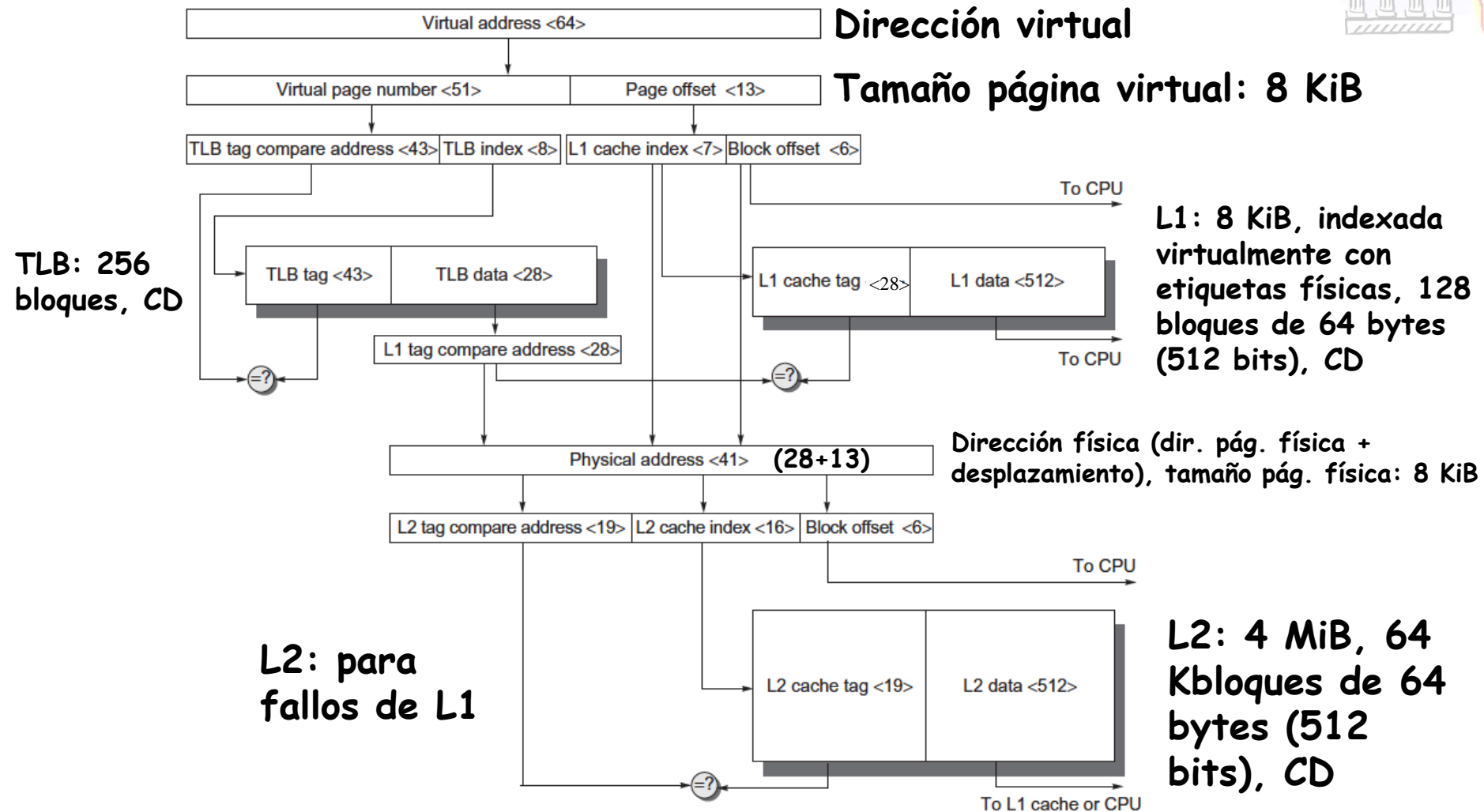


Figure B.25 The overall picture of a hypothetical memory hierarchy going from virtual address to L2 cache access. The page size is 8 KiB. The TLB is direct mapped with 256 entries. The L1 cache is a direct-mapped 8 KiB, and the L2 cache is a direct-mapped 4 MiB. Both use 64-byte blocks. The virtual address is 64 bits and the physical address is 41 bits. The primary difference between this simple figure and a real cache is replication of pieces of this figure.



Máquina virtual

- Definición: Copia de un sistema operativo real en otro sistema operativo
- Características:
 - Proporciona a programas un entorno igual que el de una máquina original
 - Los programas sufren un deterioro de sus prestaciones
 - Tiene completo dominio del hardware del computador

REPASO de conceptos básicos



- La memoria principal que se corresponde con los dispositivos físicos DRAM se comportan como una memoria cache de la **memoria secundaria**
- El **espacio de direccionamiento virtual** proporciona una separación de procesos que divide la misma memoria principal física separando los rangos de direcciones virtuales
- La infraestructura hardware asociada al concepto de memoria virtual traslada **páginas de memoria** entre la memoria secundaria y la memoria principal física (igual que el controlador de cache mueve bloques entre memoria principal y cache)
- **TLB** actúa como una cache de la tabla de páginas, evitando accesos a la memoria principal para traducir las direcciones virtuales en físicas