

Arquitectura de Computadores



Tema 4-3. Arquitecturas de los Multiprocesadores de Memoria Compartida

Sumario

- Características generales
- Particionado del espacio de direccionamiento y sincronización de los accesos a memoria
- Arquitecturas UMA y NUMA
- Problema de coherencia de la memoria cache
- Protocolo MESI

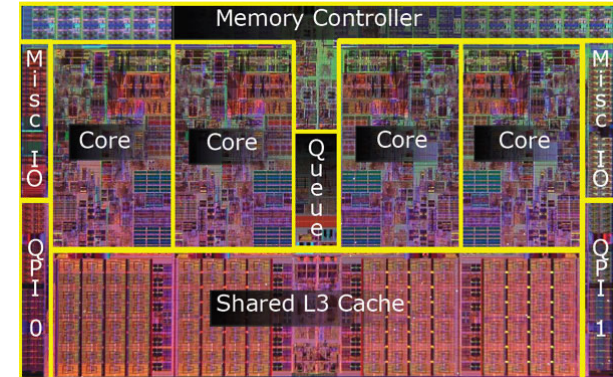
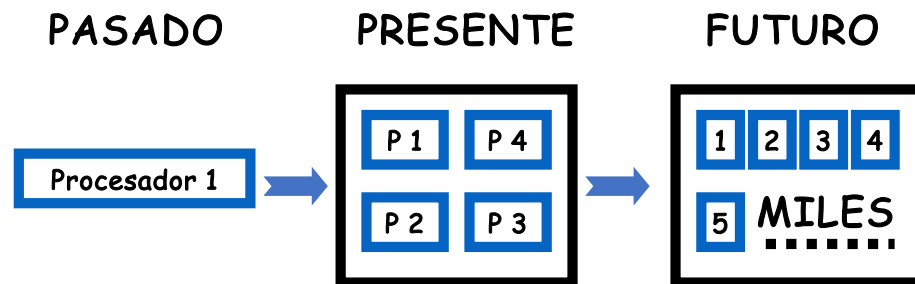
Antecedentes

- La frecuencia de reloj no crece significativamente desde 2005.
- Cada vez se dispone de un mayor número de núcleos por la Ley de Moore.
- La explotación del paralelismo ILP en un solo núcleo procesador está limitada en 3-5 instrucciones/ciclo.

Últimas tendencias: Aprovechar eficientemente los multiprocesadores integrados en un único chip

Tendencia: replicar procesadores de instrucciones sencillos en vez de construir procesadores más complejos que exploten un mayor paralelismo de instrucciones.

Desafío : aprovechar el potencial del cada vez mayor número de núcleos de procesador que se disponen en un computador a través de la programación paralela.



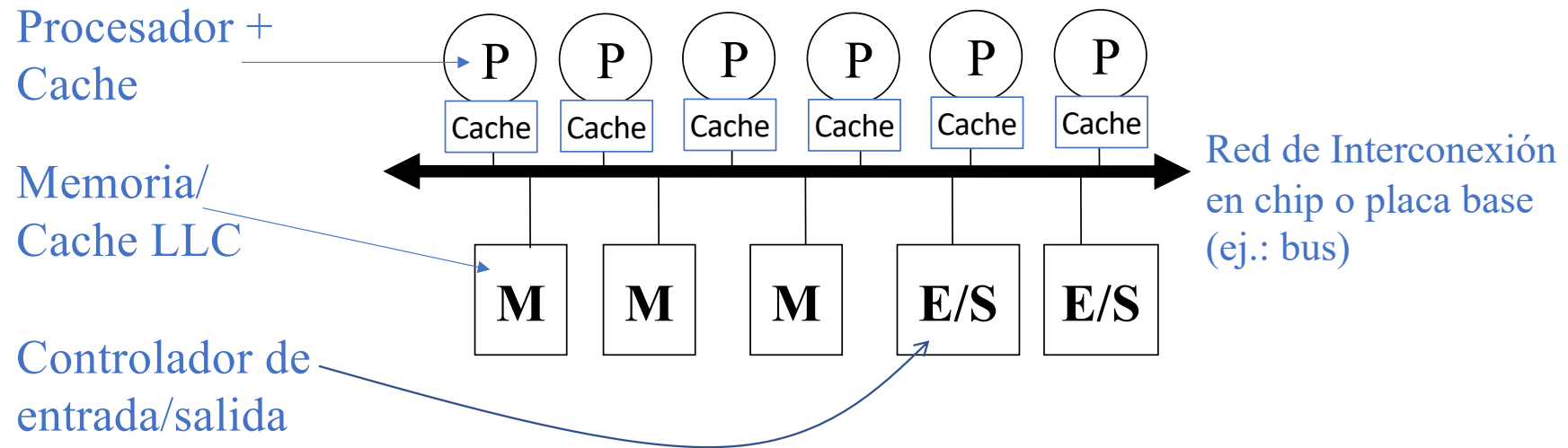
Multiprocesador de cuádruple núcleo multihilos cuya microarquitectura se denomina "Nehalem" de Intel, 45 nm (2008)

Introducción

- *Multiprocesador de memoria compartida:*
 - Múltiples procesadores conectados entre sí compartiendo recursos de forma **coordinada y eficiente**. Camino lógico para aumentar prestaciones respecto a las obtenidas por los microprocesadores.
 - Los núcleos comparten un **mismo espacio direccionamiento**, lo cual simplifica el paso de la programación de un procesador a la programación de multiprocesadores ya que las **variables** que manejan los procesadores están **compartidas**.
 - Los procesadores se comunican a través de **instrucciones de carga y almacenamiento** de variables compartidas en memoria principal.
 - Es necesario que el hardware proteja la **coherencia** de los datos en las memorias cache de los procesadores.

Características Generales de los Multiprocesadores

ORGANIZACIÓN CLÁSICA DE LOS MULTIPROCESADORES DE MEMORIA COMPARTIDA



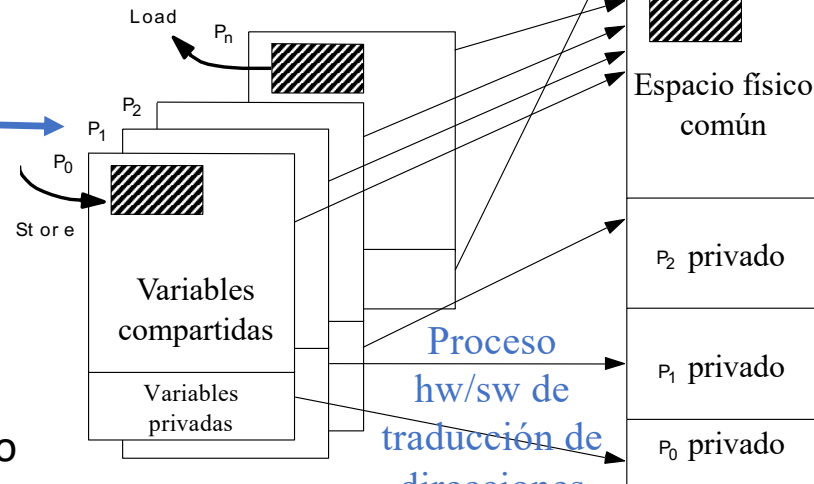
- Extensión natural de los procesadores.
- Cada procesador puede ejecutar trabajos independientes en su espacio de direccionamiento.
- Las prestaciones y/o del ritmo de realización de tareas se aumenta añadiendo procesadores.
- La capacidad de memoria se incrementa, añadiendo módulos de memoria.
- El sistema de E/S se aumenta, añadiendo controladores de E/S.

Particionado del espacio de direccionamiento para ejecución del software

Espacios de direccionamiento virtual
de varios **procesos** en varios
procesadores que se comunican a través
de un espacio compartido de memoria

Espacio de direccionamiento
físico de **memoria** del
computador paralelo

Procesos software
(Px)



Candado/Exclusión mutua/
Semáforo:

Dispositivo hardware que
permite el acceso a una variable
compartida solo por un
procesador en cada instante de
tiempo.

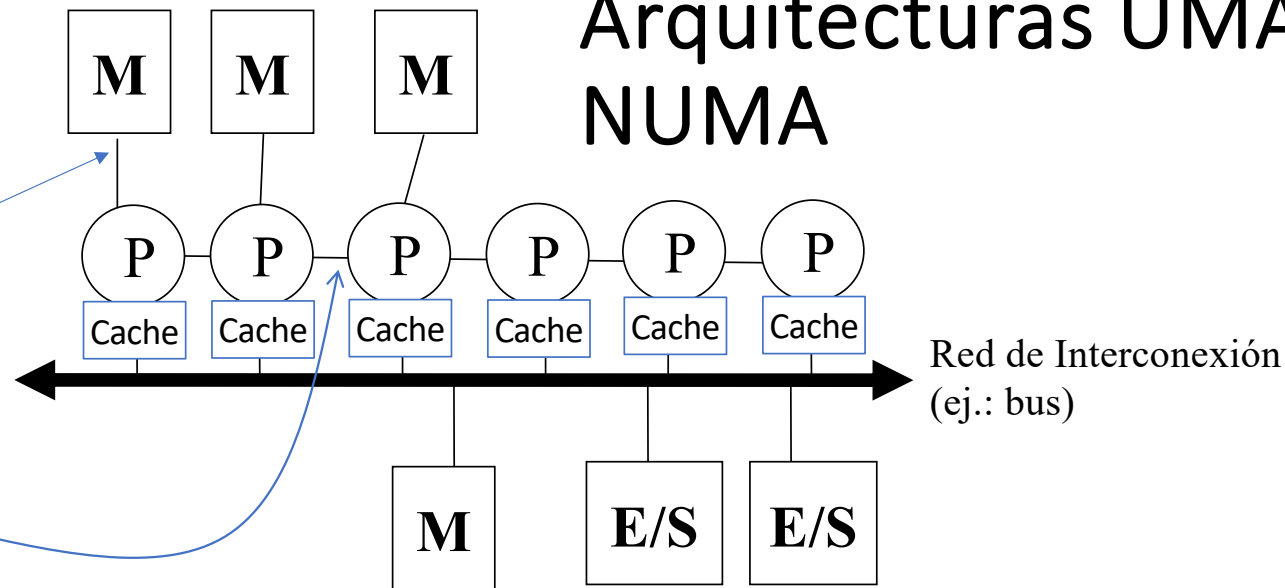
Distintos repertorios de
instrucciones tienen
instrucciones para implementar
candados (instrucciones
atómicas).

Sincronización: tarea
hardware/software que
consiste en coordinar el acceso
a una misma variable por parte
de dos o más procesos que
pueden estar ejecutándose en
procesadores distintos.

Arquitecturas UMA y NUMA

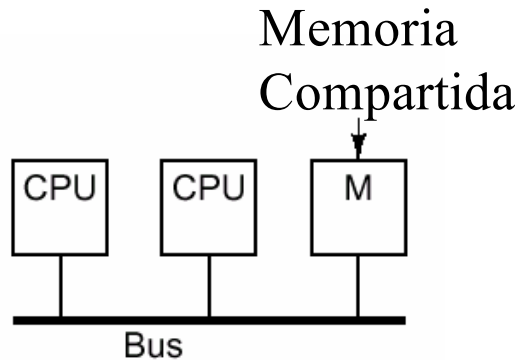
Conexión directa a un canal de memoria (memory bus, backside bus)

Conexión local entre procesadores, QPI link (QuickPath Interconnect)

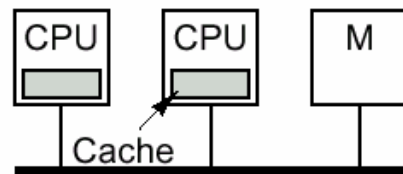


- **UMA:** accesos uniformes a memoria, el tiempo de acceso a cualquier variable es constante, independientemente del procesador que realice el acceso a memoria; fáciles de programar.
- **NUMA:** accesos no-uniformes/asimétricos a memoria; algunos accesos a memoria (locales) tardan más que otros (remotos), dependiendo de qué procesador ejecute el acceso; más difíciles de programar, pero pueden escalarse a mayor número de procesadores que UMA.
- Los computadores paralelos más extendidos corresponden a los multiprocesadores con un número inferior a **128 procesadores**.

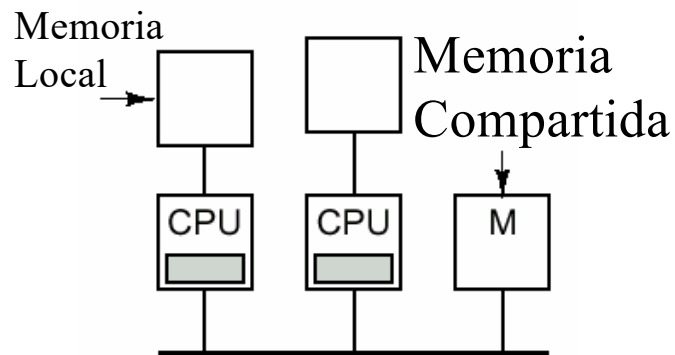
Problema de las arquitecturas de memoria compartida



Problema: Se reduce el ritmo de Transferencia del Bus y aumenta la Latencia del Bus a medida que aumenta el número de núcleos

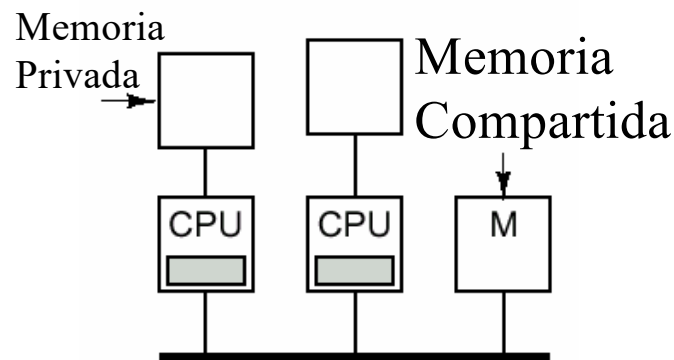


Solución 1: Incluir memoria cache que guarde parte de la memoria compartida; reduce el tráfico a través del bus que surge del acceso a variables compartidas



Solución 2: Incluir memoria cache que guarde parte de la memoria compartida y una memoria local para la parte privada de los procesos

Problema de Coherencia en arquitecturas UMA con modelo de memoria con “consistencia fuerte”



Política de la cache:
escritura directa

Tiempo	Evento	Contenido Cache A	Contenido Cache B	Contenido Memoria
0				[X]=1
1	CPU A lee X	[X]=1		[X]=1
2	CPU B lee X	[X]=1	[X]=1	[X]=1
3	CPU A almacena 0 en X (escritura directa)	[X]=0	[X]=1	[X]=0

Problema de Coherencia de la Cache: cada procesador observa distinto valor para la misma posición de memoria

MESI: Protocolo Espía de Coherencia de Cache

- Memoria principal siempre actualizada.
- Política de aciertos de cache: escritura directa.
- Los controladores de cache están “observando” las transacciones del bus.
- Cada línea de cache incluye 2 bits que codifican sus estados: M, E, S, I.
- Cuando la CPU arranca, todas las líneas de cache son:
 - **Inválidas (I)**: para forzar que la CPU acceda a la M para cargar la línea en su cache local
- Otros estados de cada línea de cache:
 - **Compartido (S)**: línea de cache que también se encuentra copiada en al menos la cache de otra CPU
 - **Exclusivo (E)**: línea de cache no compartida con otra CPU; cuando línea es modificada, no envía señales
 - **Modificado (M)**: línea de cache modificada por el procesador que tiene su uso exclusivo (write-invalidate protocol); se envía señales a líneas S

