Arquitectura de Computadores

Tema 3-2. Planificación Dinámica de Instrucciones. Ejecución Fuera de Orden.

Sumario

- Planificación "Dinámica" de Instrucciones en Tiempo de Ejecución
  - Concepto OOO: Ejecución Fuera de Orden
  - Algoritmo de Tomasulo
  - Microarquitectura del procesador DLX32ooo
  - Simulación del procesador DLX32ooo

¿Puede el HW hacer que el CPI se acerque a 1?

- ¿Por qué HW necesita extraer ILP en tiempo de ejecución?
  - No se conocen las dependencias en tiempo de compilación
  - Compilador más simple
  - Compatibilidad de código entre distintas máquinas
- Idea #1: Ejecución Fuera de Orden

  Permitir que instrucciones posteriores a las que generan penalizaciones se puedan ejecutar

```
DIVD  F0,F2,F4    <- instrucción con latencia grande
ADDD  F10,F0,F8
SUBD  F12,F8,F14  <- instrucción con latencia pequeña
```

¿Ejecución Fuera de Orden ⇒ Terminación Fuera de Orden?

- Idea #2: Renombramiento de Registros en tiempo ejecución

```
DIVD  F0,F2,F4        DIVD F0,F2,F4
ADDD  F10,F0,F8       ADDD F10,F0,F8
SUBD  F0,F8,F14       SUBD F100,F8,F14
MULD  F6,F10,F0       MULD F6,F10,F100
```

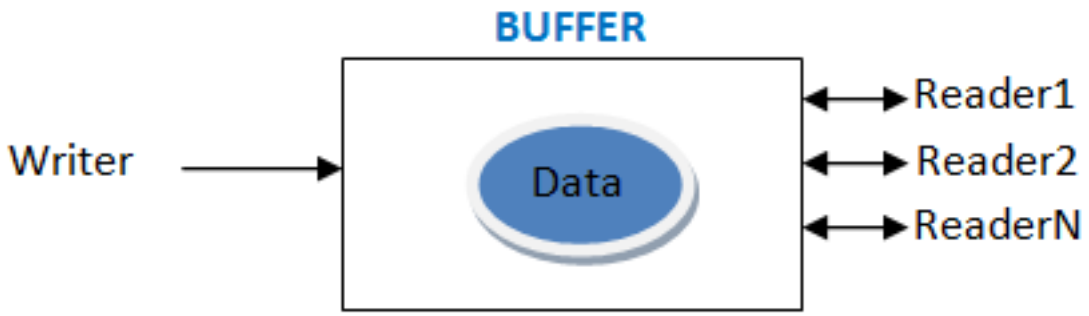
Eliminar totalmente las dependencias WAR y WAW

Instrucciones DLX que usaremos

- LD (Load Double-Precision Floating-Point)
  - `LD  Rd, offset(Rs1); LD F4, -95(R2)`
- SD (Store Double-Precision Floating-Point)
  - `SD offset(Rs1), Rd; SD -95(R2), F4`
- ADDD (Double-Precision Floating-Point Add Signed)
  - `ADDD Rd, Rs1, Rs2; ADDD F2, F0, F4`
- SUBD (Double-Precision Floating-Point Substract Signed)
  - `SUBD Rd, Rs1, Rs2; SUBD F2, F0, F4`
- SUBI (Integer Substract Immediate Signed)
  - `SUBI Rd, Rs1, immediate; SUBI R1,R1,8`
- ADDI (Integer Add Immediate Signed)
  - `ADDI Rd, Rs1, immediate; ADDI R5, R2, -645`
- BNEZ (Branch On Integer NotEqual To Zero)
  - `BNEZ R8, Salto; BNEZ R1,Loop`
- MULTD (Double-Precision Floating-Point Multiply Signed)
  - `MULTD Rd, Rs1, Rs2; MULTD F2, F0, F4`
- DIVD (Double-Precision Floating-Point Division Signed)
  - `DIVD Rd, Rs1, Rs2; DIVD F2, F0, F4`
- SGTI (Set On Greater Than Immediate)
  - `SGTI Rd, Rs1, immediate; SGTI R4, R2, 648`

Algoritmo de Tomasulo

- Control y búfers distribuidos con las unidades funcionales (FU)
  - Los búfers se llaman Estaciones de Reserva (ER); donde están "anotadas" las operaciones pendientes
  - Búfer es un circuito de almacenamiento temporal, en el cual datos e instrucciones se guardan temporalmente mientras se espera a que sean transferido desde un dispositivo de entre o hacia un dispositivo de salida.



Algoritmo de Tomasulo

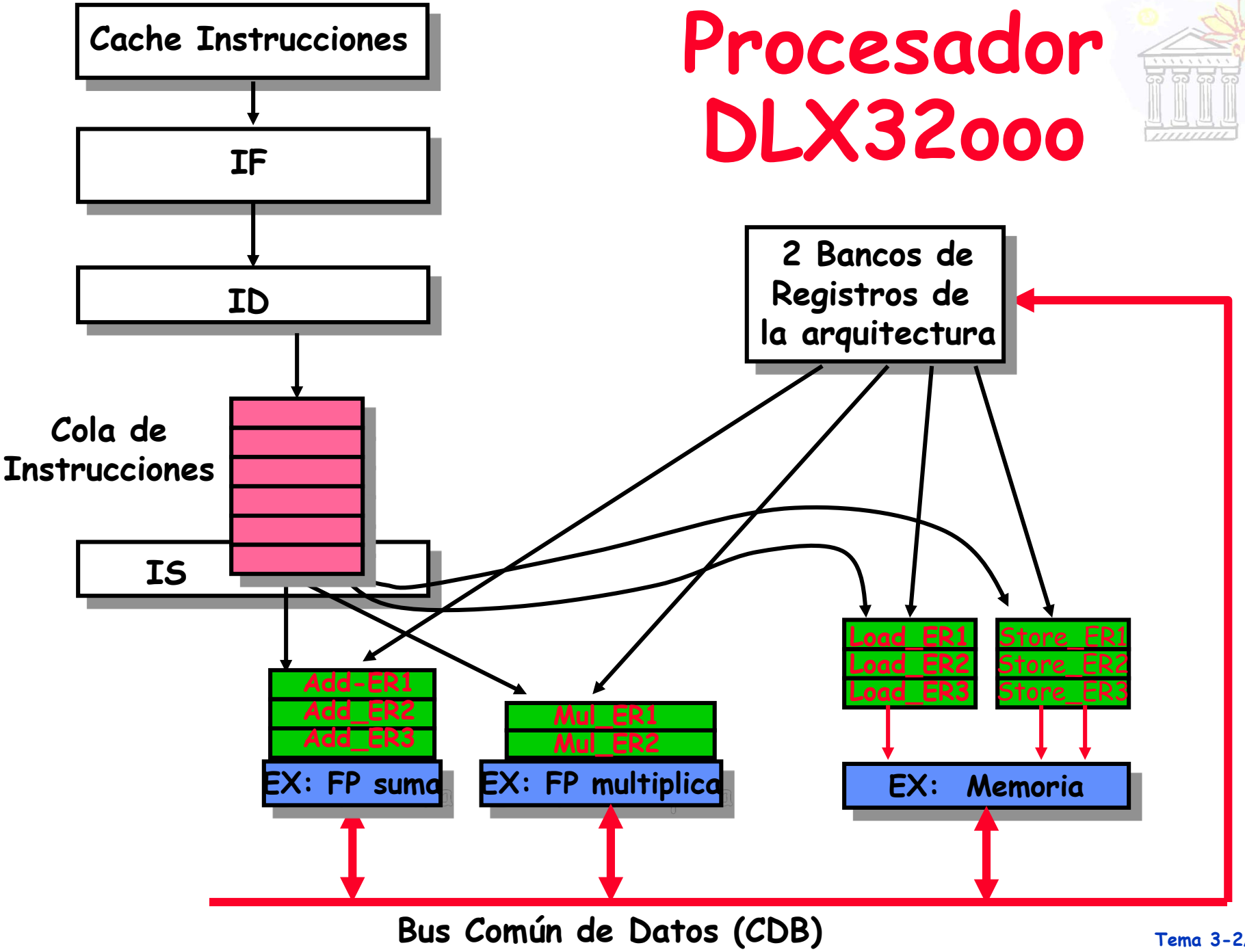
- Los registros de las instrucciones se remplazan por punteros a las Estaciones de Reserva, denominado Renombramiento de Registros
  - Renombramiento evita WAR, WAW
  - Permite que existan más Estaciones de Reserva que registros de la arquitectura, por lo que se pueden hacer más optimizaciones que con el compilador
- Los resultados generados en la FU se envían a través de Bus de Datos Común a las ER que están pendientes de recibir el resultado
- Load y Stores se tratan como FU con ER también
- Las instrucciones de enteros pueden adelantarse a los saltos, permitiendo bloques básicos más grandes

Procesador DLX32ooo

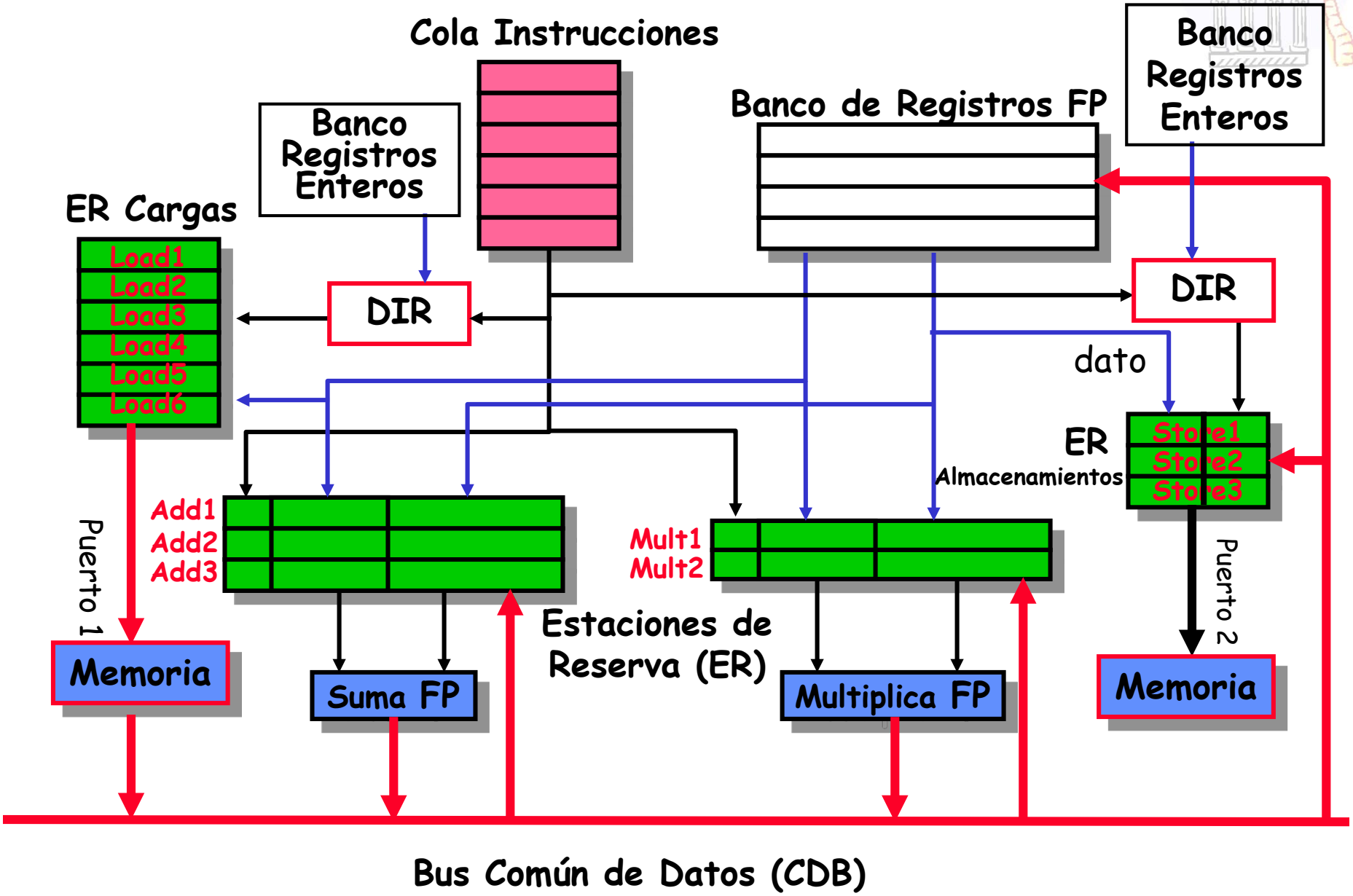
- Escalar: envío y retirado de 1 instrucción/ciclo
- Microarquitectura de 5 etapas: IF, ID, IS, EX, WB
- Envio a ejecutar instrucciones (IS) en Orden
- Ejecución (EX) y Post-escritura (WB) Fuera de Orden
- Latencias de instrucciones con operaciones multiciclo en unidad funcional (UF) respecto a instrucciones dependientes

UF	Segmentos UF
Entero	1 ciclo
Multiplicación	10 ciclos
Suma/Resta FP	2 ciclos
Acceso Memoria	2 ciclos
División	40 ciclos

Procesador DLX32ooo



DLX32ooo: Etapas IS, EX y WB



Etapas de Ejecución de Instrucciones en el Algoritmo de Tomasulo

1. **Envío a Ejecutar (Issue, IS)**—obtiene las instrucciones desde la Cola de Instrucciones FP

   Si existen ER libres (no riesgo estructural). Control envía instrucciones y operandos (renombramiento registros en caso de no estar actualizados).

2. **Ejecución (EX)**—operaciones sobre los operandos

   Cuando ambos operandos están disponibles, entonces la operación se envía a ejecutar; si no, observa CDB a que se transmita el resultado.

3. **Escritura de Resultados (WB)**—finaliza ejecución

   Envía resultado de operación por CDB a todas las ER que lo están esperando; ER marca que el operando está disponible en ER

- bus "normal" de datos: datos + destino ("go to" bus)
- Bus Común de Datos: dato + fuente ("come from" bus)
  - 64 bits de datos + 4 bits dirección fuente de la FU
  - Escribe el resultado en ER' si la FU+ER que produce el resultado coincide con la FU+ER desde donde se espera el resultado y que está anotado en ER'

Componentes de las Estaciones de Reserva

Op: Operación (ej.: +, -, x, /)

Vj, Vk: Valor de los operandos fuente

Qj, Qk: Estaciones de Reserva que producirán resultado

- Qj,Qk=0 => listo, valor está en Vj/Vk

Busy: Estación de Reserva ocupada

A: Dirección de acceso a memoria

Estaciones de Reserva

Tiempo Nombre	Ocupa	Op	S1 Vj	S2 Vk	RS Qj	RS Qk
Add1	No					
Add2	No					
Add3	No					
Mult1	No					
Mult2	No					

Componentes del Registro de Estados

Registro de Estado—Indica qué FU+ER será la última que escribirá cada registro de la arquitectura. En blanco cuando no existan instrucciones pendientes que escriban en ese registro.

Estado de los resultados

CICLO		F0	F2	F4	F6	F8	F10	F12	...	F30
0	ER									

Simulación de Tomasulo en el Procesador DLX32ooo

Estado de la Instrucción:

Instrucción		*j*	*k*	*Issue*	*Termina*	*Escribe*
LD	F6	34+	R2			
LD	F2	45+	R3			
MULTD	F0	F2	F4			
SUBD	F8	F6	F2			
DIVD	F10	F0	F6			
ADDD	F6	F8	F2			

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1 Vj*	*S2 Vk*	*RS Qj*	*RS Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
	Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
0	*ER*									

Ejemplo Tomasulo Ciclo 1

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1		
LD	F2	45+	R3			
MULTD	F0	F2	F4			
SUBD	F8	F6	F2			
DIVD	F10	F0	F6			
ADDD	F6	F8	F2			

Tiempo restante		Ocupada	Dirección
2	Load1	SI	34+R2
	Load2	No	
	Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
	Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
1	*ER*				Load1					

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS																			
LD																				
MULTD																				
SUBD																				
DIVD																				
ADDD																				

Leyendas:
IS: etapa enviar a ejecutar
EX: etapa ejecución en la unidad funcional
WB: etapa postescritura/retirado/terminación de la instrucción
<…>!: instrucción está bloqueada en una etapa determinada <…>
$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 2

Estado de la Instrucción: *IS* *EX* *WB*

Instrucción		*j*	*k*	*Issue*	*Termina*	*Escribe*
LD	F6	34+	R2	1		
LD	F2	45+	R3	2		
MULTD	F0	F2	F4			
SUBD	F8	F6	F2			
DIVD	F10	F0	F6			
ADDD	F6	F8	F2			

Tiempo		Ocupada	Dirección
1	Load1	SI	34+R2
2	Load2	SI	45+R3
	Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1 Vj*	*S2 Vk*	*RS Qj*	*RS Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
	Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
2	*ER*		Load2		Load1					

- **Nota: Se copia la dirección de acceso a memoria de Load1 en un registro del controlador de memoria**

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX																		
LD		IS																		
MULTD																				
SUBD																				
DIVD																				
ADDD																				

Leyendas:
IS: etapa enviar a ejecutar
EX: etapa ejecución en la unidad funcional
WB: etapa postescritura/retirado/terminación de la instrucción
<…>!: instrucción está bloqueada en una etapa determinada <…>
$\xrightarrow{Fx}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 3

Estado de la Instrucción: *IS* *EX* *WB*

Instrucción		*j*	*k*	*Issue*	*Termina*	*Escribe*
LD	F6	34+	R2	1	3	
LD	F2	45+	R3	2		
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2			
DIVD	F10	F0	F6			
ADDD	F6	F8	F2			

Tiempo		Ocupada	Dirección
0	Load1	SI	34+R2
1	Load2	SI	45+R3
	Load3	No	

Cache no bloqueante "hit under hit"

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1 Vj*	*S2 Vk*	*RS Qj*	*RS Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	SI	MULTD		R(F4)	Load2	
	Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
3	*ER*	Mult1	Load2		Load1					

- **Nota: nombres de registros "renombrados" en ER**
- **Load1 accede a cache datos; quién espera por Load1?**

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX																	
LD		IS	EX																	
MULTD			IS																	
SUBD																				
DIVD																				
ADDD																				

Leyendas:
IS: etapa enviar a ejecutar
EX: etapa ejecución en la unidad funcional
WB: etapa postescritura/retirado/terminación de la instrucción
<…>!: instrucción está bloqueada en una etapa determinada <…>
$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 4

Estado de la Instrucción: *IS* *EX* *WB*

Instrucción		*j*	*k*	*Issue*	*Termina*	*Escribe*
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4		
DIVD	F10	F0	F6			
ADDD	F6	F8	F2			

Tiempo		Ocupada	Dirección
	Load1	No	
0	Load2	SI	45+R3
	Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1 Vj*	*S2 Vk*	*RS Qj*	*RS Qk*
	Add1	SI	SUBD	M(A1)			Load2
	Add2	No					
	Add3	No					
	Mult1	SI	MULTD		R(F4)	Load2	
	Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
4	*UF*	Mult1	Load2		M(A1)	Add1				

- **Load2 completada; quién espera por Load2?**

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX	WB																
LD		IS	EX	EX																
MULTD			IS	EX!																
SUBD				IS																
DIVD																				
ADDD																				

Leyendas:
IS: etapa enviar a ejecutar
EX: etapa ejecución en la unidad funcional
WB: etapa postescritura/retirado/terminación de la instrucción
<…>!: instrucción está bloqueada en una etapa determinada <…>
$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 5

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4		
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2			

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Load2 se transmite por CDB

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
2	Add1	SI	SUBD	M(A1)	M(A2)		
	Add2	No					
	Add3	No					
10	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
5	*UF*	Mult1	M(A2)		M(A1)	Add1	Mult2			

- **Nota: Se copia el resultado de Load2 en Add1 y Mult1, y se inicializan los contadores. En este ciclo empiezan las operaciones SUBD y MULTD**

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX	WB																
LD		IS	EX	EX	WB															
MULTD			IS	EX!	EX!															
SUBD				IS	EX!															
DIVD					IS															
ADDD																				

F6

Leyendas:
IS: etapa enviar a ejecutar
EX: etapa ejecución en la unidad funcional
WB: etapa postescritura/retirado/terminación de la instrucción
<…>!: instrucción está bloqueada en una etapa determinada <…>
$\xrightarrow{Fx}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 6

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4		
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6		

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
1	Add1	SI	SUBD	M(A1)	M(A2)		
	Add2	SI	ADDD		M(A2)	Add1	
	Add3	No					
9	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
6	*UF*	Mult1	M(A2)		Add2	Add1	Mult2			

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX	WB																
LD		IS	EX	EX	WB															
MULTD			IS	EX!	EX!	EX														
SUBD				IS	EX!	EX														
DIVD					IS	EX!														
ADDD						IS														

F6

F2

Leyendas:

IS: etapa enviar a ejecutar

EX: etapa ejecución en la unidad funcional

WB: etapa postescritura/retirado/terminación de la instrucción

<…>!: instrucción está bloqueada en una etapa determinada <…>

$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 7

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* *Issue*	*EX* *Termina*	*WB* *Escribe*
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6		

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
0	Add1	SI	SUBD	M(A1)	M(A2)		
	Add2	SI	ADDD		M(A2)	Add1	
	Add3	No					
8	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
7	*UF*	Mult1	M(A2)		Add2	Add1	Mult2			

- **Add1 completada; quién espera por ella?**

Ejemplo Tomasulo Ciclo 8

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6		

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
2	Add2	Yes	ADDD	(M-M)	M(A2)		
	Add3	No					
7	Mult1	Yes	MULTD	M(A2)	R(F4)		
	Mult2	Yes	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
8	*UF*	Mult1	M(A2)		Add2	(M-M)	Mult2			

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX	WB																
LD		IS	EX	EX	WB															
MULTD			IS	EX!	EX	EX	EX	EX												
SUBD				IS	EX!	EX	EX	WB												
DIVD					IS	EX!	EX!	EX!												
ADDD						IS	EX!	EX!												

F2

F6

Leyendas:

IS: etapa enviar a ejecutar

EX: etapa ejecución en la unidad funcional

WB: etapa postescritura/retirado/terminación de la instrucción

<…>!: instrucción está bloqueada en una etapa determinada <…>

$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx

Ejemplo Tomasulo Ciclo 9

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6		

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
1	Add2	SI	ADDD	(M-M)	M(A2)		
	Add3	No					
6	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
9	*UF*	Mult1	M(A2)		Add2	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 10

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
0	Add2	SI	ADDD	(M-M)	M(A2)		
	Add3	No					
5	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
10	*UF*	Mult1	M(A2)		Add2	(M-M)	Mult2			

- **Add2 completada; quién espera por ella?**

Ejemplo Tomasulo Ciclo 11

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
4	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
11	*UF*	Mult1	M(A2)		(M-M+M)	(M-M)	Mult2			

- **Todas las instrucciones rápidas se han completado en este ciclo !**

Ejemplo Tomasulo Ciclo 12

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
3	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
12	*UF*	Mult1	M(A2)		(M-M+M	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 13

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
2	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
13	*UF*	Mult1	M(A2)		(M-M+M	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 14

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3		
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
1	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
14	*UF*	Mult1	M(A2)		(M-M+M)	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 15

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
0	Mult1	SI	MULTD	M(A2)	R(F4)		
	Mult2	SI	DIVD		M(A1)	Mult1	

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
15	*UF*	Mult1	M(A2)		(M-M+M)	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 16

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	16
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
40	Mult2	SI	DIVD	M*F4	M(A1)		

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
16	*UF*	M*F4	M(A2)		(M-M+M)	(M-M)	Mult2			

- Se ha evitado el riesgo por dependencia WAR entre las instrucciones DIVD y ADDD

Computación más rápida que la luz (se saltan unos cuantos ciclos)

Ejemplo Tomasulo Ciclo 55

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* *Issue*	*EX* *Termina*	*WB* *Escribe*
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	16
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5		
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
1	Mult2	SI	DIVD	M*F4	M(A1)		

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
55	*UF*	M*F4	M(A2)		(M-M+M)	(M-M)	Mult2			

Ejemplo Tomasulo Ciclo 56

Estado de la Instrucción:

Instrucción		*j*	*k*	*IS* Issue	*EX* Termina	*WB* Escribe
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	16
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5	56	
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo	*Nombre*	*Ocupa*	*Op*	*S1* *Vj*	*S2* *Vk*	*RS* *Qj*	*RS* *Qk*
	Add1	No					
	Add2	No					
	Add3	No					
	Mult1	No					
0	Mult2	SI	DIVD	M*F4	M(A1)		

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
56	*UF*	M*F4	M(A2)		(M-M+M)	(M-M)	Mult2			

- **Mult2 completada; quién espera por ella?**

Ejemplo Tomasulo Ciclo 57

Estado de la Instrucción: *IS* *EX* *WB*

Instrucción		*j*	*k*	*Issue*	*Termina*	*Escribe*
LD	F6	34+	R2	1	3	4
LD	F2	45+	R3	2	4	5
MULTD	F0	F2	F4	3	15	16
SUBD	F8	F6	F2	4	7	8
DIVD	F10	F0	F6	5	56	57
ADDD	F6	F8	F2	6	10	11

	Ocupada	Dirección
Load1	No	
Load2	No	
Load3	No	

Estaciones de Reserva

Tiempo Nombre	*Ocupa*	*Op*	*S1 Vj*	*S2 Vk*	*RS Qj*	*RS Qk*
Add1	No					
Add2	No					
Add3	No					
Mult1	No					
Mult2	No					

Estado de los resultados

CICLO		*F0*	*F2*	*F4*	*F6*	*F8*	*F10*	*F12*	...	*F30*
57	*UF*	M*F4	M(A2)		(M-M+M)	(M-M)	Result			

- **Conclusión: Envío a ejecutar En-Orden, Ejecución y Terminación Fuera-De-Orden.**

Resumen Ejemplo

CICLOS	1	2	3	4	5	6	7	8	9	10	11	12	…	15	16	17	…	55	56	57
LD	IS	EX	EX	WB																
LD		IS	EX	EX	WB															
MULTD			IS	EX!	EX! (F2)	EX	EX	EX	EX	EX	EX	EX		EX	WB					
SUBD				IS (F6)	EX!	EX	EX	WB												
DIVD					IS	EX!	EX!	EX!	EX!	EX!	EX!	EX!		EX!	EX!	EX (F0)		EX	EX	WB
ADDD						IS	EX!	EX!	EX (F8)	EX	WB									

Leyendas:

IS: etapa enviar a ejecutar

EX: etapa ejecución en la unidad funcional

WB: etapa postescritura/retirado/terminación de la instrucción

<…>!: instrucción está bloqueada en una etapa determinada <…>

$\xrightarrow[Fx]{}$: anticipación de resultados sobre una estación de reserva a través del registro Fx