

**40969 - ARQUITECTURA DE
COMPUTADORES**

CENTRO: 180 - Escuela de Ingeniería Informática

TITULACIÓN: 4008 - Grado en Ingeniería Informática

ASIGNATURA: 40969 - ARQUITECTURA DE COMPUTADORES

CÓDIGO UNESCO: 1203

TIPO: Obligatoria

CURSO: 2

SEMESTRE: 2º semestre

CRÉDITOS ECTS: 6

Especificar créditos de cada lengua:

ESPAÑOL: 6

INGLÉS: 0

SUMMARY

Computer Architecture is the science and art of selecting, interconnecting and using efficiently hardware components to create computers that meet functional, performance, power, and cost goals.

The main goal of this course is for students to better understand how software interacts with hardware. The course will cover the different forms of parallelism found in software applications (instruction-level, data-level, thread-level, task-level) and how these can be exploited with various architectural features of computers. This course deals with topics related to pipelining, superscalar processors, out-of-order instruction execution, VLIW computer architectures, hardware and software multithreading, graphics processing units, general-purpose and specialized processor design, multiprocessors, memory hierarchy, parallel architectures, and performance programming. We will also explore the specification and optimization of high-performance computers.

An important part of this course involves developing a series of lab assignments using software processors implemented in a hardware description language, and running as FPGA emulators hosted in real boards. These lab assignments will give students an in-depth look at a variety of computer architecture techniques. Our objective is that students will understand all the major concepts used in modern processors of computers by the end of the semester.

This course will be taught in Spanish.

REQUISITOS PREVIOS

Para cursar con aprovechamiento esta asignatura es recomendable que el estudiante haya alcanzado los resultados del aprendizaje en las siguientes asignaturas de la titulación de Ingeniería Informática: Fundamentos de Computadores (1º, Semestre 1), Estructura de Computadores (1º, Semestre 2), Periféricos e Interfaces (2º, Semestre 1).

Plan de Enseñanza (Plan de trabajo del profesorado)

Contribución de la asignatura al perfil profesional:

Dentro de la memoria del título de “Graduado en Ingeniería Informática” se establece un módulo de Ingeniería de Sistemas que incluye la materia Computadores de carácter obligatorio con diferentes competencias. Para cubrir estas competencias se han establecido dos asignaturas: “Periféricos e Interfaces” en el semestre 3 y “Arquitectura de Computadores” en el Semestre 4.

La Arquitectura de Computadores es una disciplina enmarcada dentro de la Ingeniería que trata de definir de forma cuantitativa un determinado sistema hardware/software estableciendo el mejor equilibrio entre tres características de los computadores: coste, prestaciones y potencia eléctrica.

Concretamente, en la asignatura Arquitectura de Computadores se trata de inculcar criterios cuantitativos que permitan optimizar el funcionamiento de la organización interna de un computador basados en algún objetivo concreto de prestaciones. En los métodos arquitectónicos de optimización se combinan frecuentemente tanto elementos hardware como técnicas software. Por ello, esta asignatura abarca los contenidos relacionados con la microarquitectura de los procesadores, los multiprocesadores, la jerarquía de memoria, las arquitecturas paralelas y la programación paralela, así como el aprovechamiento de estos elementos para optimizar el funcionamiento del software.

Competencias que tiene asignadas:

En cumplimiento de la guía básica de la asignatura, las competencias que se pretenden alcanzar al menos parcialmente en esta asignatura son: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14.

Objetivos:

Los objetivos de la asignatura son los siguientes:

Ob1. Estudiar el funcionamiento interno y externo de la arquitectura de un computador comercial. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob2. Estudiar la microarquitectura, el funcionamiento interno y externo y las prestaciones de los procesadores comerciales, avanzados y de altas prestaciones, así como las técnicas para mejorar su rendimiento. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob3. Estudiar la microarquitectura, el funcionamiento interno y externo y las prestaciones de la jerarquía de memoria de los computadores comerciales, así como las técnicas para mejorar su rendimiento. Está relacionado con los resultados de aprendizaje: RA1, RA3, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob4. Estudiar la microarquitectura, el funcionamiento interno y externo y las prestaciones de los multiprocesadores y multicomputadores, así como las técnicas para mejorar su rendimiento. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob5. Desarrollar y practicar la programación paralela escalable aplicando la descomposición de tareas o la descomposición de datos. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob6. Medir y comparar las prestaciones relacionadas con el tiempo de cómputo de los programas secuenciales y paralelos cuando se ejecutan en un computador real. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob7. Elegir y aplicar técnicas de análisis, evaluación y simulación para estudiar la relación entre la

arquitectura de un computador y las medidas observables de las prestaciones del computador cuando se ejecuta un programa secuencial o paralelo. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Ob8. Evaluar el equilibrio entre coste y prestaciones que ha sido establecido en el hardware de varios computadores de los tipos: Sobremesa, Servidor y Empotrado. Está relacionado con los resultados de aprendizaje: RA1, RA2, RA3, RA4, RA5 (ver sección “Resultados de Aprendizaje” de este documento).

Contenidos:

En cumplimiento de la guía básica de la asignatura, los contenidos se dividen en:

- Sesiones de fundamentación (actividad formativa presencial)
- Sesiones de aplicación (actividad formativa presencial)
- Trabajos prácticos (actividad formativa no presencial)

--- CONTENIDOS DE LAS SESIONES ACADÉMICAS DE FUNDAMENTACIÓN EN EL AULA ---

De forma presencial, los contenidos de cuatro bloques que a su vez están divididos en temas se impartirán en el aula. La profundidad de los contenidos que se desarrollarán estará asociada al tiempo dedicado a cada bloque y tema.

BLOQUE 1. FUNDAMENTOS DE LA COMPUTACIÓN DE ALTAS PRESTACIONES (7 horas)

Tema 1-1 Fundamentos y Principios del Diseño de Computadores (2 h)

Tema 1-2 Procesadores Segmentados (5 h)

Bibliografía: [1,2,5,6]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

BLOQUE 2. DISEÑO DE LA JERARQUÍA DE MEMORIA (8 horas)

Tema 2-1 Técnicas para Aumentar las Prestaciones de la Memoria Cache (5 h)

Tema 2-2 Arquitectura Avanzada de la Memoria Principal (2 h)

Tema 2-3 Arquitectura de la Memoria Virtual (1 h)

Bibliografía: [1,3,5,7,9]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9

BLOQUE 3. PARALELISMO DE INSTRUCCIONES (6 horas)

Tema 3-1 Planificación Estática de Instrucciones. Procesadores de Gran Tamaño de Palabra (2 h)

Tema 3-2 Planificación Dinámica de Instrucciones. Ejecución Fuera de Orden (3 h)

Tema 3-3 Procesadores Superescalares (1 h)

Bibliografía: [1,3,9]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

BLOQUE 4. ARQUITECTURAS Y PROGRAMACIÓN DE LOS COMPUTADORES PARALELOS (9 horas)

Tema 4-1 Fundamentos del Procesamiento Paralelo (1 h)

Tema 4-2 Procesadores de Multihilos Simultáneos (1 h)

Tema 4-3 Arquitecturas de los Multiprocesadores de Memoria Compartida (1 h)

Tema 4-4 Programación Paralela con OpenMP (1 h)
Tema 4-5 Arquitecturas de los Multiprocesadores para Procesamiento Gráfico (1 h)
Tema 4-6 Programación Paralela con CUDA (1 h)
Tema 4-7 Arquitecturas de los Computadores Paralelos de Paso de Mensajes (1 h)
Tema 4-8 Programación Paralela con MPI (1 h)
Tema 4-9 Arquitecturas Paralelas Especializadas (1 h)

Bibliografía: [1,3,4,8,9,10,11]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

--- CONTENIDOS DE LAS SESIONES ACADÉMICAS DE APLICACIÓN EN EL LABORATORIO ---

De forma presencial, se realizarán cuatro prácticas en el laboratorio asignado a esta asignatura. En todas las sesiones se usará el sistema electrónico DE0-Nano basado en un circuito reconfigurable de tipo FPGA (Field Programmable Gate Array). Adicionalmente, en estas prácticas se utilizarán también técnicas de simulación aplicadas al sistema DE0-Nano. En cada práctica, se describirán los pasos a seguir para resolver un determinado problema. La profundidad de los contenidos que se practiquen estará asociada al tiempo dedicado a cada práctica. A continuación se describe cada una de las prácticas.

Práctica 1. Arquitectura del repertorio de instrucciones y programación del procesador Nios II/e (8 horas)

- Descripción de la arquitectura del repertorio de instrucciones del procesador Nios II/e
- Descripción de las herramientas software para el manejo del computador DE0-Nano en el laboratorio
- Descripción de la herramienta software basada en técnicas de simulación del computador DE0-Nano
- Realización de ejercicios de programación en ensamblador y su ejecución en el computador DE0-Nano: subrutinas, modificación del código máquina de un programa, implementación de algoritmos

Bibliografía: [2]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9

Práctica 2. Determinación de la microarquitectura de la memoria cache a partir de la evaluación de prestaciones de un computador real (8 horas)

- Descripción del método de evaluación de las prestaciones de la jerarquía de memoria en el computador DE0-Nano
- Evaluación de prestaciones de la jerarquía de memoria compuesta por los niveles de memoria cache y principal
- Descripción y puesta en práctica del método de descubrimiento de los parámetros de la microarquitectura de la memoria cache del procesador Nios II/f

Bibliografía: [2]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9

Práctica 3. Evaluación de prestaciones de los procesadores segmentados (8 horas)

- Análisis de la mezcla de tipos de instrucciones en un programa benchmark
- Análisis de las limitaciones de la relación “operaciones ALU/segundo” de la ejecución de un programa benchmark en los procesadores multiciclo Nios II/e y segmentado Nios II/f
- Análisis de los efectos que ocasiona la reordenación de instrucciones en procesadores segmentados Nios II/f

- Problema de diseño de un nuevo procesador segmentado

Bibliografía: [2]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Práctica 4. Implementación, programación paralela y evaluación de prestaciones de multiprocesadores Nios II (6 horas)

- Infraestructura software-hardware de la práctica
- Tutoriales para la programación del multiprocesador Nios II
- Programación paralela multihilos y evaluación de prestaciones de multiprocesadores Nios II de doble núcleo

Bibliografía: [2]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

--- CONTENIDOS DE LOS TRABAJOS PRÁCTICOS ---

Cada estudiante realizará un trabajo práctico de forma individual que elegirá entre las cuatro posibles alternativas que se describen a continuación. A diferencia de las sesiones de aplicación, la enseñanza que se aplica para desarrollar los trabajos prácticos es de tipo no presencial. Otra diferencia con las sesiones de aplicación consiste en que cada estudiante decidirá los pasos a seguir para resolver un determinado problema. El trabajo se desarrollará de forma tutorizada a lo largo del semestre en el que se imparte esta asignatura.

Trabajo Práctico 1. Construcción de un procesador RISC-V (45 horas)

- Diseño VHDL de la microarquitectura de un procesador RISC-V
- Síntesis de la microarquitectura en FPGA
- Programación del procesador RISC-V basada en C
- Simulación del funcionamiento de la microarquitectura durante la ejecución de un programa
- Configuración del procesador RISC-V en un circuito FPGA
- Comprobación del funcionamiento real del procesador RISC-V
- Evaluación de prestaciones del procesador RISC-V

Bibliografía: [2,7]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Trabajo Práctico 2. Construcción de un procesador Nios II con arquitectura especializada en una aplicación software (45 horas)

- Evaluación de prestaciones de programas benchmark para determinar las operaciones de mayor coste computacional
- Diseño VHDL de instrucciones especializadas para el procesador Nios II
- Implementación de las instrucciones especializadas en Nios II
- Programación del procesador Nios II usando instrucciones especializadas
- Configuración del procesador Nios II especializado en un circuito FPGA
- Evaluación de prestaciones del procesador especializado y su comparación con el procesador no especializado

Bibliografía: [2]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Trabajo Práctico 3. Programación paralela de la multiplicación de matrices (45 horas)

- Implementación en un multiprocesador usando OpenMP
- Implementación en un multicomputador usando OpenMPI

- Implementación en un coprocesador de tipo GPU usando CUDA
- Evaluación de prestaciones usando contadores hardware
- Comparación de prestaciones entre multiprocesadores, multicomputadores y GPUs

Bibliografía: [8,10,11]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Trabajo Práctico 4. Construcción de un simulador web para un procesador segmentado RISC-V de 64 bits con arquitectura RV64IM (45 horas)

- Análisis de los casos de uso del programa para que simule el funcionamiento de un procesador RISC-V segmentado de cinco etapas con arquitectura del repertorio de instrucciones RV64IM de 64 bits
- Diseño de las estructuras de datos, funciones y objetos del programa
- Implementación del programa simulador en un lenguaje de programación
- Instalación y verificación del programa simulador en un servidor web
- Realizar al menos cuatro unidades prácticas docentes de tipo tutorial cuyo contenido se relacione con el funcionamiento y la evaluación de prestaciones de los procesadores segmentados

Bibliografía: [7]

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Metodología:

La metodología que se empleará consiste en la exposición y demostración práctica por parte de los profesores de los contenidos necesarios para que el estudiante adquiera las competencias indicadas en la guía básica de esta asignatura. La metodología también incluye la realización por parte del estudiante de actividades dirigidas a la aplicación de conocimientos y a la contextualización del aprendizaje teórico por medio de supuestos prácticos. El diseño de las actividades favorecerá la autonomía y la capacidad de reflexión de los estudiantes. Adicionalmente, se fomentarán las habilidades interpersonales por medio del trabajo en equipo. Las actividades formativas que se emplearán son las cuatro siguientes.

AF1. Sesiones académicas de fundamentación (actividad formativa presencial): se desarrollarán en el aula y en ellas se expondrán los contenidos más relevantes de la asignatura, motivando al estudiante para que participe activamente y aproveche estas sesiones para resolver las dudas que existan sobre los contenidos. Las tareas programadas para AF1 se desarrollarán durante 30 horas.

AF2. Sesiones académicas de aplicación (actividad formativa presencial): en ellas se resolverán ejercicios prácticos en el laboratorio, para lo cual se guiará a los estudiantes en el diseño de la solución al problema planteado. Las tareas programadas para AF2 se desarrollarán durante 30 horas.

AF3. Trabajos prácticos (actividad formativa no presencial): en ellas los estudiantes aplicarán una metodología propia de la Ingeniería Informática para desarrollar la solución de un determinado problema. Para llegar a una solución del problema se necesitarán las materias impartidas en varias sesiones tanto de fundamentación como de aplicación. Las tareas programadas para AF3 se desarrollarán durante 45 horas.

AF4. Sesiones de estudio (actividad formativa no presencial): en ellas los estudiantes asimilarán e interiorizarán los contenidos impartidos en las sesiones de fundamentación y de aplicación, realizarán la resolución de problemas y prepararán el trabajo previo de las sesiones de fundamentación y de aplicación. Parte de estas sesiones podrán ser del tipo tutorías en las que intervendrá alguno de los profesores de la asignatura. En estas tutorías, los estudiantes serán

guiados en la resolución de las tareas planteadas en las actividades formativas AF1, AF2 y AF3, además de resolver dudas. Las tareas programadas para AF4 se desarrollarán durante 45 horas.

Enseñanza en situación de alerta sanitaria

Si las clases tuvieran que impartirse a distancia debido a una situación de alerta sanitaria, las actividades formativas presenciales, AF1 y AF2, se desarrollarán a través de las herramientas que la ULPGC disponga para impartir las sesiones académicas de forma remota.

Evaluación:

Criterios de evaluación

Las fuentes para la evaluación que se usarán son dos: Exámenes (FE1) y Trabajos prácticos (FE2). A continuación se describen cada una de ellas junto a los criterios que se usarán en la evaluación.

FE1. Exámenes

Esta fuente de evaluación se utilizará para las actividades formativas AF1, AF2 y AF4.

Los criterios de la evaluación aplicados en ella cuando se evalúen contenidos teóricos son los siguientes:

- Que el estudiante demuestre que conoce y comprende el funcionamiento de los principales elementos que componen la arquitectura de los computadores actuales.
- Que el estudiante sea capaz de establecer qué elementos deben ser incluidos en un computador para que ejecute eficientemente determinadas aplicaciones software.
- Que el estudiante demuestre que es capaz de evaluar el impacto del funcionamiento de la arquitectura de un computador sobre las prestaciones observables del cómputo.
- Que el estudiante demuestre que es capaz de diseñar programas paralelos que mejoren las prestaciones temporales de un computador que ejecutara un programa secuencial que implementa el mismo algoritmo.
- Que el estudiante no cometa ningún tipo de falta de ortografía.

Los criterios de la evaluación aplicados en la fuente FE1 cuando se evalúen contenidos de las prácticas de laboratorio son los siguientes:

- Que el estudiante demuestre que comprende cómo se evalúa el impacto del funcionamiento de la arquitectura de un computador sobre las prestaciones observables del cómputo.
- Que el estudiante demuestre que comprende cómo se diseña, implementa y valida la arquitectura del procesador de un computador.
- Que el estudiante demuestre que comprende cómo se diseña, implementa y valida el hardware de un multiprocesador y cómo se ejecutan programas paralelos.

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

FE2. Trabajos prácticos:

Esta fuente de evaluación se utilizará para las actividades formativas AF3 y AF4.

Se realizarán presentaciones y defensas del trabajo práctico donde se utilizarán criterios de evaluación que valorarán si el estudiante es capaz de explicar el trabajo realizado y las decisiones tomadas. Adicionalmente, se valorará la fluidez y el manejo de las herramientas utilizadas. Finalmente, se valorará también la eficiencia de la solución arquitectónica o paralela planteada para el problema elegido.

Competencias: CB1, CB3, CB5, G4, G6, G9, N1, CI1, CI5, CI9, CI14

Evaluación en situación de alerta sanitaria

Si la evaluación tuviera que realizarse en una situación de alerta sanitaria, los cambios que se producirían serían los siguientes, y el resto de la Evaluación quedaría igual.

Cambios en los criterios de evaluación - FE1: Los exámenes se realizarían a distancia utilizando las herramientas que disponga la ULPGC. FE2: La presentación de trabajos también se realizaría a distancia.

Sistemas de evaluación

El sistema de evaluación de la asignatura se divide en tres partes: la evaluación de la teoría, la evaluación de las prácticas de laboratorio y la evaluación del trabajo práctico.

EVALUACIÓN DE LA TEORÍA

La evaluación de esta parte se realizará utilizando la fuente de evaluación de los exámenes (FE1). La materia a examinar corresponde al Programa de las Sesiones de Fundamentación, en el cual se incluye la resolución de problemas. En cada examen podrán aparecer preguntas teóricas de desarrollo, de respuesta corta, de tipo test con múltiples respuestas correctas en cada pregunta, el diseño y/o evaluación de partes de la arquitectura de un computador, así como la realización de programas en ensamblador y de programas paralelos.

EVALUACIÓN DE LAS PRÁCTICAS DE LABORATORIO

La evaluación de esta parte se realizará utilizando la fuente de evaluación de los exámenes (FE1). La materia a examinar corresponde al Programa de las Sesiones de Aplicación. En cada examen podrá aparecer preguntas que requieran la realización de un programa en ensamblador o programa paralelo y que involucre la configuración y uso de una parte de un computador real, así como la evaluación de las prestaciones de partes de la arquitectura de un computador real. En lo que se refiere a guardar notas de prácticas aprobadas en cursos anteriores, se hará lo que disponga la normativa vigente a ese respecto.

EVALUACIÓN DEL TRABAJO PRÁCTICO

La evaluación de esta parte se realizará utilizando la fuente de evaluación de los trabajos (FE2). La materia a evaluar corresponde al contenido de una memoria que entregará el estudiante después de terminar de resolver el problema elegido del Programa de Trabajos Prácticos. También se evaluará la presentación y defensa del trabajo realizado. El profesor podrá también preguntar al estudiante sobre el contenido del trabajo cuyas respuestas influirán sobre la nota de esta parte.

En cumplimiento de la guía básica de esta asignatura, los exámenes y ejercicios presenciales (FE1) se ponderará en un 80%, y el trabajo práctico (FE2) en un 20%.

Evaluación en situación de alerta sanitaria

Si la evaluación tuviera que realizarse en una situación de alerta sanitaria, el Sistema Evaluación no cambiaría.

Criterios de calificación

La nota final de la asignatura consta de tres partes:

(1) el valor nota Teoría califica a la parte del programa teórico usando FE1 con ponderación del

40%

(2) el valor notaPracticas califica a la parte del programa de prácticas de laboratorio usando FE1 con ponderación del 40%

(3) el valor notaTrabajo califica a la parte del programa de trabajos prácticos usando FE2 con ponderación del 20%

La calificación final del estudiante en la asignatura se obtiene en todas las convocatorias de la siguiente forma: $\text{NotaFinal} = 0,4 \times \text{notaTeoría} + 0,4 \times \text{notaPracticas} + 0,2 \times \text{notaTrabajo}$

El rango de puntuación de notaTeoría , notaPracticas y notaTrabajo es $[0 \dots 10]$. Para aprobar la asignatura, tanto NotaFinal , notaTeoría como notaPracticas deben ser cada una de ellas superior o igual a 5,0.

En el caso que alguno de los valores de notaTeoría o notaPracticas sea inferior a 5,0 pero NotaFinal resulte ser igual o superior a 5,0, en el acta oficial de la correspondiente convocatoria aparecerá la calificación de suspenso 4,9.

CALIFICACIÓN DEL PROGRAMA DE LAS SESIONES ACADÉMICAS DE FUNDAMENTACIÓN EN EL AULA

En la parte del programa teórico, la calificación vendrá determinada por la fuente de evaluación FE1 en todas las convocatorias oficiales. La forma de implementar la calificación dependerá de la convocatoria.

Convocatoria ORDINARIA

La calificación se obtiene a través de la FE1 con dos tests ($\text{Test-}i$, $i=1,2$) y un examen final (ExamenFinal). Para cada uno de los $\text{Test-}i$ existirá una única oportunidad que se realizará durante el periodo lectivo. Estos exámenes no eliminan materia, es decir, en cualquiera de los exámenes se podrá preguntar por cualquier parte del temario que se haya impartido hasta el momento de la celebración del examen. El examen final se realizará el día que indique el centro. La nota final de la parte teórica se calcula de la siguiente forma:

$$\text{notaTeoria} = 0,8 \times \text{ExamenFinal} + 0,2 \times \text{MediaAritmética}(\text{Test-}i, i=1,2)$$

Todas las notas (notaTeoria , $\text{Test-}i$, ExamenFinal) se valorarán en el rango $[0..10]$. No se precisa alcanzar una nota mínima en los Tests y el Examen Final.

Convocatorias EXTRAORDINARIA y ESPECIAL

La calificación del programa teórico vendrá dada por la calificación de un examen (FE1) realizado el día de la convocatoria oficial: $\text{notaTeoria} = \text{ExamenConvocatoriaTeoria}$

CALIFICACIÓN DEL PROGRAMA DE LAS SESIONES ACADÉMICAS DE APLICACIÓN EN EL LABORATORIO

En la parte del programa de prácticas en el laboratorio, la calificación vendrá determinada por la fuente de evaluación EF1 en todas las convocatorias oficiales. La forma de implementar la calificación dependerá de la convocatoria.

Convocatoria ORDINARIA

La evaluación de las prácticas de la asignatura (notaPracticas) se obtiene aplicando la media geométrica de las calificaciones de las cuatro prácticas: $P-i$, $i=1, \dots, 4$, valoradas individualmente en el rango $[0 \dots 10]$: $\text{notaPracticas} = \text{MediaGeometrica}(P-i, i=1, \dots, 4)$

La calificación de cada práctica ($P-i$) se realizará a través de la fuente de evaluación FE1 que se

implementa con un conjunto de cuatro exámenes de prácticas. La nota de cada práctica (P-i) se obtendrá asignándole la nota del examen de prácticas (ExamenP-i): $P-i = \text{ExamenP-i}$. Las notas de los exámenes (ExamenP-i, $i=1,\dots,4$) y las de las prácticas (P-i) se valorarán en el rango [0..10]. No se precisa ninguna puntuación mínima en las notas de cada una de las prácticas.

Convocatorias EXTRAORDINARIA y ESPECIAL

La nota de prácticas vendrá dada por la calificación de un examen de prácticas (FE1) realizado el día de la convocatoria oficial: $\text{notaPracticas} = \text{ExamenConvocatoriaPracticas}$

CALIFICACIÓN DEL TRABAJO PRÁCTICO

En la parte del trabajo práctico, la calificación vendrá determinada por la fuente de evaluación FE2. La forma de implementar la calificación será la misma en todas las convocatorias.

Convocatorias ORDINARIA, EXTRAORDINARIA y ESPECIAL

Se realizará una presentación y defensa del trabajo práctico elegido por cada estudiante que se valorará en el rango [0..10].

Evaluación en situación de alerta sanitaria

Si la evaluación tuviera que realizarse en una situación de alerta sanitaria, los Criterios de Calificación no cambiarían.

Plan de Aprendizaje (Plan de trabajo de cada estudiante)

Tareas y actividades que realizará según distintos contextos profesionales (científico, profesional, institucional, social)

Todas las tareas y actividades se realizarán en el contexto profesional, y son:

Ta1. Asistencia a sesiones de fundamentación.

Ta2. Asistencia a sesiones de aplicación.

Ta3. Lectura y comprensión de la documentación.

Ta4. Interiorización de los contenidos de la documentación.

Ta5. Realización de ejercicios preparatorios de las sesiones tanto de fundamentación como de aplicación.

Ta6. Interiorización de las experiencias prácticas en las sesiones de aplicación.

Ta7. Búsqueda y comprensión de documentación para el trabajo práctico.

Ta8. Diseño, implementación y comprobación de la solución del problema del trabajo práctico.

Ta9. Confección de la documentación para la defensa del trabajo práctico incluido un cuaderno de actividades diarias.

Temporalización semanal de tareas y actividades (distribución de tiempos en distintas actividades y en presencialidad - no presencialidad)

En la distribución temporal se sigue un patrón homogéneo de forma que cada semana se realizan las mismas actividades:

(a) Actividades presenciales semanales (4 horas/semana):

- Ta1 (2 horas/semana)

- Ta2 (2 horas/semana)

(b) Actividades no presenciales semanales (6 horas/semana):

- Ta3 (1 hora/semana)
- Ta4 (0,5 horas/semana)
- Ta5 (1 hora/semana)
- Ta6 (0,5 horas/semana)
- Ta7 (0,5 horas/semana)
- Ta8 (2,0 horas/semana)
- Ta9 (0,5 horas/semana)

En cumplimiento de la guía básica de esta asignatura, las tareas se realizarán en las actividades formativas (AF1, AF2, AF3 y AF4) de la siguiente manera:

AF1 (30 horas): Ta1 (2 horas/semana) durante 15 semanas.

AF2 (30 horas): Ta2 (2 horas/semana) durante 15 semanas.

AF3 (45 horas): Ta7 (0,5 horas/semana), Ta8 (2,0 horas/semana) y Ta9 (0,5 horas/semana) durante 15 semanas.

AF4 (45 horas): Ta3 (1 hora/semana), Ta4 (0,5 horas/semana), Ta5 (1 hora/semana) y Ta6 (0,5 horas/semana) durante 15 semanas.

En resumen, las actividades presenciales (AF1 y AF2) tienen conjuntamente una extensión temporal de 60 horas, y las actividades no presenciales (AF3 y AF4) de 90 horas. En total, las actividades de esta asignatura se extienden durante 150 horas.

Actividades en situación de alerta sanitaria

Si las clases tuvieran que impartirse a distancia debido a una situación de alerta sanitaria, las actividades formativas presenciales, AF1 y AF2, se desarrollarán a través de las herramientas que la ULPGC disponga para impartir las sesiones académicas de forma remota.

Recursos que tendrá que utilizar adecuadamente en cada uno de los contextos profesionales.

Los recursos que se utilizarán en esta asignatura son los siguientes:

- RE1. Imágenes estáticas
- RE2. Pequeñas animaciones basadas en sucesión de imágenes estáticas
- RE3. Vídeos
- RE4. Proyector y pantalla de proyección
- RE5. Pizarra
- RE6. Computador sobremesa con multiprocesador
- RE7. Herramientas software para programación en lenguaje ensamblador
- RE8. Herramientas software para simulación de arquitecturas de computadores
- RE9. Herramientas para diseño e implementación del hardware
- RE10. Guiones de las prácticas de laboratorio de tipo tutorial
- RE11. Moodle
- RE12. Bibliografía y recursos accesibles a través de Internet
- RE13. Placas Intel/Altera DE
- RE14. Guiones de los trabajos prácticos
- RE15. Herramientas para desarrollo de programas de alto nivel: C, C++, Python, PHP, Java
- RE16. Interfaces de programación y librerías para desarrollo, implementación y ejecución de programas paralelos: OpenMP, OpenMPI, CUDA
- RE17. Clúster de multicomputadores con GPUs

Los recursos que se utilizarán en la actividades formativas son los siguientes:

- En las sesiones de fundamentación en el aula (AF1): RE1, RE2, RE3, RE4, RE5, RE10, RE12, RE15, RE16, RE17.
- En las sesiones de aplicación en el laboratorio (AF2): RE1, RE2, RE3, RE4, RE5, RE6, RE7, RE8, RE9, RE10, RE11, RE12, RE13.
- En los trabajos prácticos (AF3), los recursos que usará cada estudiante dependerá del trabajo elegido. Considerando todos los trabajos programados en este proyecto docente, los recursos disponibles son los siguientes: RE6, RE7, RE8, RE9, RE10, RE11, RE12, RE13, RE14, RE15, RE16, RE17.
- En las sesiones de estudio (AF4), los recursos disponibles son los siguientes: RE1, RE2, RE3, RE4, RE5, RE6, RE7, RE8, RE9, RE10, RE11, RE12, RE13, RE14, RE15, RE16, RE17.

Disponibilidad de los recursos en situación de alerta sanitaria

Si las clases tuvieran que impartirse a distancia debido a una situación de alerta sanitaria, los recursos que se utilizarán en la actividades formativas serán los que la ULPGC permita y los que el estudiante pueda disponer.

Resultados de aprendizaje que tendrá que alcanzar al finalizar las distintas tareas.

En cumplimiento de la guía básica de la asignatura, una vez cursada y superada la asignatura, el estudiante será capaz de:

RA1. Elegir y aplicar las técnicas de análisis, evaluación y simulación para evaluar el rendimiento del computador al ejecutar programas teniendo en cuenta el repertorio de instrucciones, las técnicas de diseño del procesador y la jerarquía de memoria. Este resultado de aprendizaje se adquiere con las actividades formativas AF1, AF2, AF3 y AF4.

RA2. Describir las técnicas utilizadas en el diseño de procesadores avanzados y de altas prestaciones. Este resultado de aprendizaje se adquiere con las actividades formativas AF1, AF2, AF3 y AF4.

RA3. Describir la jerarquía de memorias y las técnicas para mejorar su rendimiento. Este resultado de aprendizaje se adquiere con las actividades formativas AF1, AF2, AF3 y AF4.

RA4. Describir la arquitectura de los multiprocesadores. Este resultado de aprendizaje se adquiere con las actividades formativas AF1, AF2, AF3 y AF4.

RA5. Desarrollar programas para entornos paralelos. Este resultado de aprendizaje se adquiere con las actividades formativas AF1, AF2, AF3 y AF4.

Plan Tutorial

Atención presencial individualizada (incluir las acciones dirigidas a estudiantes en 5ª, 6ª y 7ª convocatoria)

El alumno podrá realizar tutorías individualizadas en las horas de tutorías académicas de los profesores de la asignatura.

Las acciones dirigidas a estudiantes en 5ª, 6ª y 7ª convocatoria estarán guiadas por el plan tutorial de la titulación. Se efectuará un seguimiento continuo de las actividades de dichos estudiantes y, si se considerase oportuno, se les propondrían actividades complementarias.

En situación de alerta sanitaria, toda la atención será de tipo a distancia (ver el apartado “Atención virtual”).

Atención presencial a grupos de trabajo

Los grupos de trabajo serán también atendidos presencialmente en el horario de tutorías académicas de los profesores de la asignatura, previa cita.

Atención telefónica

Los alumnos serán atendidos telefónicamente en horario de tutorías, y para ello dispondrán de los números de teléfono de los despachos de los profesores.

Atención virtual (on-line)

Se realizará la atención virtual de los estudiantes en el horario de tutorías de los profesores de esta asignatura. Para ello, cada estudiante dispondrá de dos recursos: (a) el servicios ULPGC basado en la aplicación informática Moodle, y (b) el correo electrónico.

Datos identificativos del profesorado que la imparte.

Datos identificativos del profesorado que la imparte

Dr./Dra. Domingo Juan Benítez Díaz (COORDINADOR)

Departamento: 260 - INFORMÁTICA Y SISTEMAS

Ámbito: 035 - Arquitectura Y Tecnología de Computadores

Área: 035 - Arquitectura Y Tecnología de Computadores

Despacho: INFORMÁTICA Y SISTEMAS

Teléfono: 928454566 **Correo Electrónico:** domingo.benitez@ulpgc.es

D/Dña. Ricardo Javier Pérez García

Departamento: 260 - INFORMÁTICA Y SISTEMAS

Ámbito: 035 - Arquitectura Y Tecnología de Computadores

Área: 035 - Arquitectura Y Tecnología de Computadores

Despacho: INFORMÁTICA Y SISTEMAS

Teléfono: 928458736 **Correo Electrónico:** ricardo.perez@ulpgc.es

Bibliografía

[1 Básico] Arquitectura de computadores: manual de teoría /

Domingo Benítez Díaz.

Universidad de Las Palmas de Gran Canaria, Vicerrectorado de Calidad e Innovación Educativa., Las Palmas de Gran Canaria : (2008) - (1ª ed.)
978-84-96971-37-0

[2 Básico] Computer architecture :a quantitative approach /

John L. Hennessy y David A. Patterson.

2018,, Cambridge : (2018) - (6ª ed.)
978-0-12-811905-1

[3 Básico] An introduction to parallel programming /

Peter S. Pacheco.

Morgan Kaufmann,, Burlington, Massachussets : (2011)

978-0-12-374260-5

[4 Recomendado] Computer organization and embedded systems /

Carl Hamacher... [et al.].

McGraw-Hill,, New York, NY : (2012) - (6th ed. [international ed.].)

9780071089005

[5 Recomendado] Computer organization and design:the hardware software interface /

David A. Patterson; John L. Hennssy.

Morgan Kaufmann,, Cambridge : (2017) - (ARM ed.)

9780128017333

[6 Recomendado] Computer organization and design:the hardware software interface /

David A. Patterson; John L. Hennssy.

Morgan Kaufmann,, Cambridge : (2018) - (5ª ed.)

9780128122754

[7 Recomendado] Programming massively parallel processors: a hands-on approach /

David B. Kirk and Wen-mei W. Hwu.

Elsevier :, Amsterdam [etc.] : (2013) - (2nd ed.)

978-0-12-415992-1

[8 Recomendado] Arquitectura de computadores /

Julio Ortega Lopera, Mancia Anguita López, Alberto Prieto Espinosa.

Thomson,, Madrid [etc.] : (2004)

84-9732-274-6

[9 Recomendado] Parallel programming with MPI /

Peter S. Pacheco.

Morgan Kaufmann,, San Francisco : (1997)

1558603395

[10 Recomendado] Parallel programming in OpenMP /

Rohit Chandra ...[et al.].

Morgan Kaufmann,, San Francisco : (2001)

1558606718
