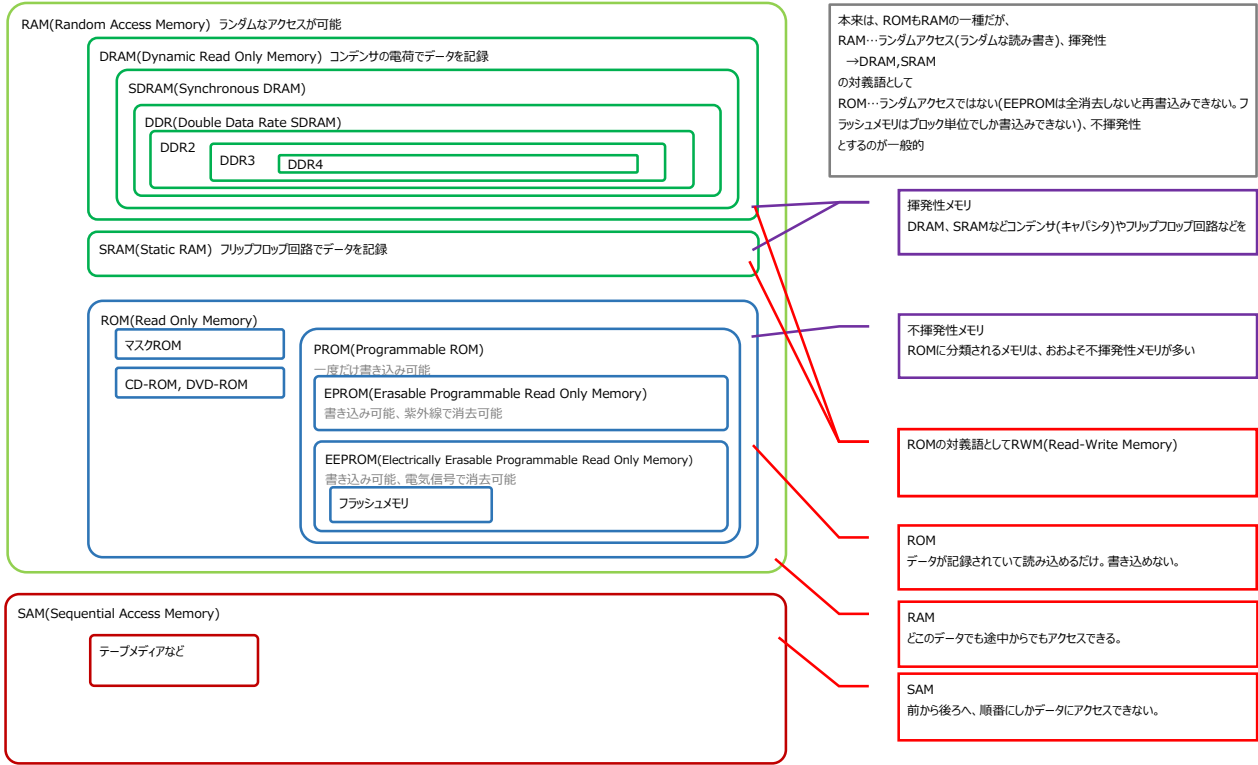


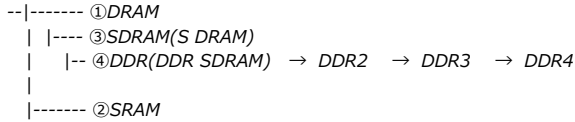
主要なメモリ分類

※講義で説明する必要ありません。講師が理解する為の補助資料です。



DRAMとSRAM系統(パワポのメモ欄から)

系統図



①DRAMと②SRAMの違い

DRAM … 構造が単純、自然放電してしまうので再充電が必要(コンデンサの電荷で記録)。
構造が単純なので集積度が高く、単価が安い。
アクセス速度は遅い。

SRAM … 構造が複雑(フリップフロップ)、再充電は不必要(フリップフロップ)。
構造が複雑なので集積度は低く、単価が高い。
アクセス速度は高い。

単価が安く、集積度が高いので、DRAMは主記憶装置に用いられる(多少アクセス速度が遅くても問題ない)

単価が高く、集積度が低いが、アクセス速度が高いので、SRAMはキャッシュメモリ(CPUが利用するメモリ)に用いられる(少量で良く、高速でなくてはいけない物)

※レジスタ(CPUが直接使う記憶装置)……フリップフロップ回路(またはラッチなど順序回路)で構成される(少量で良く、高速でなくてはいけない物)

①DRAMと③SDRAMの違い

SDRAMはシステムバス(システムクロック)に同期する為に、効率的にメモリにアクセスできる。

Synchronous(シンクロナス) Dynamic Random Access Memory

③SDRAMと④DDRの違い

クロック信号(同期信号)の両エッジを使う事でデータ転送を倍にする。

DDR(Double Data Rate SDRAM)

DDR2 SDRAMはさらに倍、DDR3 SDRAMはそのさらに倍、と発展している。

※SDRAM補足：クロック信号(同期信号)

クロック信号でデータを転送する。

通常は片エッジ(クロックの立ち上がり)でデータを転送する

┌┐┌┐┌┐┌┐
-->-->-->-->--> (クロックの立ち上がりのタイミング)

DDRの転送が倍の理屈：Double Data Rate はクロックの立ち上がり、立下り、両エッジを使ってデータを転送する

┌┐┌┐┌┐┌┐
-->-->-->-->--> (クロックの立ち上がりのタイミング)
-->-->-->-->--> (クロックの立ち下がるのタイミング)

※SRAM補足：順序回路

過去の入出力(内部情報)と、現在の入力により出力が決まる回路。記憶装置やカウンタ回路などに用いられる

フリップフロップ／ラッチ

順序回路のひとつ。1ビット情報を記録する事のできる回路。

一般的に **トランスペアレント** (入力透過する)タイプの回路を **ラッチ**、**エッジトリガ** (同期式、クロック信号の立ち上がり立下りで動作)タイプを **フリップフロップ** とする場合が多い。
(セット/リセット(入力)のトランスペアレントタイプを非同期式フリップフロップとする事もある)

参考動画

<https://www.youtube.com/watch?v=4vAGaWyGanU>

レジスタ

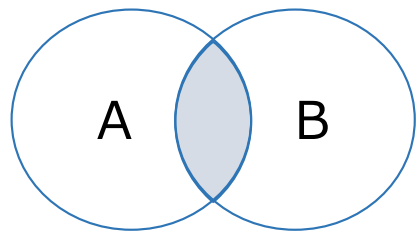
フリップフロップなどで構成される記憶装置。CPUが直接使用する。

レジスタをSRAMとみなす場合もあるが、一般的にはレジスタ<SRAMで、レジスタはSRAMほど大きなデータを扱わない。

基本的な論理演算

論理積

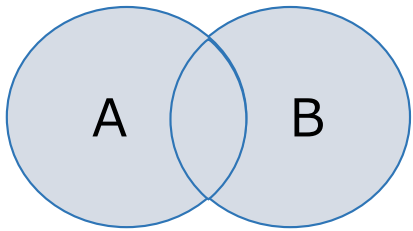
A AND B ($A \cdot B$)



A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1

論理和

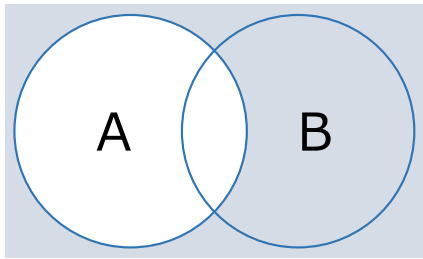
A OR B ($A + B$)



A	B	A OR B
0	0	0
0	1	1
1	0	1
1	1	1

否定

NOT A ($\neg A$)



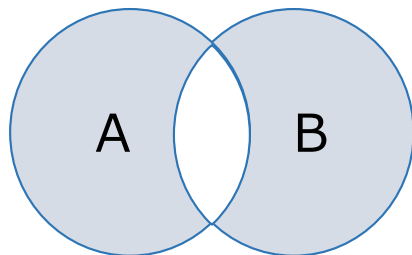
A	B	NOT A	NOT B
0	0	1	1
0	1	1	0
1	0	0	1
1	1	0	0

排他的論理和

A XOR B

$(\neg A \cdot B + A \cdot \neg B)$

※ABが異なる値の時true



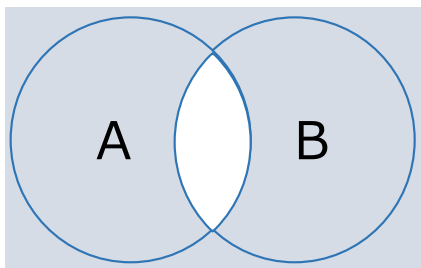
A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0

否定的論理積

A NAND B

$(\neg(A \cdot B))$

※論理積の否定



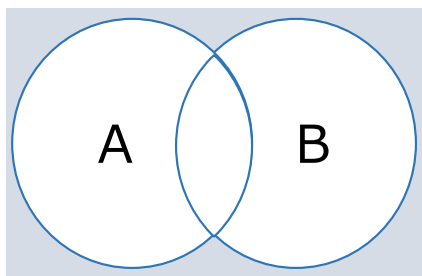
A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0

否定的論理和

A NOR B

$(\neg(A + B))$

※論理和の否定



A	B	A NOR B
0	0	1
0	1	0
1	0	0
1	1	0