

# 電子電路實驗 3: VTC of CMOS Amplifier Circuits

## 實驗結報

B02901178 江誠敏

March 22, 2015

### 1 實驗結果

#### 1.1 CMOS amplifier as an inverter

放大倍率	理論值	相對誤差
$-20\text{ V/V}$	$-20\text{ V/V}$	0.0%

#### 1.2 CMOS analog circuit experiment (Resistance effect on the circuit)

電阻	放大倍率
$20\text{ k}\Omega$	$-17\text{ V/V}$
$510\text{ k}\Omega$	$-19\text{ V/V}$
$1\text{ M}\Omega$	$-20\text{ V/V}$
$3.9\text{ k}\Omega$	$-20\text{ V/V}$
$10\text{ k}\Omega$	$-20\text{ V/V}$

#### 1.3 CMOS analog amplifier circuit experiment

電阻	電壓
$v_{i(ac)}$	230 mV
$V_{i(dc)}$	3.68 V
$v_{o(ac)}$	3.48 V
$V_{o(dc)}$	4.14 V

## 2 結報問題

1. The  $|V_{tn}| = |V_{tp}| = 1\text{ V}$ ,  $K_n = 4K_p = 100\text{ }\mu\text{A/V}^2$  in the circuit in Fig. 4, try to find:

(a)  $V_D$  and  $I_D$ .

答:

First  $V_{OV} = 3\text{ V}$  for both MOS. Since  $K_n$  is 4 times bigger than  $K_p$ , we thus guess that the NMOS is operating on triode mode. So we have

$$(100\text{ }\mu\text{A})V_D(3 - V_D/2) + \frac{V_D - 4}{1\text{ M}\Omega} = 0.5(25\text{ }\mu\text{A})3^2$$

Solve for  $V_D$ , we get  $V_D \approx \boxed{0.416\text{ V}}$ , and our assumption that NMOS is operating on triode mode is correct since  $0.416\text{ V} < V_{OV} = 3\text{ V}$ . Finally,

$$I_{Dp} = 0.5 \cdot 25 \cdot 3^2 = \boxed{112.5\text{ }\mu\text{A}}, \quad I_{Dn} = 100 \cdot V_D \cdot (3 - V_D/2) \approx \boxed{116.1\text{ }\mu\text{A}}$$

- (b) The voltage gain  $A_v$  and output resistance  $R_o$  for the circuit if the small signal output resistance in drain for NMOS and PMOS are infinity.

答:

Now considering small signal, the equation becomes

$$(100\text{ }\mu\text{A})V_D(3 + v_i - V_D/2) + \frac{V_D - 4 - v_i}{1\text{ M}\Omega} = 0.5(25\text{ }\mu\text{A})(3 - v_i)^2$$

By differentiating, we obtain

$$(100\text{ }\mu\text{A})\frac{\partial V_D}{\partial v_i}(3 + v_i - V_D/2) + (100\text{ }\mu\text{A})V_D\left(1 - \frac{\partial V_D}{\partial v_i}/2\right) + \frac{1}{1\text{ M}\Omega}\left(\frac{\partial V_D}{\partial v_i} - 1\right) = -(25\text{ }\mu\text{A})(3 - v_i)$$

Evaluate at  $v_i = 0$ , we get

$$A_v = \left.\frac{\partial v_o}{\partial v_i}\right|_{v_i=0} = \left.\frac{\partial V_D}{\partial v_i}\right|_{v_i=0} \approx \boxed{-0.446\text{ V/V}}$$

$R_o$  is obviously  $\boxed{1\text{ M}\Omega}$ .

2. Try to find the voltage gain  $A_v$  and output resistance of the circuit in Fig. 7 as the switch turn to a and b. (Hint: the trans-conductance and output resistance of PMOS and NMOS are  $g_{mp}$ ,  $r_{op}$ ,  $g_{mn}$ ,  $r_{om}$  respectively.)

答:

If the switch is turned to a, by using small signal model, we have

$$v_o = -v_i g_m (r_{on} \parallel r_{op}) \Rightarrow A_v = \boxed{-g_{mn} (r_{on} \parallel r_{op})}$$

If the switch is turned to b, using small signal model again, we have

$$v_o = -v_i g_m (r_{on} \parallel r_{op}) \Rightarrow A_v = \boxed{-(g_{mn} + g_{mp}) (r_{on} \parallel r_{op})}$$

3. 利用 NMOS 元件物裡結構圖推導在 triode 和 saturation 時的  $I_D$ 。

答：

我們必須先求出電壓  $V$  在 channel 間的函數。假設其為  $V(x)$ 。首先電流密度和電場的關係為

$$J = \rho \mu E = \rho \mu \frac{\partial V}{\partial x}$$

並且 channel 的高度  $h$  和  $V$  的關係為

$$-C_{ox}(V_{ov} - V) = \rho h$$

我們假設  $\rho$  是均勻的，因此有

$$I = JA = JhW = \rho h \mu \frac{\partial V}{\partial x} W = -C_{ox}(V_{ov} - V) \mu \frac{\partial V}{\partial x}$$

但  $I$  必須與  $x$  無關，否則會有電荷累積，解此微分方程，得

$$(V_{ov} - V)^2 = \alpha^2 - \frac{2IL}{C_{ox}W\mu}$$

代入  $x = 0, V(0) = 0$  可得  $\alpha = V_{ov}$ 。最後代入  $x = L, V(L) = V_{GS}$ ，有

$$\begin{aligned} (V_{ov} - V_{GS})^2 &= V_{ov}^2 - \frac{2IL}{C_{ox}W\mu} \\ \Rightarrow I &= C_{ox}\mu \frac{W}{L} V_{ov}(V_{ov} - V_{GS}/2) \end{aligned}$$

但當  $V_{GS} > V_{ov}$  時，由  $-C_{ox}(V_{ov} - V) = \rho h$  會發現在末端的  $h$  是負的<sup>1</sup>！事實上在這樣的情況，會有一點  $L'$  使得  $V(L') = V_{ov}$ ，並且  $V(x) \equiv V_{ov}, \forall x, L' \leq x \leq L$ 。此時上述的公式仍可使用，但應將  $L \leftarrow L', V_{GS} \leftarrow V_{ov}$ 。一般將其近似為

$$I = C_{ox}\mu \frac{W}{L} V_{ov}^2 \left(1 + \frac{V_{GS}}{V_A}\right)$$

4. 畫出 NMOS 與 PMOS 的  $I_D - V_{DS}$  曲線

答：

---

<sup>1</sup>這裡  $\rho < 0$

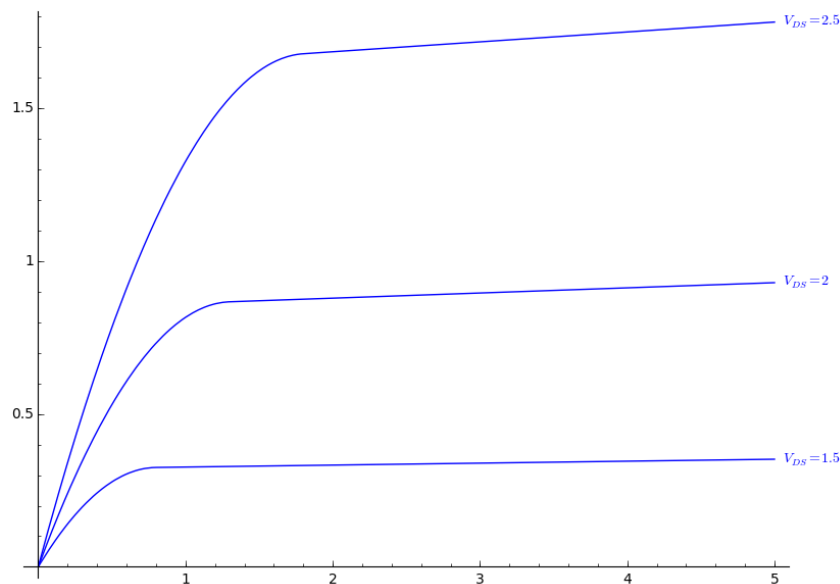


Figure 1

5. 請說明 body effect，此效應的存在是好還是不好？請說明原因。

答：

Body effect 是因為通常在實際的應用上，所有 MOS 的 Base 都會被接在一起，而非和他的 Source 端接在一起，導致 Threshold voltage  $V_t$  的改變，可用公式

$$V_t' = V_t + \gamma \left( \sqrt{V_{SB} + 2\phi_B} - \sqrt{2\phi_B} \right)$$

描述。

這樣的方式使 MOS circuit 在製造上比較容易，所有的 MOS 都在同一塊板上製造即可。並且通常  $V_t'$  和  $V_t$  的差距不會太大。但在某些情況， $V_t'$  的增加量不可被忽視，否則可能會導致元件的特性曲線偏離太多，並使整個電路失效。

### 3 心得

這次的實驗慘慘的，因為我們做在邊疆地區，儀器都舊舊的，在 X-Y mode 下居然還沒有 Cursor 可以用，害的我們只好狂調倍率，把倍率弄到超大，還是只能大概抓一下數字。不過有時候儀器不好，數據反而誤差更小。為什麼呢？因為沒有 cursor 所以只能大概估計一下，一估，好像永遠都是 1:4，在乘上原本的 5 倍倍率，恰恰好就是和參考值完全相同的 20 倍，誤差 0%！這個故事告訴我們有時候我們身上有什麼不是重點，即使一無所有，運氣來了也是可以成為大贏家！