

Arquitectura de computadoras

Una Guía Teórico/Práctica

Gleiston Guerrero-Ulloa

Copyright © 2025 Gleiston Guerrero-Ulloa

PUBLISHED BY PUBLISHER

Licensed under the Creative Commons Attribution-NonCommercial 4.0 License (the “License”). You may not use this file except in compliance with the License. You may obtain a copy of the License at <https://creativecommons.org/licenses/by-nc-sa/4.0>. Unless required by applicable law or agreed to in writing, software distributed under the License is distributed on an “AS IS” BASIS, WITHOUT WARRANTIES OR CONDITIONS OF ANY KIND, either express or implied. See the License for the specific language governing permissions and limitations under the License.

First printing, March 2022



Índice general

I

Componentes del Computador

1	Contextualización y Perspectivas Generales	15
1.1	Propósito y Alcance del Capítulo	@ 15
1.2	Resultados de Aprendizaje Esperados	@ 15
1.3	Ubicación en el Libro y Prerrequisitos	@ 16
1.3.1	Prerrequisitos y Preparación	16
1.3.2	Competencias, Habilidades y Destrezas a Desarrollar	16
1.4	Motivación y Contexto Histórico-Tecnológico	@ 16
1.5	Paradigmas Arquitectónicos de Referencia	@ 17
1.5.1	Von Neumann y Harvard	17
1.5.2	RISC vs. CISC	17
1.5.3	VLIW/EPIC, Dataflow y Máquinas de Pila	17
1.6	Métricas, Leyes y Principios de Diseño	@ 18
1.6.1	IPC, ILP y TLP	18
1.6.2	Amdahl, Gustafson y <i>roofline</i>	18
1.6.3	Principios de Localidad y Jerarquía de Memoria	18
1.7	Organización Sistémica Moderna	@ 18
1.7.1	Heterogeneidad: CPU+GPU+TPU/NPU	19
1.7.2	Interconexiones: PCIe, NVLink, CXL	19
1.7.3	Memoria Unificada: UMA y HMM	19
1.8	Tendencias y Perspectivas	@ 19
1.8.1	Integración <i>Chiplet</i> y Gestión Energética	19
1.8.2	Arquitecturas Neuromórficas	20
1.8.3	Computación Cuántica	20
1.9	Metodología de Laboratorio y Evaluación	@ 20
1.9.1	Benchmarks y trazas	20
1.9.2	Herramientas	20
1.10	Lecturas Recomendadas y Mapa de Referencias	@ 21
1.11	Glosario de Abreviaturas del (capítulo)	@ 21

2	Unidad Central de Procesamiento (CPU)	25
2.1	Arquitecturas fundamentales de las computadoras personales (años 70 y 80)	@ 25
2.1.1	Intel 8086 / 8088	25
2.1.2	Motorola 68000 (m68k)	26
2.1.3	MOS Technology 6502	26
2.1.4	Zilog Z80	26
2.1.5	Intel 8080 / 8085	27
2.2	Arquitecturas de transición (años 80 y 90).....	@ 27
2.2.1	Intel iAPX 432	27
2.2.2	National Semiconductor NS32000 (32016)	28
2.2.3	Texas Instruments TMS9900	28
2.2.4	DEC PDP-11 en tecnología LSI-11	28
2.3	Arquitecturas de Referencia y Vigentes.....	@ 28
2.4	Estructura Interna.....	@ 29
2.4.1	Pipeline y el Camino de Datos	29
2.4.2	Integración con GPU y Aceleradores	29
2.4.3	Arquitecturas por Dominio	29
2.5	Unidad de Control (UC): Organización y Funcionamiento	@ 30
2.5.1	Construcción y Partes	30
2.5.2	Pipeline, OoO y Renombrado	30
2.5.3	Control de Flujo en CPU y Coordinación con GPU	30
2.6	Unidad Aritmético-Lógica (ALU)	@ 30
2.6.1	Bloques Internos	30
2.6.2	FPU e IEEE-754	31
2.6.3	SIMD/Vector, GPU y Aceleradores	31
2.7	Registros: Organización, Usos y Ejemplos	@ 31
2.7.1	Panorama General	31
2.7.2	x86-64 (IA-32e)	31
2.7.3	ARMv8-A (AArch64)	32
2.7.4	RISC-V RV64	32
2.8	Jerarquía de Cachés: Construcción, Funcionamiento y Variaciones	@ 32
2.8.1	Construcción y Organización	32
2.8.2	Coherencia y consistencia	33
2.8.3	Acceso Desde Software	33
2.8.4	Diferencias entre Arquitecturas	33
2.9	Evolución Histórica	@ 33
2.10	Perspectivas Actuales.....	@ 37
2.10.1	CPU+GPU (SIMT)	37
2.10.2	TPU/NPUs	37
2.10.3	Neuromórfica y Cuántica	37
3	Unidad Central de Procesamiento (CPU)	47
4	Unidad Central de Procesamiento (CPU)	49
5	Unidad Central de Procesamiento (CPU)	51

6	Unidad Central de Procesamiento (CPU)	53
7	Unidad Central de Procesamiento (CPU)	55
	Bibliography	57
	Index	67
	Appendices	67
A	Appendix Chapter Title	67
A.1	Appendix Section Title	@ 67
B	Appendix Chapter Title	69
B.1	Appendix Section Title	@ 69



Índice de figuras



Índice de cuadros

2.1	Arquitecturas fundacionales y fuentes académicas o técnicas destacadas	27
2.2	Conjunto de registros visibles para el programador (resumen)	32
2.3	Cronología unificada de microprocesadores (1971–2019; sin duplicados)	33

Componentes

1	Contextualización y Perspectivas Generales	15
1.1	Propósito y Alcance del Capítulo	@ 15
1.2	Resultados de Aprendizaje Esperados	@ 15
1.3	Ubicación en el Libro y Prerrequisitos	@ 16
1.4	Motivación y Contexto Histórico-Tecnológico @ 16	
1.5	Paradigmas Arquitectónicos de Referencia . @ 17	
1.6	Métricas, Leyes y Principios de Diseño	@ 18
1.7	Organización Sistémica Moderna	@ 18
1.8	Tendencias y Perspectivas	@ 19
1.9	Metodología de Laboratorio y Evaluación . @ 20	
1.10	Lecturas Recomendadas y Mapa de Referencias @ 21	
1.11	Glosario de Abreviaturas del (capítulo)	@ 21
2	Unidad Central de Procesamiento (CPU)	
	25	
2.1	Arquitecturas fundamentales de las computadoras personales (años 70 y 80)	@ 25
2.2	Arquitecturas de transición (años 80 y 90)	@ 27
2.3	Arquitecturas de Referencia y Vigentes	@ 28
2.4	Estructura Interna	@ 29
2.5	Unidad de Control (UC): Organización y Funcionamiento	@ 30
2.6	Unidad Aritmético-Lógica (ALU)	@ 30
2.7	Registros: Organización, Usos y Ejemplos	@ 31
2.8	Jerarquía de Cachés: Construcción, Funcionamiento y Variaciones	@ 32
2.9	Evolución Histórica	@ 33
2.10	Perspectivas Actuales	@ 37
3	Unidad Central de Procesamiento (CPU)	
	47	
4	Unidad Central de Procesamiento (CPU)	
	49	
5	Unidad Central de Procesamiento (CPU)	
	51	
6	Unidad Central de Procesamiento (CPU)	
	53	
7	Unidad Central de Procesamiento (CPU)	
	55	
	Bibliography	57
	Index	67
	Appendices	67
A	Appendix Chapter Title	67
A.1	Appendix Section Title	@ 67
B	Appendix Chapter Title	69
B.1	Appendix Section Title	@ 69

[sorting=none]



1. Contextualización y Perspectivas Generales

El estudio contemporáneo de los componentes del computador articula fundamentos teóricos (modelos de organización, leyes de rendimiento, semánticas de memoria) con prácticas de ingeniería (microarquitecturas con ejecución fuera de orden, jerarquías de memoria multinivel, interconexiones coherentes, aceleradores especializados). Esta síntesis habilita diseñar sistemas capaces de sostener cargas de trabajo emergentes—aprendizaje automático, analítica intensiva de datos, cómputo científico y servicios en la nube—bajo restricciones de energía, latencia y confiabilidad. En esta Parte se propone un recorrido ordenado desde el *por qué* (motivación y principios) hasta el *cómo* (métricas, metodologías y herramientas), preparando al lector para los capítulos técnicos posteriores.

1.1 Propósito y Alcance del Capítulo

Este capítulo introduce el marco conceptual, histórico y tecnológico que sustenta el estudio de los componentes del computador. Se presentan los paradigmas arquitectónicos de referencia, las métricas que guían el diseño y la evaluación (p. ej., **IPC**¹, latencias, ancho de banda, consumo), y el viraje contemporáneo hacia la heterogeneidad y la especialización de dominio. Asimismo, se establece la relación entre teoría (modelos, leyes, **ISA**²) y práctica (laboratorios, *benchmarks*, trazas) como base para el resto de capítulos de la Parte I.

1.2 Resultados de Aprendizaje Esperados

Este capítulo enmarca resultados de aprendizaje orientados a competencias de nivel ingenieril. En primer lugar, el lector consolidará una comprensión sistémica de los paradigmas arquitectónicos y de su impacto en el diseño de procesadores, memorias e interconexiones; se enfatiza la habilidad para relacionar *trade-offs* de microarquitectura (profundidad de *pipeline*, políticas de caché, protocolos de coherencia) con métricas observables a nivel de sistema (IPC, latencias, *throughput*, eficiencia energética). En segundo lugar, se busca una alfabetización metodológica: seleccionar y aplicar métricas/leyes (Amdahl, Gustafson, *roofline*³) y utilizar *benchmarks* y trazas para diagnósticos reproducibles.

Al finalizar el capítulo, el lector será capaz de:

1. Explicar la evolución del paradigma de programa almacenado y distinguirlo de otras familias

¹Instrucciones por Ciclo o *Instructions Per Cycle* (IPC)

²Arquitectura del Conjunto de Instrucciones o *Instruction Set Architecture* (ISA)

³Modelo de Techo o *Roofline Model* (*roofline*)

- arquitectónicas (Harvard, Harvard modificada, **VLIW**⁴, **EPIC**⁵, *dataflow*⁶, máquinas de pila).
2. Interpretar métricas y leyes fundamentales (Amdahl, Gustafson, *roofline*) y relacionarlas con decisiones de diseño (profundidad de *pipeline*, políticas de caché, protocolos de coherencia).
 3. Describir el papel de la heterogeneidad (**CPU**⁷ + **GPU**⁸ + **TPU**⁹ + **NPU**¹⁰) y de las interconexiones modernas (**PCIe**¹¹, **NVLink**¹², **CXL**¹³) en el rendimiento sistémico.
 4. Reconocer líneas de investigación actuales: integración *chiplet*¹⁴, memoria unificada **UMA**¹⁵/**HMM**¹⁶, neuromórfica y cuántica.

Para lograr estos resultados se propondrá: (i) una línea argumental que conecte principios teóricos con decisiones de diseño, (ii) ejemplos cortos reproducibles (*microbenchmarks*) que ilustren efectos de localidad, predicción de saltos y ancho de banda de memoria, y (iii) un mapa de referencias para profundización. La evaluación sugerida incluirá análisis de *trade-offs* en casos de estudio y reportes técnicos con sustentos cuantitativos.

1.3 Ubicación en el Libro y Prerrequisitos

Este capítulo inaugura la Parte I y sirve de puente entre fundamentos de computación y capítulos técnicos dedicados a CPU, memoria, E/S, buses, almacenamiento, energía y redes. Se asume familiaridad con álgebra booleana, organización básica de computadores y nociones de programación en C/C++ o Java, así como con aritmética binaria y hexadecimal.

1.3.1 Prerrequisitos y Preparación

El estudiante deberá dominar: (a) representación de datos (binario, complemento a dos, punto fijo y nociones de punto flotante), (b) fundamentos de lógica digital (combinacional/secuencial), (c) nociones de arquitectura (*pipeline*, jerarquía de memoria) y (d) programación estructurada en C/C++ o Java.

1.3.2 Competencias, Habilidades y Destrezas a Desarrollar

Tras estudiar el capítulo, el estudiante (i) razonará críticamente sobre *trade-offs* de diseño a partir de métricas y leyes; (ii) aplicará metodologías de medición (*benchmarks*, trazas) con criterios de reproducibilidad; (iii) comunicará hallazgos técnicos con precisión (tablas/gráficas, intervalos de confianza) y (iv) conectará decisiones de microarquitectura con efectos de rendimiento/energía a nivel de sistema.

1.4 Motivación y Contexto Histórico-Tecnológico

La disciplina ha empleado el modelo de programa almacenado de Von Neumann como base conceptual; no obstante, la práctica contemporánea integra procesadores heterogéneos, memorias jerarquizadas y dispositivos de E/S inteligentes bajo crecientes exigencias de rendimiento, eficiencia

⁴Muy Larga Palabra de Instrucción o *Very Long Instruction Word* (VLIW)

⁵Computación Explícitamente Paralela de Instrucciones o *Explicitly Parallel Instruction Computing* (EPIC)

⁶Flujo de Datos o *Dataflow* (dataflow)

⁷Unidad Central de Procesamiento o *Central Processing Unit* (CPU)

⁸Unidad de Procesamiento Gráfico o *Graphics Processing Unit* (GPU)

⁹Unidad de Procesamiento Tensorial o *Tensor Processing Unit* (TPU)

¹⁰Unidad de Procesamiento Neuronal o *Neural Processing Unit* (NPU)

¹¹Interconexión de Componentes Periféricos Expresa o *Peripheral Component Interconnect Express* (PCIe)

¹²Enlace de Alta Velocidad de NVIDIA o *NVIDIA High-Speed Link* (NVLink)

¹³Enlace de Cómputo Expreso o *Compute Express Link* (CXL)

¹⁴Pastilla de Silicio Modular o *Chiplet* (chiplet)

¹⁵Arquitectura de Memoria Unificada o *Unified Memory Architecture* (UMA)

¹⁶Gestión de Memoria Heterogénea o *Heterogeneous Memory Management* (HMM)

energética y seguridad [1, 2, 3]. Comprender *cómo* y *por qué* se organizan estos componentes resulta crucial para relacionar métricas (IPC, latencias, ancho de banda, consumo) con decisiones de diseño (profundidad de *pipeline*, reemplazo de caché, coherencia, ISA) y con patrones de uso reales (IA, datos en memoria, visualización científica, cómputo en el borde¹⁷) [1, 4].

En la última década, la arquitectura ha evolucionado hacia la **heterogeneidad**: núcleos CPU generalistas cooperan con GPU (modelo **SIMT**¹⁸), aceleradores matriciales (arreglos *systolic*) y NPUs, cohesionados por interconexiones de alta velocidad (PCIe, NVLink, CXL) y por jerarquías de memoria complejas (UMA/HMM). El fin práctico de la ley de Moore, el muro térmico y la especialización de dominio impulsan también la integración *chiplet*, mientras que neuromórfica y cuántica invitan a reexaminar conceptos clásicos de organización y rendimiento [3, 5, 6, 7].

1.5 Paradigmas Arquitectónicos de Referencia

Este apartado traza un mapa de las familias arquitectónicas que estructuran el campo: desde Von Neumann/Harvard hasta RISC/CISC y VLIW/EPIC, incluyendo propuestas orientadas a datos (*dataflow*) y modelos históricos (máquinas de pila). El objetivo es comprender supuestos y consecuencias de diseño (espacios de direcciones, *throughput*, facilidad de implementación, rol del compilador) antes de estudiar sus concreciones microarquitectónicas.

1.5.1 Von Neumann y Harvard

Comparación entre memoria unificada (Von Neumann) y separación de caminos para instrucciones y datos (Harvard y Harvard modificada), con implicaciones en *throughput*, latencia y diseño de jerarquías de memoria [1, 2, 8]. En Von Neumann, un único canal de acceso puede convertirse en cuello de botella; en Harvard, la duplicación de caminos mejora el paralelismo *fetch*/datos a costa de mayor complejidad y coherencia entre dominios.

Además, variantes modernas (*Harvard modificada*) combinan separación interna con un espacio externo unificado, común en microcontroladores y DSP: se mantiene eficiencia de *fetch* sin sacrificar programabilidad y compatibilidad con herramientas.

1.5.2 RISC vs. CISC

El enfoque **RISC**¹⁹ privilegia instrucciones simples, uniformes y *pipeline*-amigables, con abundantes registros y fuerte dependencia del compilador. **CISC**²⁰ favorece instrucciones complejas y codificaciones ricas (p. ej., modos de direccionamiento), históricamente con micropogramación [1, 2].

En la práctica, x86 (CISC) emplea decodificadores que traducen a microoperaciones internas tipo RISC, mientras ARM o RISC-V mantienen núcleos simples con extensiones vectoriales; el resultado es una convergencia pragmática donde la frontera RISC/CISC se difumina por objetivos de *performance*/energía.

1.5.3 VLIW/EPIC, Dataflow y Máquinas de Pila

VLIW/EPIC explotan el paralelismo a nivel de instrucción delegando al compilador la tarea de *empaquetar* operaciones paralelas y gestionar riesgos; su potencial se enfrenta a variabilidad dinámica (cachés, saltos) [1, 2]. Los modelos *dataflow* activan instrucciones por disponibilidad de datos, proponiendo paralelismo masivo con costes de implementación y programación.

Las máquinas de pila simplifican decodificación y operandos, hoy de interés histórico; su

¹⁷Borde de Red o *Edge Computing* (edge)

¹⁸Una Instrucción, Múltiples Hilos o *Single Instruction, Multiple Threads* (SIMT)

¹⁹Conjunto Reducido de Instrucciones o *Reduced Instruction Set Computer* (RISC)

²⁰Conjunto Complejo de Instrucciones o *Complex Instruction Set Computer* (CISC)

análisis ofrece lecciones sobre interfaces ISA-microarquitectura y sobre la evolución hacia OoO²¹ con renombrado y predicción avanzada.

1.6 Métricas, Leyes y Principios de Diseño

Este apartado formaliza cómo cuantificar y razonar sobre rendimiento. Se articula en tres ejes: (i) métricas a nivel de procesador/sistema (IPC, *throughput*, latencias), (ii) leyes de escalabilidad (Amdahl, Gustafson) y límites operación/memoria (*roofline*), y (iii) principios de localidad y jerarquía de memoria.

1.6.1 IPC, ILP y TLP

El IPC captura trabajo por ciclo; su mejora depende de **ILP**²² (ancho de emisión, predicción, *speculation*) y **TLP**²³ (multinúcleo, **SMT**²⁴), así como de la presión de memoria y del ancho de banda disponible [1]. La medición exige aislar efectos de caché, saltos y *TLB* (memoria virtual).

En sistemas reales, el incremento de ILP enfrenta rendimientos decrecientes por riesgos estructurales/de datos y costos de energía; TLP ofrece escalamiento a costa de sincronización y contención. La ingeniería combina ambas dimensiones con balance energía/rendimiento.

El *profiling* de IPC por fases (ciclos dominados por cómputo vs. memoria) guía decisiones como vectorización, reordenamiento de bucles o *prefetch* explícito.

1.6.2 Amdahl, Gustafson y *roofline*

Amdahl acota la ganancia máxima al parallelizar con fracción secuencial fija; Gustafson replantea el análisis para *problemas de tamaño creciente* donde el paralelismo útil escala con los recursos [1]. La lectura conjunta evita interpretaciones ingenuas sobre escalabilidad lineal.

El modelo *roofline* relaciona rendimiento alcanzable con *intensidad aritmética* (operaciones/byte): regiones ligadas a cómputo (techo de FLOPs) o a memoria (techo de ancho de banda). El objetivo ingenieril es desplazar kernels hacia intensidades mayores (bloqueo, reutilización) o aumentar el techo (mejoras de vectorización/ancho de banda).

Aplicado a CPU+GPU, *roofline* ayuda a decidir *offload*, granularidad de *tiles* y *fusion* de kernels para maximizar reutilización en memorias cercanas al cómputo.

1.6.3 Principios de Localidad y Jerarquía de Memoria

La localidad temporal/espacial explica el éxito de cachés: trabajar por *bloques* y acceder secuencialmente explota líneas y reduce fallos [4]. Las opciones de diseño (tamaño de línea, asociatividad, política de reemplazo) afectan tasa y *penalidad* de fallos.

Políticas como LRU, pseudo-LRU o **RRIP**²⁵ equilibran costo/beneficio. La coherencia (MESI/MOESI) y la consistencia (TSO²⁶, RC_{sc}²⁷) determinan qué órdenes observa el software [1].

En práctica, técnicas como *tiling/blocking*, *software prefetch* y *array-of-structures* vs. *structure-of-arrays* permiten adaptar el patrón de acceso a la jerarquía subyacente.

1.7 Organización Sistémica Moderna

La integración de múltiples dominios de cómputo bajo un *runtime* coherente redefine el diseño sistémico: CPUs coordinan trabajo de GPU/TPU/NPU, comparten o federan memorias

²¹Ejecución Fuera de Orden o *Out-of-Order* (OoO)

²²Paralelismo a Nivel de Instrucción o *Instruction-Level Parallelism* (ILP)

²³Paralelismo a Nivel de Hilo o *Thread-Level Parallelism* (TLP)

²⁴Multihilo Simultáneo o *Simultaneous Multithreading* (SMT)

²⁵Política de Reemplazo con Reutilización Re-Referenciada o *Re-Reference Interval Prediction* (RRIP)

²⁶Orden de Almacenamiento Total o *Total Store Order* (TSO)

²⁷Coherencia de Liberación con Secuencial Consistente o *Release Consistency, sequentially consistent* (RC_{sc})

(UMA/HMM/CXL) y se conectan mediante enlaces de alta velocidad. Esta sección presenta los componentes de esa orquestación.

1.7.1 Heterogeneidad: CPU+GPU+TPU/NPU

El modelo SIMT de GPU agrupa *hilos* en *warps/wavefronts* ejecutados en *Streaming Multiprocessors* (SM) o *Compute Units* (CU); la eficiencia depende de accesos coalescidos, ocupación y control de divergencia [9, 10]. La CPU lanza *kernels*, gestiona colas, sincronización y memoria.

TPU/NPU materializan *systolic arrays* y MACs especializados (bfloating16/int8) con *scratchpads* SRAM para maximizar reutilización local y *TOPS/W*. Su éxito exige *tiling* explícito, planificación y reducción de *movimiento de datos* [6, 7].

Los *runtimes* (CUDA²⁸, ROCm²⁹) y entornos portables (oneAPI³⁰, SYCL³¹) unifican modelos de programación sobre hardware diverso con distintos grados de portabilidad de rendimiento.

1.7.2 Interconexiones: PCIe, NVLink, CXL

PCIe provee enlaces punto a punto escalables por *lanes*; **NVLink** ofrece baja latencia/alto ancho de banda GPU↔GPU/CPU; **CXL** introduce coherencia y *memory pooling/expansion* para hosts y aceleradores [11, 12]. La selección/topología incide en colas de trabajo, latencias de *DMA*³² y visibilidad de páginas compartidas.

En clústeres, la jerarquía del *fabric* (PCIe switches, NVSwitch, *CXL fabric*) define el costo de sincronización global. El diseño debe balancear rutas críticas (CPU↔GPU, GPU↔GPU) con demandas de software.

Las decisiones de *placement* (qué datos dónde) y *affinity* afectan *tail latency*; los perfiles de tráfico (lectura intensiva, bidireccional) condicionan el *routing* y la calidad de servicio (**QoS**³³).

1.7.3 Memoria Unificada: UMA y HMM

UMA expone un espacio de direcciones compartido simplificando programación; sus retos incluyen arbitraje y *bandwidth contention*. **HMM** permite fallos de página y migración entre CPU y aceleradores conservando coherencia y permisos [3, 11].

Estos modelos habilitan *oversubscription* controlada y *zero-copy* cuando la latencia lo permite; combinados con CXL, emergen *pools* compartidos que reducen costos de copia interdispositivo.

Para el practicante, la clave es medir: contadores de fallos de página, tasas de migración y *stall cycles* por accesos remotos informan decisiones de particionado y *pinning*.

1.8 Tendencias y Perspectivas

La convergencia de limitaciones físicas (fin de escalado Dennard, muros térmico/memoria) con nuevas cargas (IA generativa, analítica en tiempo real) empuja tres frentes: empaquetado y desagregación (*chiplets*), gestión energética fina (DVFS por dominio, *power gating*) y arquitecturas alternativas (neuromórfica, cuántica).

1.8.1 Integración Chiplet y Gestión Energética

La desagregación en *chiplets* permite mezclar nodos/tecnologías y mejorar rendimiento por coste; requiere *die-to-die* con baja latencia y protocolos coherentes. El *floorplanning* térmico y el suministro de potencia condicionan frecuencias sostenibles [3, 6].

²⁸Arquitectura Unificada de Dispositivos de Cómputo o *Compute Unified Device Architecture* (CUDA)

²⁹Computación Abierta de Radeon o *Radeon Open Compute* (ROCm)

³⁰Una Plataforma y API Abierta de Intel o *oneAPI* (oneAPI)

³¹Lenguaje de Cálculo Paralelo Síncrono o *SYCL* (SYCL)

³²Acceso Directo a Memoria o *Direct Memory Access* (DMA)

³³Calidad de Servicio o *Quality of Service* (QoS)

En energía, DVFS³⁴ y *clock/power gating* por dominio reducen consumo estático/dinámico; políticas guiadas por telemetría (contadores de rendimiento) evitan oscilaciones de frecuencia.

El objetivo es rendimiento sostenible: coordinar límites de potencia (*power caps*) con *schedulers* conscientes de temperatura, evitando *throttling* que degrada *QoS*.

1.8.2 Arquitecturas Neuromórficas

Sistemas como Loihi/TrueNorth implementan neuronas de disparo y *NoC*³⁵ especializados para eficiencia energética en tareas sensoriales/embebidas; su programación exige modelos neuronales discretos, aprendizaje local y mapeo de grafos [13].

El *event-driven* reduce actividad innútil, pero plantea retos de precisión/ruido y de ecosistema de software. Métricas relevantes: energía por evento, latencia de inferencia y escalabilidad del *routing*.

Líneas futuras incluyen memorias emergentes (memristores) y *co-learning hardware/algoritmo* para tareas *always-on* en el borde.

1.8.3 Computación Cuántica

Las tecnologías de *qubits* (superconductores, iones, *spin*, fotónica) habilitan algoritmos (Shor, Grover) con promesas en dominios específicos; los dispositivos **NISQ**³⁶ operan con ruido/decoherencia significativos [5, 14].

La corrección de errores (códigos de superficie) impone sobrecargas de qubits físicos por lógico; la co-diseño clásico/cuántico (pre/post-procesamiento) es crucial.

Para el ingeniero, la competencia reside en identificar *fit* problema↔algoritmo/plataforma, y en evaluar coste/beneficio frente a aceleradores clásicos especializados.

1.9 Metodología de Laboratorio y Evaluación

Se propone una metodología basada en reproducibilidad y trazabilidad: diseño de experimentos, selección de *benchmarks*, control de variables (frecuencias, políticas de energía), captura de contadores de rendimiento y análisis estadístico.

1.9.1 Benchmarks y trazas

Selección y uso de *benchmarks* (SPEC³⁷, MLPerf³⁸, STREAM³⁹) y trazas de memoria/CPU para análisis de localidad y *bottlenecks* [1, 9, 10]. La combinación de microbenchmarks y aplicaciones reales permite separar efectos de caché/compute.

Se recomiendan *pinning* de hilos, aislamiento de *frequency governors* y control de *thermal throttling* para obtener mediciones comparables.

El reporte debe incluir metodología, parámetros, intervalos de confianza y discusiones de validez interna/externa.

1.9.2 Herramientas

Profilers y analizadores: perf, VTune⁴⁰, Nsight⁴¹, rocProfiler⁴², PAPI⁴³; automatización de experimentos y análisis estadístico reproducible.

³⁴Escalado Dinámico de Voltaje y Frecuencia o *Dynamic Voltage and Frequency Scaling* (DVFS)

³⁵Red en Chip o *Network-on-Chip* (NoC)

³⁶Cuánticos Intermedios Ruidosos o *Noisy Intermediate-Scale Quantum* (NISQ)

³⁷Corporación de Rendimiento de Procesamiento Estándar o *Standard Performance Evaluation Corporation* (SPEC)

³⁸Rendimiento de Aprendizaje Automático o *Machine Learning Performance* (MLPerf)

³⁹Evaluación de Ancho de Banda de Memoria o *Sustainable Memory Bandwidth Benchmark* (STREAM)

⁴⁰Sintonizador de Rendimiento de Intel o *Intel VTune Profiler* (VTune)

⁴¹Conjunto de Herramientas Nsight de NVIDIA o *NVIDIA Nsight* (Nsight)

⁴²Perfilador de ROCm o *ROCM Profiler* (rocProfiler)

⁴³Interfaz de Rendimiento de Aplicaciones o *Performance Application Programming Interface* (PAPI)

Se sugiere registrar versiones de *driver/runtime*, *hashes* de código y configuración de BIOS/UEFI⁴⁴ para trazabilidad.

Las conclusiones deben vincular contadores (fallos de caché, IPC, *stall cycles*) con hipótesis de diseño y propuestas de optimización.

1.10 Lecturas Recomendadas y Mapa de Referencias

Guía de lectura cruzada hacia capítulos posteriores: CPU (§2), memoria (§3), E/S y buses (§4), almacenamiento (§5), energía (§6) y redes (§7). Referencias nucleares: [1, 2, 4] para fundamentos, [9, 10, 11, 12] para heterogeneidad y *runtimes*, [5, 14] para cuántica y neuromórfica.

1.11 Glosario de Abreviaturas del (capítulo)

- CPU** Unidad Central de Procesamiento o *Central Processing Unit* (CPU).
- GPU** Unidad de Procesamiento Gráfico o *Graphics Processing Unit* (GPU).
- TPU** Unidad de Procesamiento Tensorial o *Tensor Processing Unit* (TPU).
- NPU** Unidad de Procesamiento Neuronal o *Neural Processing Unit* (NPU).
- IPC** Instrucciones por Ciclo o *Instructions Per Cycle* (IPC).
- ISA** Arquitectura del Conjunto de Instrucciones o *Instruction Set Architecture* (ISA).
- SIMT** Una Instrucción, Múltiples Hilos o *Single Instruction, Multiple Threads* (SIMT).
- PCIe** Interconexión de Componentes Periféricos Expressa o *Peripheral Component Interconnect Express* (PCIe).
- NVLink** Enlace de Alta Velocidad de NVIDIA o *NVIDIA High-Speed Link* (NVLink).
- CXL** Enlace de Cómputo Expreso o *Compute Express Link* (CXL).
- UMA** Arquitectura de Memoria Unificada o *Unified Memory Architecture* (UMA).
- HMM** Gestión de Memoria Heterogénea o *Heterogeneous Memory Management* (HMM).
- DVFS** Escalado Dinámico de Voltaje y Frecuencia o *Dynamic Voltage and Frequency Scaling* (DVFS).
- RRIP** Política de Reemplazo con Reutilización Re-Referenciada o *Re-Reference Interval Prediction* (RRIP).
- roofline** Modelo de Techo o *Roofline Model* (roofline).
- SMT** Multihilo Simultáneo o *Simultaneous Multithreading* (SMT).
- TLB** Búfer de Traducción de Direcciones o *Translation Lookaside Buffer* (TLB).
- QoS** Calidad de Servicio o *Quality of Service* (QoS).
- NoC** Red en Chip o *Network-on-Chip* (NoC).
- NISQ** Cuánticos Intermedios Ruidosos o *Noisy Intermediate-Scale Quantum* (NISQ).
- UEFI** Interfaz de Firmware Extensible Unificada o *Unified Extensible Firmware Interface* (UEFI).
- SPEC** Corporación de Rendimiento de Procesamiento Estándar o *Standard Performance Evaluation Corporation* (SPEC).
- MLPerf** Rendimiento de Aprendizaje Automático o *Machine Learning Performance* (MLPerf).
- STREAM** Evaluación de Ancho de Banda de Memoria o *Sustainable Memory Bandwidth Benchmark* (STREAM).

Referencias del capítulo

- [1] J. L. Hennessy y D. A. Patterson. *Computer Architecture: A Quantitative Approach*. 6.^a edición. Burlington, MA: Morgan Kaufmann, 2019. ISBN: 9780128119051 (véanse páginas 17, 18, 20, 21, 25, 28-35).
- [2] W. Stallings. *Computer Organization and Architecture*. 11.^a edición. London: Pearson, 2020. ISBN: 9780136502139 (véanse páginas 17, 21, 28, 30, 31, 34, 35).

⁴⁴Interfaz de Firmware Extensible Unificada o *Unified Extensible Firmware Interface* (UEFI)

- [3] K. Asanovic et al. *The Landscape of Parallel Computing Research: A View from Berkeley*. Informe técnico UCB/EECS-2006-183. EECS Department, University of California, Berkeley, 2006. URL: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2006/EECS-2006-183.pdf> (véanse páginas 17, 19, 25, 29, 32, 33, 35).
- [4] P. J. Denning. «The Working Set Model for Program Behavior». En: *Communications of the ACM* 11.5 (1968), páginas 323-333. DOI: [10.1145/363095.363141](https://doi.org/10.1145/363095.363141) (véanse páginas 17, 18, 21, 32).
- [5] M. A. Nielsen e I. L. Chuang. *Quantum Computation and Quantum Information*. 10th Anniversary. Cambridge: Cambridge University Press, 2010. ISBN: 9781107002173 (véanse páginas 17, 20, 21, 37, 38).
- [6] N. P. Jouppi et al. «In-Datacenter Performance Analysis of a Tensor Processing Unit». En: *Proceedings of the 44th Annual International Symposium on Computer Architecture (ISCA)*. First public technical description of Google's TPU v1, including architecture, matrix multiply unit, systolic array design, and datacenter benchmarks. Toronto, ON, Canada: ACM, jun. de 2017, páginas 1-12. ISBN: 978-1-4503-4892-8. DOI: [10.1145/3079856.3080246](https://doi.org/10.1145/3079856.3080246) (véanse páginas 17, 19, 29, 31, 37).
- [7] S. Han, H. Mao y W. J. Dally. «Deep Compression: Compressing Deep Neural Networks with Pruning, Trained Quantization and Huffman Coding». En: *Proceedings of the International Conference on Learning Representations (ICLR)*. 2016. DOI: [10.48550/arXiv.1510.00149](https://doi.org/10.48550/arXiv.1510.00149) (véanse páginas 17, 19, 29, 31, 37).
- [8] Arm Limited. *Arm® Architecture Reference Manual, Armv8-A Profile. For Armv8-A architecture profile*. DDI0487L.b. Reference Manual. Versión Issue L.b. Covers the Armv8-A architecture profile, including AArch32 and AArch64 states, system registers, exception model, memory model, and instruction sets. Arm Limited. Sep. de 2023. URL: <https://developer.arm.com/documentation/ddi0487/latest> (visitado 05-03-2025) (véanse páginas 17, 28, 32, 33, 35).
- [9] NVIDIA Corporation. *CUDA C Programming Guide*. 12.4. Programming Guide. Official CUDA C Programming Guide. Includes references to GPU Architecture Whitepapers such as Volta, Ampere, and Hopper. NVIDIA Corporation. 2023. URL: https://docs.nvidia.com/cuda/pdf/CUDA_C_Programming_Guide.pdf (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).
- [10] Advanced Micro Devices, Inc. (AMD). *ROCM Documentation. Radeon Open Compute Platform*. Versión Latest. Official documentation of the ROCm software stack, covering drivers, HIP runtime, math libraries, tools (rocProfiler, rocTracer), and GPUOpen architecture notes for CDNA and RDNA GPUs. AMD ROCm Team. 2025. URL: <https://rocm.docs.amd.com/en/latest/> (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).
- [11] M. Wagh y R. Sodke. *Compute Express Link™ 2.0 Specification: Memory Pooling*. Presentation on CXL 2.0 memory expansion and pooling, including Fabric Manager API and topologies. CXL Consortium. 2021. URL: <https://www.computeexpresslink.org/> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).
- [12] *Compute Express Link™ (CXL) Specification*. Specification. Versión Revision 3.2, Version 1.0. Official specification of the CXL Consortium, defining architecture, protocol layers, coherency models, memory pooling, switching fabric, and advanced interconnect capabilities. Evaluation Copy. CXL Consortium. Oct. de 2024. URL: <https://www.computeexpresslink.org/specifications> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).

- [13] M. Davies et al. «Advancing Neuromorphic Computing With Loihi: A Survey of Results and Outlook». En: *Proceedings of the IEEE* 109.5 (mayo de 2021). Comprehensive survey on Intel's Loihi neuromorphic chip, covering NoC architectures, spiking models, on-chip learning and roadmap, páginas 911-934. DOI: [10.1109/JPROC.2021.3067593](https://doi.org/10.1109/JPROC.2021.3067593) (véanse páginas 20, 37).
- [14] M. Davies et al. «Loihi: A Neuromorphic Manycore Processor with On-Chip Learning». En: *IEEE Micro* 38.1 (ene. de 2018). Feature article on neuromorphic computing. Introduces Loihi, a 60-mm² Intel 14-nm neuromorphic processor with on-chip learning, spiking neural network support, and programmable synaptic rules, páginas 82-99. ISSN: 1937-4143. DOI: [10.1109/MM.2018.112130359](https://doi.org/10.1109/MM.2018.112130359) (véanse páginas 20, 21, 37, 38).

[sorting=none]



2. Unidad Central de Procesamiento (CPU)

La **CPU**¹ es el núcleo funcional de un computador: interpreta y ejecuta instrucciones del programa y coordina el resto de subsistemas. En el paradigma clásico de Von Neumann, vigente desde 1945, instrucciones y datos conviven en la misma memoria y comparten canales de acceso, lo que simplifica el diseño pero introduce el cuello de botella de memoria [1, 15]. La ingeniería moderna ha respondido a este cuello con *pipelines* más profundos, ejecución especulativa y jerarquías de memoria complejas.

Más allá del modelo tradicional, la CPU actual opera dentro de un sistema heterogéneo: coopera con **GPU**², **TPU**³ y **NPU**⁴ mediante interconexiones de alta velocidad como **PCIe**⁵, **NVLink**⁶ y **CXL**⁷. Esta cooperación reconfigura la noción de “unidad central”: la CPU orquesta, distribuye y sincroniza cómputo, mientras delega *kernels* masivamente paralelos a aceleradores especializados [3, 11, 12].

2.1 Arquitecturas fundacionales de las computadoras personales (años 70 y 80)

El surgimiento de las *computadoras personales* estuvo intrínsecamente vinculado a la evolución de los *microprocesadores* desarrollados en las décadas de 1970 y 1980. Estos chips marcaron hitos clave en la miniaturización de la computación, haciendo viable su acceso por usuarios individuales. Además, sentaron las bases tecnológicas de lo que sería la industria global de la informática personal. A continuación, se examina de forma profunda cada una de estas arquitecturas fundacionales con respaldo documental técnico.

2.1.1 Intel 8086 / 8088

El *Intel 8086*, introducido en 1978, definió la arquitectura x86, consolidando un estándar de compatibilidad que perduró por décadas. Poseía una unidad aritmético-lógica (ALU) de 16 bits completa y un esquema de segmentación de memoria que permitía direccionar hasta 1 MB mediante registros de segmento y desplazamiento, una innovación revolucionaria para su época.

¹Unidad Central de Procesamiento o *Central Processing Unit* (CPU)

²Unidad de Procesamiento Gráfico o *Graphics Processing Unit* (GPU)

³Unidad de Procesamiento Tensorial o *Tensor Processing Unit* (TPU)

⁴Unidad de Procesamiento Neuronal o *Neural Processing Unit* (NPU)

⁵Interconexión de Componentes Periféricos Expresa o *Peripheral Component Interconnect Express* (PCIe)

⁶Enlace de Alta Velocidad de NVIDIA o *NVIDIA High-Speed Link* (NVLink)

⁷Enlace de Cómputo Expreso o *Compute Express Link* (CXL)

El 8088, lanzado en 1979, compartía la arquitectura interna del 8086 pero tenía un bus de datos de solo 8 bits, lo cual permitió reducir considerablemente los costos de hardware sin sacrificar compatibilidad—una decisión clave en la selección del chip para el *IBM PC* de 1981 [16].

Un análisis técnico contemporáneo, publicado en *Communications of the ACM*, permite comprender cómo la arquitectura del 8086 representó un salto de los procesadores de 8 bits a los de 16 bits, abriendo una nueva era en el diseño de microprocesadores [17]. Asimismo, el artículo “Intel 8080 CPU Chip Development” en *IEEE Annals of the History of Computing* ofrece detalles sobre cómo el 8080 y sus sucesores inmediatos sentaron las bases para el 8086 [18].

Históricamente, el 8086 fue concebido como una alternativa al ambicioso e inicialmente problemático proyecto iAPX 432, convirtiéndose en una solución viable y efectiva para cubrir la brecha en el mercado de procesadores de rango medio, lo que permitió a Intel ganarse una posición dominante en la industria de la computación personal [16].

2.1.2 Motorola 68000 (m68k)

Presentado en 1979, el *Motorola 68000* fue un microprocesador híbrido que incluía características de 32 bits internos con un bus externo de 16 bits. Su diseño ortogonal de instrucciones y su capacidad para manejar memoria de forma eficiente lo convirtieron en una opción destacada para sistemas gráficos avanzados, estaciones de trabajo y, eventualmente, la primera generación del Macintosh.

El artículo técnico en *IEEE Spectrum*, como parte de su serie “Chip Hall of Fame”, destaca cómo el 68000 ofreció potencia cercana a las miniestaciones de trabajo a un costo viable para computadoras personales en su época [19]. Además, su impacto histórico se refleja en múltiples desarrollos posteriores de sistemas gráficos y creativos, consolidando su importancia como una de las arquitecturas más influyentes de su generación.

El 68000 abrió la puerta a entornos multitarea y sistemas operativos más completos, a diferencia del enfoque más limitado de los PCs de la época. Su influencia técnica todavía se reconoce hoy en muchos modelos de diseño moderno que priorizan una ISA limpia y coherente, lo que convirtió al 68000 en un referente histórico de innovación arquitectónica [19].

2.1.3 MOS Technology 6502

El *MOS 6502*, lanzado en septiembre de 1975, fue un microprocesador de 8 bits diseñado por exingenieros de Motorola que dejaron la compañía buscando una solución más económica. Vendido a un precio sorprendente de aproximadamente USD 25, fue decisivo para democratizar la informática doméstica. Su simplicidad arquitectónica y su bajo costo fueron determinantes en su adopción masiva en plataformas icónicas como Apple II, Commodore 64, BBC Micro y la consola Nintendo NES [19].

Un análisis publicado en *IEEE Spectrum* remarca su impacto histórico y cultural en la industria, destacando cómo el 6502 permitió el acceso masivo a la computación [19]. Asimismo, una entrevista posterior en la misma revista con Bill Mensch, uno de sus diseñadores, aporta contexto técnico directo sobre sus decisiones de diseño y su relevancia en la evolución de los microprocesadores [20].

No obstante, su legado permanece vigente: variantes del chip siguen en producción para sistemas embebidos, y su arquitectura sencilla y eficiente lo mantiene como uno de los microprocesadores más estudiados en entornos educativos y retrocomputing [20].

2.1.4 Zilog Z80

El *Zilog Z80*, lanzado en 1976, fue desarrollado por exingenieros de Intel con el objetivo de superar al 8080 en prestaciones sin perder compatibilidad. Introdujo un conjunto de instrucciones extendido, registros adicionales, modos de direccionamiento más flexibles y soporte integrado para refresco de DRAM y reloj, lo que simplificó significativamente el diseño de sistemas completos.

El artículo “Z80—The 1970s Microprocessor Still Alive”, publicado en *IEEE Micro* en noviembre de 2021, analiza en profundidad su historia, su impacto en microcomputadoras populares como el TRS-80, y su uso perdurable en sistemas embebidos a lo largo de los años [21]. Adicionalmente, en la serie “Chip Hall of Fame” de *IEEE Spectrum*, se destaca cómo el Z80 aportó mejoras sustanciales en usabilidad y economía frente al 8080, consolidándose en el mercado europeo y japonés de microcomputadoras [19].

Su robustez, compatibilidad y bajo costo permitieron su adopción en productos como la Osborne I, TRS-80, MSX, y en videojuegos y consolas. La arquitectura Z80 fue clave para expandir la cultura de la computación personal fuera de Estados Unidos [21].

2.1.5 Intel 8080 / 8085

El *Intel 8080*, lanzado en 1974, fue pionero en la introducción de microprocesadores como unidad central, habilitando sistemas como el Altair 8800 y sentando las bases de CP/M y el hobbyismo informático. El sucesor, el 8085 de 1977, integró diversas funciones de soporte y requirió solo una fuente de alimentación de +5 V, lo que simplificó el diseño de sistemas y redujo costos de electrónica periférica [22].

Aunque estos chips fueron esenciales en el desarrollo inicial de la computación personal, la cobertura en publicaciones académicas es limitada. Sin embargo, su importancia histórica como antecesores del 8086 y como motores de los sistemas iniciales no puede subestimarse. Fueron componentes claves en la génesis de una industria emergente, aun cuando su análisis sistemático en journals sea escaso [18].

Cuadro 2.1: Arquitecturas fundacionales y fuentes académicas o técnicas destacadas

Arquitectura	Año	Fuente destacada
Intel 8086/8088	1978/79	Hennessy y Patterson (2019); Mazor (2007); Gupta (2001) [16, 17, 18]
Motorola 68000	1979	IEEE Spectrum (2017) [19]
MOS 6502	1975	IEEE Spectrum (2017, 2021) [20, 23]
Zilog Z80	1976	Preethichandra (2021); IEEE Spectrum (2017) [19, 21]
Intel 8080/8085	1974–77	IDC Online (2014); Mazor (2007) [18, 22]

2.2 Arquitecturas de transición (años 80 y 90)

Durante las décadas de 1980 y principios de 1990 surgieron varias arquitecturas que intentaron competir con la familia x86, ya consolidada en el mercado de computadores personales. Estas iniciativas, aunque en muchos casos no alcanzaron viabilidad comercial, fueron experimentos técnicos relevantes en el diseño de procesadores, influyendo en sistemas embebidos, microcomputadoras educativas y estaciones de trabajo.

2.2.1 Intel iAPX 432

El *Intel iAPX 432*, introducido en 1981, fue la primera arquitectura de Intel diseñada completamente en 32 bits. Estaba concebida como una plataforma orientada a objetos que brindaba soporte directo en hardware para multitarea, protección de memoria y estructuras de datos de alto nivel. Esta iniciativa rompía radicalmente con la clásica línea x86, orientada a bajo nivel [24].

Pese a su ambicioso diseño, el iAPX 432 presentó problemas de rendimiento y complejidad técnica. Estudios posteriores demostraron que su implementación resultó tan intrincada que el concepto de arquitectura orientada a objetos integrada en hardware fue entendido como una lección aprendida más que un camino a seguir, especialmente tras el auge de RISC [25].

Hoy se reconoce la relevancia histórica del iAPX 432 como un esfuerzo visionario que anticipó mecanismos modernos de gestión de objetos y protección, aunque implicó una sobrecarga difícil de

gestionar técnicamente en aquella época [26].

2.2.2 National Semiconductor NS32000 (32016)

La familia *NS32000* de National Semiconductor, lanzada a principios de los 80, fue una de las primeras en ofrecer procesamiento de 32 bits real en microprocesadores. Su modelo inicial, el 32016, combinaba un conjunto de instrucciones ortogonales y arquitectura CISC, enfatizando la elegancia del diseño lógico más que la compatibilidad con x86 [27].

Se usó en estaciones Unix, pero enfrentó problemas de fiabilidad y rendimiento en comparación con competidores como el Motorola 68020. A pesar de esto, versiones mejoradas como el 32032 y el 32532 lograron notables avances técnicos, incluyendo buses de datos de 32 bits, memoria caché integrada y pipelines, acercándose al desempeño de minicomputadoras de la época [28].

Su legado principal fue tecnológico y educativo: su elegante arquitectura influyó en diseños posteriores y sirvió como plataforma formativa en entornos universitarios y profesionales.

2.2.3 Texas Instruments TMS9900

El *TMS9900* de Texas Instruments se destacó por ser uno de los primeros microprocesadores de 16 bits disponibles en el mercado doméstico, al ser usado en la *TI-99/4A*, considerada entre las primeras computadoras hogareñas de 16 bits. Según el perfil histórico publicado en *IEEE Spectrum*, fue pionero en acercar la potencia de 16 bits al mercado de consumo [29].

Aunque técnicamente avanzada para su tiempo, la arquitectura sufrió dificultades prácticas: su empaquetado costoso y la escasez de software exclusivo limitaron su éxito comercial. No obstante, su diseño influyó en la percepción de lo que una computadora personal podía ofrecer en términos de potencia, incluso si el mercado no lo adoptó plenamente [30].

Actualmente se recuerda como un pionero técnico que anticipó la transición a 16 bits, aunque su impacto haya sido más simbólico que masivo, como lo documentan también los manuales técnicos de Texas Instruments que describían en detalle sus registros y particularidades [31].

2.2.4 DEC PDP-11 en tecnología LSI-11

La evolución de la línea *PDP-11* hacia el uso de circuitos integrados LSI impulsó la creación del *LSI-11*, una versión condensada del minicomputador PDP-11 en chips más accesibles. Su diseño permitió que universidades y centros de investigación dispusieran de un sistema potente pero asequible con arquitectura profesional [32].

Esta adaptación académica facilitó el acceso práctico a sistemas Unix y entornos de investigación avanzada, consolidando el PDP-11 como herramienta educativa y experimental. La estética técnica y facilidad de programación del PDP-11 influyó en generaciones de arquitectos de sistemas, incluso después del dominio de RISC y x86 [33].

2.3 Arquitecturas de Referencia y Vigentes

Además de Von Neumann, son fundamentales: **Harvard** (separación de caminos para instrucciones y datos), **Harvard modificada** (separación interna con espacio de direcciones externo unificado), **máquinas de pila** (operандos implícitos), ***dataflow***⁸ (activación por disponibilidad de datos), y las familias **RISC**⁹ y **CISC**¹⁰ [1, 2, 8]. En **VLIW**¹¹ y **EPIC**¹², el compilador expone el paralelismo empaquetando operaciones.

⁸Flujo de Datos o *Dataflow* (dataflow)

⁹Conjunto Reducido de Instrucciones o *Reduced Instruction Set Computer* (RISC)

¹⁰Conjunto Complejo de Instrucciones o *Complex Instruction Set Computer* (CISC)

¹¹Muy Larga Palabra de Instrucción o *Very Long Instruction Word* (VLIW)

¹²Computación Explícitamente Paralela de Instrucciones o *Explicitly Parallel Instruction Computing* (EPIC)

En arquitecturas vigentes dominan los *SoC* heterogéneos (CPU+GPU+aceleradores) con memoria compartida **UMA**¹³ o gestión heterogénea **HMM**¹⁴, donde la coherencia y la consistencia atraviesan dominios de cómputo. Se buscan balances entre rendimiento, consumo y facilidad de programación mediante *runtimes* portables y protocolos coherentes interdispositivo [3, 11, 12].

2.4 Estructura Interna

La estructura interna de la CPU moderna se organiza en *front-ends* de *fetch*/decodificación, colas y estaciones de reserva, unidades funcionales (ALU/FPU/Vector), y un **ROB**¹⁵ para comprometer resultados en orden. El control de flujo incorpora predicción avanzada mediante **BTB**¹⁶, pilas de retorno y predictores híbridos; el renombrado de registros elimina dependencias falsas, posibilitando ejecución fuera de orden (**OoO**¹⁷) [1, 34, 35].

2.4.1 Pipeline y el Camino de Datos

El *pipeline* divide la instrucción en etapas (*fetch, decode, rename, dispatch, issue, execute, writeback, commit*) que operan en solapamiento. Una mayor profundidad reduce el tiempo de etapa pero incrementa las penalizaciones por saltos y riesgos; la predicción y la especulación son esenciales para sostener altas tasas de emisión (**IPC**¹⁸) [1].

El camino de datos integra selectores, bancos de registros, *bypass* y *forwarding*. La lógica de control, cableada o microprogramada, sincroniza las señales; los *scoreboards* y/o el algoritmo de Tomasulo arbitran la emisión según disponibilidad de operandos y recursos [34].

2.4.2 Integración con GPU y Aceleradores

En sistemas CPU+GPU/TPU/NPU, la CPU ejecuta el plano de control: lanza *kernels*, administra colas, establece barreras y gestiona memoria (p. ej., fallos de página compartidos). La **GPU** adopta un modelo **SM**¹⁹ con *warps/wavefronts* programados en *Streaming Multiprocessors* (**SM**²⁰) o *Compute Units* (**CU**²¹), optimizada para ocultar latencias con paralelismo masivo [9, 10].

La memoria puede ser discreta (dGPU), unificada (UMA/HMM) o coherente (CXL). *Runtimes* como **CUDA**²² y **ROCm**²³ o entornos portables (oneAPI²⁴/SYCL²⁵) median el *offload* y el modelo de memoria [9, 10, 11, 12].

2.4.3 Arquitecturas por Dominio

Las extensiones **SIMD**²⁶ (SSE/AVX²⁷ en x86; NEON/SVE en ARM; “V” en RISC-V) amplían el ancho vectorial y el *throughput*. La especialización por dominio incluye motores criptográficos (AES²⁸/SHA²⁹), *systolic arrays* en TPU y *tensor cores* en GPU [6, 7, 9, 10].

¹³Arquitectura de Memoria Unificada o *Unified Memory Architecture* (UMA)

¹⁴Gestión de Memoria Heterogénea o *Heterogeneous Memory Management* (HMM)

¹⁵Búfer de Reordenamiento o *Reorder Buffer* (ROB)

¹⁶Búfer de Destino de Saltos o *Branch Target Buffer* (BTB)

¹⁷Ejecución Fuera de Orden o *Out-of-Order* (OoO)

¹⁸Instrucciones por Ciclo o *Instructions Per Cycle* (IPC)

¹⁹Una Instrucción, Múltiples Hilos o *Single Instruction, Multiple Threads* (SIMT)

²⁰Multiprocesador de Flujo o *Streaming Multiprocessor* (SM)

²¹Unidades de Cómputo o *Compute Units* (CU)

²²Arquitectura Unificada de Dispositivos de Cómputo o *Compute Unified Device Architecture* (CUDA)

²³Computación Abierta de Radeon o *Radeon Open Compute* (ROCm)

²⁴Una Plataforma y API Abierta de Intel o *oneAPI* (oneAPI)

²⁵Lenguaje de Cálculo Paralelo Sincrónico o *SYCL* (SYCL)

²⁶Una Instrucción, Múltiples Datos o *Single Instruction, Multiple Data* (SIMD)

²⁷Extensiones Vectoriales Avanzadas o *Advanced Vector Extensions* (AVX)

²⁸Estándar de Cifrado Avanzado o *Advanced Encryption Standard* (AES)

²⁹Algoritmo de Hash Seguro o *Secure Hash Algorithm* (SHA)

El control energético recurre a **DVFS**³⁰ y *clock/power gating* por dominio funcional. Este grano细粒的 power management permite sostener rendimiento dentro de lmites trmicos y de potencia [3, 6, 11, 12].

2.5 Unidad de Control (UC): Organización y Funcionamiento

La UC interpreta instrucciones y genera microseñales para activar bloques de datos. Puede ser cableada (latencia mima, flexibilidad menor) o microprogramada (flexible, con memoria de control), y en diseos modernos coexisten enfoques hbridos para instrucciones complejas [2, 34].

2.5.1 Construcción y Partes

Un decodificador traduce *opcodes* a microoperaciones; un generador de control activa lecturas/escrituras de registros, selección de ALU, accesos de memoria y arbitraje de buses internos. La temporizaci n sincroniza etapas del *pipeline*; la l gica de excepciones/interrupciones preserva precisi n, vectores y prioridades [1, 2].

En UC microprogramada, la *store* de microc digo contiene secuencias para instrucciones complejas y micro-ISAs internas (p. ej., traducci n CISC→uops estilo RISC en x86). La verificaci n se centra en la correcci n de secuenciaci n y recuperaci n ante fallos [1, 15].

2.5.2 Pipeline, OoO y Renombrado

La UC coordina *fetch/decode/rename/dispatch/issue/execute/writeback/commit*. El renombrado asigna registros l gicos a f sicos (free-list/RAT) y elimina dependencias falsas (WAR/WAW). Algoritmos tipo Tomasulo o *scoreboard* gobiernan *issue*; el **ROB** garantiza consistencia y recuperaci n ante *mispredicts* [1, 34, 35].

En *pipelines* profundos, la penalizaci n por salto exige predictores de alta precisi n (bimodal/gshare/TAGE³¹). *Checkpoints* del estado de renombrado habilitan retornos r pidos tras mispredicci n.

2.5.3 Control de Flujo en CPU y Coordinaci n con GPU

El **BTB** y la pila de retorno anticipan blancos; predictores hbridos mitigan burbujas; barreras de memoria conservan consistencia (TSO³², RC_{sc}³³). La UC administra excepciones precisas y sncronas con el estado arquitect nico visible [1].

En CPU+GPU, la UC del host gestiona colas, *streams* y eventos; la GPU usa *warp schedulers/scoreboards* para latencias de memoria global y compartida. Con memoria unificada (UMA/HMM/CXL), fallos de p gina y permisos se resuelven cruzando dominios [9, 10, 11, 12].

2.6 Unidad Aritm tico-L gica (ALU)

La ALU ejecuta operaciones aritm ticas y l gicas sobre operandos enteros; junto con la FPU y las unidades vectoriales, determina el *throughput* computacional. Su microarquitectura balancea retardo cr tico, rea y energ a [1, 2].

2.6.1 Bloques Internos

Se emplean familias de sumadores (ripple-carry, carry-lookahead, carry-select, Kogge-Stone) y multiplicadores (matriciales, Wallace/Dadda) con *pipeline* y *bypass*. Divisores SRT o mtodos

³⁰Escalado Din mico de Voltaje y Frecuencia o *Dynamic Voltage and Frequency Scaling* (DVFS)

³¹Predicci n Basada en Tabla T-Age o *TAgged GEometric history length* (TAGE)

³²Orden de Almacenamiento Total o *Total Store Order* (TSO)

³³Coherencia de Liberaci n con Secuencial Consistente o *Release Consistency, sequentially consistent* (RC_{sc})

iterativos (Newton–Raphson) resuelven división/raíz bajo restricciones de latencia [1, 2].

Los *shifters/rotators* y la lógica booleana completan el repertorio. El diseño de puertos en el archivo de registros y el arbitraje de *bypass* condicionan la frecuencia máxima y el consumo [1, 35].

2.6.2 FPU e IEEE-754

La FPU implementa **IEEE-754**³⁴: formatos (binary32/64/128), modos de redondeo, *NaN*³⁵/*Inf*³⁶, subnormales y excepciones; *fused multiply-add* (FMA) mejora precisión y rendimiento [36]. Las FPUs modernas son profundamente *pipelined* y vectorizadas.

La parametrización de latencias (p. ej., 3–5 ciclos para suma/resta, 4–7 para multiplicación, 10+ para división) depende de la frecuencia objetivo y del ancho de vector. El soporte decimal IEEE-754-2008 aparece en dominios financieros.

2.6.3 SIMD/Vector, GPU y Aceleradores

Las CPU integran **SIMD** (SSE/AVX en x86; NEON/SVE en ARM; “V” en RISC-V) con máscaras, dispersión/recolección y permutaciones. El vector largo (SVE) permite tamaño escalable de registro con generación de código *portable-performance* [37].

Las **GPU** agrupan miles de ALU ligeras en SM/CU y optimizan acceso coalescido; las **TPU** usan *systolic arrays* con *bfloat16/int8* y *scratchpads* SRAM para máxima reutilización y **TOPS/W**³⁷ [6, 7, 9, 10].

2.7 Registros: Organización, Usos y Ejemplos

Los registros son el estrato de almacenamiento más veloz. Se distinguen **GPRs** (propósito general), de control/estado (PC/FLAGS), de segmentación/punteros y especializados (vectoriales, predicación, sistema) [1, 2]. Su número/anchura condiciona el ABI, la presión de registros y la estrategia del compilador.

2.7.1 Panorama General

El acceso a subpalabras (p. ej., AX→AH/AL) permite manipulación eficiente de bytes; los registros de máscara (x86 AVX-512) habilitan predicación por bit; los registros vectoriales (ARM SVE, RISC-V V) escalan con el microdiseño. Registros privilegiados (MSR/CRx en x86; mstatus/sstatus en RISC-V) controlan memoria y excepciones [15, 37, 38].

La depuración de rendimiento se apoya en convenciones *caller/callee-saved*, que influyen en derrames a pila y en la elección de registros temporales. Los depuradores/ensambladores muestran alias de vistas de 8/16/32/64 bits [1, 2].

2.7.2 x86-64 (IA-32e)

x86-64 ofrece 16 GPRs de 64 bits (RAX–R15) con vistas EAX/AX/AH/AL, punteros RSP/RBP, **RFLAGS** y **RIP**; extensiones vectoriales XMM/YMM/ZMM y máscaras k0–k7 [15]. Ejemplo (AT&T):

```
mov    $5, %eax
add    $3, %eax
mov    %al, (%rdi)
```

Los registros de control CR0–CR4 y los **MSR**³⁸ ajustan modos de paginación, depuración y

³⁴Norma IEEE de Aritmética de Punto Flotante o *IEEE Standard for Floating-Point Arithmetic* (IEEE-754)

³⁵No Es un Número o *Not a Number* (NaN)

³⁶Infinito o *Infinity* (Inf)

³⁷Tera Operaciones por Segundo por Vatio o *Tera Operations per Second per Watt* (TOPS/W)

³⁸Registros de Estado de Máquina o *Model-Specific Registers* (MSR)

energía. La traducción CISC→uops ocurre en el *front-end* [1, 2].

2.7.3 ARMv8-A (AArch64)

ARMv8-A dispone de 31 GPRs de 64 bits (X0–X30; vistas W de 32 bits), banderas **NZCV**³⁹ y registros V0–V31 (AdvSIMD/SVE) [8, 37]. Ejemplo:

```
mov    x0, #5
add    x0, x0, #3
strb   w0, [x1]
```

Los niveles de excepción (EL0–EL3) definen contextos de privilegio y espejos de registros de estado (**SPSR**⁴⁰). SVE añade predicción de longitud escalable [1].

2.7.4 RISC-V RV64

RISC-V RV64 provee 32 GPRs (x0=0), registros f0–f31 (FP) y v0–v31 (vector si “V”) [3, 38]. Ejemplo:

```
addi  x5, x0, 5
addi  x5, x5, 3
sb    x5, 0(x10)
```

El conjunto modular (extensiones I/M/A/F/D/V, etc.) permite perfilar registros a la carga. Los registros mstatus/sstatus gobiernan trampas y traducción de direcciones [38].

Cuadro 2.2: Conjunto de registros visibles para el programador (resumen)

ISA	GPRs	FP/Vector	Control/Estado	Partic.
x86-64	16×64b + subregs	ST, XMM/YMM/ZMM, k0–k7	RIP, RFLAGS, CR0–CR4, MSR	Subre...
ARMv8-A	31×64b (W=32b)	V0–V31 (AdvSIMD/SVE)	NZCV, SPSR/ELx	Vector...
RISC-V RV64G	32×64b	f0–f31, v0–v31 (V)	mstatus/sstatus	x0=0;

2.8 Jerarquía de Cachés: Construcción, Funcionamiento y Variaciones

La jerarquía de caché reduce la brecha procesador-memoria mediante niveles (L1/L2/L3) con diferentes latencias/capacidades. El diseño de líneas (típ. 64 B), conjuntos y políticas de reemplazo afecta tasa y *penalidad* de fallos [1, 4, 39].

2.8.1 Construcción y Organización

Una caché se direcciona por índice/etiqueta/desplazamiento; la asociatividad (directa, por conjuntos, total) gobierna conflictos. En escritura: *write-through* vs. *write-back* y *write-allocate* vs. *no-write-allocate*. Políticas RRIP⁴¹ y derivadas equilibran reutilización y coste [39].

Las colas de llenado/expulsión, los *miss status handling registers* (MSHR) y los prefetchers (secuencial/estríde/correlativo) condicionan el *memory-level parallelism* (MLP) [39, 40].

El **TLB**⁴² cachea traducciones virtual→físico [1].

³⁹Negativo/Cero/Acarreo/Overflow o *Negative/Zero/Carry/Overflow* (NZCV)

⁴⁰Registro de Estado Guardado o *Saved Program Status Register* (SPSR)

⁴¹Política de Reemplazo con Reutilización Re-Referenciada o *Re-Reference Interval Prediction* (RRIP)

⁴²Búfer de Traducción de Direcciones o *Translation Lookaside Buffer* (TLB)

2.8.2 Coherencia y consistencia

En multinúcleo, protocolos MSI/MESI/MOESI mantienen copias coherentes; directorios o difusión (*broadcast*) escalan según núcleo y topología. La consistencia (TSO, RC_{sc}) define órdenes visibles al software; barreras y *atomics* preservan invariantes [1].

Las diferencias ISA importan: x86 ofrece TSO fuerte; ARM/RISC-V permiten modelos más relajados para eficiencia, exigiendo *fences* explícitos y cuidado en programación paralela [8, 38].

2.8.3 Acceso Desde Software

En Java/C# la caché es transparente; la *localidad* sigue siendo clave (accesos secuenciales vs. *stride* grande). Ejemplo simple en Java:

```
public static long sumStride(int[] a, int s) {
    long t=0; for (int i=0;i<a.length;i+=s) t+=a[i]; return t;
}
```

En C/C++ existen intrínsecos de *prefetch/clflush* (x86) que deben usarse con prudencia y medición [15].

2.8.4 Diferencias entre Arquitecturas

x86 suele disponer de L1L/L1D privadas, L2 privada y L3 compartida (inclusiva o no); ARMv8 en móviles integra L3 pequeño y cachés por clúster; GPU combina L1/“shared memory”, cachés de textura/constante y L2 global, optimizadas para accesos coalescidos. Con CXL emergen *pools* de memoria coherente entre CPU y aceleradores [9, 10, 11, 12].

2.9 Evolución Histórica

De 1970 a la actualidad: integración (SSI/LSI→VLSI), profundización del *pipeline*, OoO y cachés multinivel, salto a multinúcleo, y, hoy, heterogeneidad con *chiplets* y coherencia interdispositivo. La frecuencia dejó de escalar por límites térmicos; el paralelismo y la especialización tomaron el relevo [1, 3].

Cuadro 2.3: Cronología unificada de microprocesadores (1971–2019; sin duplicados)

Año	Familia/ISA	Procesador(es) y notas técnicas	Refs.
1971	Intel MCS-4	Intel 4004 : 4 bit, considerado el primer microprocesador comercial de propósito general.	[41, 42]
1972	Intel 8-bit	Intel 8008 : 8 bit; antecedente directo del 8080.	[43, 44]
1974	Intel 8080	Intel 8080 : 8 bit; base de Altair 8800 y ecosistema S-100.	[44, 45, 46]
1975	MOS 6502	MOS Technology 6502 : 8 bit; bajo costo y gran difusión en sistemas embebidos y microcomputadoras.	[47, 48]
1976	Zilog Z80	Z80 : 8 bit, compatible 8080 con extensiones; incorpora <i>DRAM refresh</i> .	[49, 50, 51]
1978	Intel x86	Intel 8086/8088 : 16 bit (8086); 8088 con bus externo de 8 bit usado en IBM PC.	[52, 53]
1979	Motorola 68k	Motorola 68000 : 32 bit interno con bus de 16 bit; base de la familia 68k.	[47]
1982	Intel x86	Intel 80286 : modo protegido e introducción de capacidades MMU.	[54, 55]

Año	Familia/ISA	Procesador(es) y notas técnicas	Refs.
1984	Motorola 68k	68020/030/040: 32 bit completo; MMU opcional/integrada en 030/040.	[56]
1985	MIPS RISC	MIPS R2000 (32 bit, load/store, pipeline clásico).	[1, 2]
1985	Arm (ARMv1/2)	ARM1/ARM2: RISC 32 bit de bajo consumo (origen de la familia ARM).	[1, 2]
1985	Intel x86	Intel 80386: 32 bit, modo protegido avanzado y paginación.	[54, 57]
1987	SPARC V7	SPARC (V7): ventanas de registros; ampliamente usado en estaciones Sun.	[58]
1989	Intel x86	Intel 80486: caché on-chip; FPU integrada en 486DX.	[1, 2]
1991	MIPS 64	MIPS R4000: primer MIPS de 64 bit de amplia difusión.	[59]
1991	AMD x86	Am386/Am486: compatibles 386/486; entrada de AMD al x86 de volumen.	[2]
1992	DEC Alpha	Alpha 21064/21164/21264: 64 bit, alto ILP; EV6 con predictor avanzado y alto IPC.	[60, 61]
1993	Intel Pentium	Pentium (P5): dual-issue superescalar; FPU mejorada; base MMX posterior.	[1, 62]
1993	PowerPC	PowerPC 601/603/604: derivados de POWER; adopción en desktop/embebido.	[2]
1994	ARM7TDMI	ARM7TDMI: soporte Thumb y depuración embebida; gran difusión móvil.	[63, 64]
1995	Intel Pentium Pro	Pentium Pro (P6): ejecución <i>out-of-order</i> ; L2 externa de alta velocidad; base de PII/PIII.	[62]
1996	HP PA-RISC	PA-8000: ILP agresivo; arquitectura servidor de alto rendimiento.	[65, 66]
1996	AMD K5/K6	K5/K6-K6-2: primeras CPU x86 propias; 3DNow! para SIMD en FP.	[67, 68]
1997	Intel Pentium II	Pentium II: continuidad P6; Slot 1; MMX generalizado.	[62]
1998	DEC Alpha	Alpha 21264 (EV6): predictor avanzado; muy alto IPC (servidores).	[60, 61]
1999	AMD Athlon (K7)	Athlon/Duron: bus EV6 (licenciado de DEC); FPU potente; Duron como segmento económico.	[69]
1999	Intel Pentium III	Pentium III: SSE; generaciones Katmai/Coppermine/Tualatin.	[62]
2000	Intel Pentium 4	Pentium 4 (NetBurst): pipeline muy profundo; SSE2; altas frecuencias objetivo.	[1, 2]
2001	Intel Itanium	Itanium (IA-64, EPIC/VLIW): paralelismo explícito vía compilador.	[1]
2003	AMD Athlon 64 (K8)	Athlon 64/Opteron: x86-64 (AMD64), IMC integrado, HyperTransport.	[1]
2003	PowerPC G5	IBM 970 (POWER4-derivado): usado en Apple Power Mac G5.	[2]
2004	Intel Pentium M	Banias/Dothan: foco en eficiencia energética (base de “Core”).	[2]

Año	Familia/ISA	Procesador(es) y notas técnicas	Refs.
2006	Intel Core/Core 2	Core/Core 2 (Yonah/Conroe) : gran salto en IPC/eficiencia frente a NetBurst.	[1]
2007	AMD K10	Phenom (Barcelona) : L3 compartida; multico-re nativo.	[1]
2008	Intel Nehalem	Nehalem : IMC, QPI, SMT (HT) reintroducido, L3 compartida.	[1]
2009	ARM Cortex-A9	Cortex-A9 MPCore : multinúcleo móvil de alta eficiencia.	[2]
2010	Intel Westmere/ SNB	Westmere (32 nm) y Sandy Bridge : AVX; iG-PU en el mismo <i>die</i> .	[1, 15]
2011	AMD Bulldozer	Bulldozer : módulos con dos clústeres de ente-ros; enfoque a MT.	[1]
2012	ARM Cortex-A53/A57	ARMv8-A (AArch64) : A53 (eficiencia) y A57 (alto rendimiento) en primera ola 64 bit ARM.	[8]
2013	Intel Haswell	Haswell : AVX2, FMA3; mejoras energéticas y de iGPU.	[15]
2015	Intel Skylake	Skylake : nueva microarquitectura base de múltiples generaciones posteriores.	[15]
2016	ARM Cortex-A72/A73	A72/A73 : eficiencia y rendimiento para móvi-les/embebidos.	[8]
2017	AMD Zen (Ryzen)	Zen : alto IPC, SMT, CCX; base de evolución Zen+.	[1]
2018	RISC-V (impl.)	Rocket/BOOM académicos y SiFive comer-ciales : adopción RV64 (unpriv./priv.).	[3, 38]
2019	Intel Sunny/Cascade	Sunny Cove (Ice Lake, cliente) y Cascade Lake (servidor) ; nuevas <i>uops</i> y mejoras de memoria.	[1, 15]
2020	AMD x86-64	Ryzen 5000 (Zen 3) de escritorio: rediseño del complejo de núcleos (unificación de CCX por CCD), gran salto de IPC y liderazgo generalista.	[70]
	Armv8 (Apple)	Apple M1 : primer SoC Apple Silicon para Mac con CPU/GPU/NPU integradas y memoria uni-ficada (UMA), foco en rendimiento/W.	[71]
	Armv8.2 (Neoverse N1)	Ampere Altra (80 núcleos) para <i>cloud</i> : alto rendimiento/watt, PCIe 4.0; orientación <i>scale-out</i> .	[72]
	Intel x86-64	Comet Lake-S (10 ^a gen desktop): hasta 10 nú-cleos; documentación técnica y hoja de datos oficial.	[73]
	Armv8 (A64FX)	Fujitsu A64FX (Fugaku): vector SVE 512, li-derazgo TOP500 en 2020 con enfoque HPC y ancho de banda de memoria HBM2.	[74]
2021	Intel x86-64	Rocket Lake-S (11 ^a gen desktop) con PCIe 4.0 y nuevo back-end; Alder Lake (12 ^a gen) intro-duce híbrida P-cores+E-cores y Thread Direc-tor.	[75, 76]
	Arm (Neoverse)	Neoverse V1/N2 : V1 con SVE para HPC/ML; N2 orientado a <i>scale-out</i> eficiente para <i>cloud</i> .	[77, 78, 79, 80, 81]

Año	Familia/ISA	Procesador(es) y notas técnicas	Refs.
2022	IBM POWER10	IBM Power10 (E1080): servidor <i>enterprise</i> de nueva generación; mejoras de eficiencia/seguridad y virtualización.	[82]
	LoongArch	Loongson 3A5000 : transición a ISA LoongArch propia; <i>client/desktop</i> y ecosistema local.	[83]
	AMD x86-64	Ryzen 7000 (Zen 4) : socket AM5, DDR5/PCIe 5.0, salto de frecuencias y soporte de nuevas instrucciones.	[84]
	Intel x86-64	Raptor Lake (13 ^a gen): más E-cores, caché y frecuencias superiores; mejora MT/eficiencia.	[85]
	Arm (Apple)	Apple M2 : iteración de CPU/GPU/NPU con ganancias de rendimiento y eficiencia.	[86]
	Arm (AWS)	Graviton3 (C7g): instancias <i>cloud</i> con mejor rendimiento/W para cargas de <i>scale-out</i> .	[87]
	Arm (Neoverse)	NVIDIA Grace CPU Superchip : CPU Arm para centros de datos; plataforma para cómputo acoplado a GPU.	[88]
2023	Arm (Apple)	Apple M3 : salto a 3 nm, nueva arquitectura de GPU y mejoras CPU/NPU para macOS.	[89]
	Intel x86-64	Raptor Lake Refresh (14 ^a gen desktop): re-fuerzo de frecuencias y oferta entusiasta.	[90]
	Armv8.6+	AmpereOne (hasta 192 núcleos propios), DDR5 y PCIe 5.0 para <i>cloud</i> .	[91]
	Arm + GPU	NVIDIA GH200 Grace Hopper : <i>superchip</i> Grace+Hopper; memoria coherente y NVLink-C2C.	[92]
	TPU (Google)	TPU v5p : plataforma de entrenamiento de mayor escala para IA generativa.	[93]
	Arm (Microsoft)	Azure Cobalt 100 (CPU Arm de Microsoft) presentado en 2023; primera generación de silicio propio para <i>cloud</i> .	[94]
	Intel x86-64	Core Ultra (Meteor Lake) móvil: inicio de la era <i>AI PC</i> con NPU integrada (Intel 4).	[95]
2024	Intel x86-64 (desktop)	Core Ultra 200S (Arrow Lake) : “entusiasta desktop AI PC”, menor consumo a igual rendimiento, línea Series 2.	[96]
	Intel x86-64 (móvil)	Core Ultra 200V (client 2024) y Lunar Lake (Q3): SoCs con fuerte NPU/eficiencia para Copilot+ PC.	[97, 98]
	Intel Xeon 6	Sierra Forest (E-cores, densidad) y Granite Rapids (P-cores, rendimiento) abren la familia Xeon 6.	[99, 100]
	AMD x86-64	Ryzen 9000 (Zen 5) desktop: nueva microarquitectura con salto de IPC; familia AI en portátiles.	[101]
	Arm (Apple)	Apple M4 : 3 nm, mayor rendimiento CPU/GPU y <i>neural engine</i> ; lanzamiento inicial en iPad Pro.	[102]

Año	Familia/ISA	Procesador(es) y notas técnicas	Refs.
2025	Arm + GPU	NVIDIA GB200 (Grace+Blackwell) y sistemas NVL72; plataforma para IA a hiperescala.	[103]
	Arm (Qualcomm)	Snapdragon X Elite/Plus : CPU Oryon para Copilot+ PCs, alto rendimiento/W en portátiles Windows.	[104, 105]
	AMD EPYC	EPYC 9005 “Turin” (Zen 5) : hasta 192 núcleos, liderazgo rendimiento/watt en <i>datacenter</i> .	[106]
	Intel x86-64 (client)	Core Ultra 200 (desktop/móvil) : ampliación de la familia en CES 2025 (Series 2 en escritorio, despliegues móviles).	[107]
2026	Arm (Google)	Google Axion (CPU Arm para Google Cloud): CPU propia para <i>cloud</i> , anunciada 2024 y desplegada en 2025.	[108]
	Intel x86-64 (client)	Nova Lake : hoja de ruta oficial sitúa su llegada hacia <i>finales de 2026</i> ; relevo tras Arrow/ Lunar/Panther.	[109, 110]

2.10 Perspectivas Actuales

La computación heterogénea consolida modelos donde la CPU coordina y acelera mediante GPU/TPU/NPU, con memorias coherentes y *runtimes* portables (CUDA/HIP/oneAPI/SYCL). En paralelo, la computación cuántica explora *qubits* (superposición/entrelazamiento) y algoritmos de ventaja específica (Shor, Grover), aún limitada por ruido y corrección de errores [5, 14].

2.10.1 CPU+GPU (SIMT)

La **GPU** ofrece miles de ALU ligeras programadas en **SIMT**; su eficiencia depende de accesos coalescidos, ocupación de SM/CU y control de divergencia. La memoria compartida por bloque y la *coalescencia* reducen *stalls*; la CPU decide *offload*, *tiling* y fusión de *kernels* con ayuda de modelos tipo *roofline*⁴³ [9, 10].

La memoria unificada (UMA/HMM) y **CXL** extienden el espacio de direcciones y habilitan *zero-copy* y *memory pooling*. Las métricas relevantes incluyen ancho de banda efectivo, *tail latency* y utilización de SM/CU [11, 12].

2.10.2 TPU/NPUs

Las **TPU** emplean *systolic arrays* para multiplicaciones bloqueadas y acumulan resultados con alta reutilización de datos; priorizan formatos reducidos (bfloating16/int8) para maximizar **FLOPS**⁴⁴ por vatio [6]. Las **NPU** integran MACs, *scratchpads* SRAM y *NoC*⁴⁵ especializados, alcanzando altos **TOPS/W** en inferencia de borde [7].

El despliegue efectivo requiere *compilers* (XLA, TVM) y planificadores que minimicen movimiento de datos y *host-device round trips*. La co-diseño algoritmo-hardware es clave para eficiencia.

2.10.3 Neuromórfica y Cuántica

Arquitecturas neuromórficas (Loihi/TrueNorth) implementan neuronas de disparo y comunicación impulsada por eventos (*event-driven*); su promesa es la eficiencia energética en tareas sensoriales y *always-on*. Retos: ecosistema de software, precisión y variabilidad de dispositivos [13].

⁴³Modelo de Techo o *Roofline Model* (roofline)

⁴⁴Operaciones de Punto Flotante por Segundo o *Floating-Point Operations per Second* (FLOPS)

⁴⁵Red en Chip o *Network-on-Chip* (NoC)

La cuántica avanza con dispositivos **NISQ**⁴⁶ (superconductores, iones, *spin*, fotónica) y algoritmos variacionales híbridos; la ruta a escala exige códigos de superficie y fuertes sobrecargas de qubits físicos por lógico [5, 14].

Referencias del capítulo

- [1] J. L. Hennessy y D. A. Patterson. *Computer Architecture: A Quantitative Approach*. 6.^a edición. Burlington, MA: Morgan Kaufmann, 2019. ISBN: 9780128119051 (véanse páginas 17, 18, 20, 21, 25, 28-35).
- [2] W. Stallings. *Computer Organization and Architecture*. 11.^a edición. London: Pearson, 2020. ISBN: 9780136502139 (véanse páginas 17, 21, 28, 30, 31, 34, 35).
- [3] K. Asanovic et al. *The Landscape of Parallel Computing Research: A View from Berkeley*. Informe técnico UCB/EECS-2006-183. EECS Department, University of California, Berkeley, 2006. URL: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2006/EECS-2006-183.pdf> (véanse páginas 17, 19, 25, 29, 32, 33, 35).
- [4] P. J. Denning. «The Working Set Model for Program Behavior». En: *Communications of the ACM* 11.5 (1968), páginas 323-333. DOI: [10.1145/363095.363141](https://doi.org/10.1145/363095.363141) (véanse páginas 17, 18, 21, 32).
- [5] M. A. Nielsen e I. L. Chuang. *Quantum Computation and Quantum Information*. 10th Anniversary. Cambridge: Cambridge University Press, 2010. ISBN: 9781107002173 (véanse páginas 17, 20, 21, 37, 38).
- [6] N. P. Jouppi et al. «In-Datacenter Performance Analysis of a Tensor Processing Unit». En: *Proceedings of the 44th Annual International Symposium on Computer Architecture (ISCA)*. First public technical description of Google's TPU v1, including architecture, matrix multiply unit, systolic array design, and datacenter benchmarks. Toronto, ON, Canada: ACM, jun. de 2017, páginas 1-12. ISBN: 978-1-4503-4892-8. DOI: [10.1145/3079856.3080246](https://doi.org/10.1145/3079856.3080246) (véanse páginas 17, 19, 29, 31, 37).
- [7] S. Han, H. Mao y W. J. Dally. «Deep Compression: Compressing Deep Neural Networks with Pruning, Trained Quantization and Huffman Coding». En: *Proceedings of the International Conference on Learning Representations (ICLR)*. 2016. DOI: [10.48550/arXiv.1510.00149](https://doi.org/10.48550/arXiv.1510.00149) (véanse páginas 17, 19, 29, 31, 37).
- [8] Arm Limited. *Arm® Architecture Reference Manual, Armv8-A Profile. For Armv8-A architecture profile*. DDI0487L.b. Reference Manual. Versión Issue L.b. Covers the Armv8-A architecture profile, including AArch32 and AArch64 states, system registers, exception model, memory model, and instruction sets. Arm Limited. Sep. de 2023. URL: <https://developer.arm.com/documentation/ddi0487/latest> (visitado 05-03-2025) (véanse páginas 17, 28, 32, 33, 35).
- [9] NVIDIA Corporation. *CUDA C Programming Guide*. 12.4. Programming Guide. Official CUDA C Programming Guide. Includes references to GPU Architecture Whitepapers such as Volta, Ampere, and Hopper. NVIDIA Corporation. 2023. URL: https://docs.nvidia.com/cuda/pdf/CUDA_C_Programming_Guide.pdf (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).

⁴⁶Cuánticos Intermedios Ruidosos o *Noisy Intermediate-Scale Quantum* (NISQ)

- [10] Advanced Micro Devices, Inc. (AMD). *ROCM Documentation. Radeon Open Compute Platform*. Versión Latest. Official documentation of the ROCm software stack, covering drivers, HIP runtime, math libraries, tools (rocProfiler, rocTracer), and GPUOpen architecture notes for CDNA and RDNA GPUs. AMD ROCm Team. 2025. URL: <https://rocm.docs.amd.com/en/latest/> (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).
- [11] M. Wagh y R. Sodke. *Compute Express Link™ 2.0 Specification: Memory Pooling*. Presentation on CXL 2.0 memory expansion and pooling, including Fabric Manager API and topologies. CXL Consortium. 2021. URL: <https://www.computeexpresslink.org/> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).
- [12] *Compute Express Link™ (CXL) Specification*. Specification. Versión Revision 3.2, Version 1.0. Official specification of the CXL Consortium, defining architecture, protocol layers, coherency models, memory pooling, switching fabric, and advanced interconnect capabilities. Evaluation Copy. CXL Consortium. Oct. de 2024. URL: <https://www.computeexpresslink.org/specifications> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).
- [13] M. Davies et al. «Advancing Neuromorphic Computing With Loihi: A Survey of Results and Outlook». En: *Proceedings of the IEEE* 109.5 (mayo de 2021). Comprehensive survey on Intel's Loihi neuromorphic chip, covering NoC architectures, spiking models, on-chip learning and roadmap, páginas 911-934. DOI: [10.1109/JPROC.2021.3067593](https://doi.org/10.1109/JPROC.2021.3067593) (véanse páginas 20, 37).
- [14] M. Davies et al. «Loihi: A Neuromorphic Manycore Processor with On-Chip Learning». En: *IEEE Micro* 38.1 (ene. de 2018). Feature article on neuromorphic computing. Introduces Loihi, a 60-mm² Intel 14-nm neuromorphic processor with on-chip learning, spiking neural network support, and programmable synaptic rules, páginas 82-99. ISSN: 1937-4143. DOI: [10.1109/MM.2018.112130359](https://doi.org/10.1109/MM.2018.112130359) (véanse páginas 20, 21, 37, 38).
- [15] Intel Corporation. *Intel® 64 and IA-32 Architectures Software Developer's Manuals*. Versión 088. Includes Architecture, System Programming, and Instruction Set Reference manuals; version 088 of Vols. 1–3, and version 050 of Optimization Reference Manuals. 2025. URL: <https://www.intel.com/content/www/us/en/developer/articles/technical/intel-sdm.html> (visitado 05-03-2025) (véanse páginas 25, 30, 31, 33, 35).
- [16] A. M. Volk, P. A. Stoll y P. Metrovich. «Recollections of Early Chip Development at Intel». En: *Intel Technology Journal* (ene. de 2001). [En línea; acceso: 6 septiembre 2025]. URL: <https://www.intel.com/content/dam/www/public/us/en/documents/research/2001-vol05-iss-1-intel-technology-journal.pdf> (véanse páginas 26, 27).
- [17] J. L. Hennessy y D. A. Patterson. «A New Golden Age for Computer Architecture». En: *Communications of the ACM* 62.2 (2019), páginas 48-60. DOI: [10.1145/3282307](https://doi.org/10.1145/3282307) (véanse páginas 26, 27).
- [18] S. Mazor. «Intel 8080 CPU Chip Development». En: *IEEE Annals of the History of Computing* 29.2 (2007), páginas 70-73. DOI: [10.1109/MAHC.2007.25](https://doi.org/10.1109/MAHC.2007.25) (véanse páginas 26, 27).
- [19] IEEE Spectrum. «Chip Hall of Fame: Motorola MC68000 Microprocessor». En: *IEEE Spectrum* (jun. de 2017). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/chip-hall-of-fame-motorola-mc68000-microprocessor> (véanse páginas 26, 27).

- [20] S. Cass. «Q&A With Co-Creator of the 6502 Processor». En: *IEEE Spectrum* (sep. de 2021). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/q-a-with-co-creator-of-the-6502-processor> (véanse páginas 26, 27).
- [21] D. Preethichandra. «Z80 — The 1970s Microprocessor Still Alive». En: *IEEE Micro* 41.6 (2021), páginas 156-157. DOI: [10.1109/MM.2021.3115609](https://doi.org/10.1109/MM.2021.3115609) (véase página 27).
- [22] I. Online. «History of Microprocessor and 8085 – Introduction». En: *IDC Online* (2014). [En línea; acceso: 6 septiembre 2025]. URL: https://www.idc-online.com/technical_references/pdfs/electronic_engineering/History_Of_Microprocessor_And_8085_Introduction.pdf (véase página 27).
- [23] IEEE Spectrum. «Chip Hall of Fame: MOS Technology 6502 Microprocessor». En: *IEEE Spectrum* (jun. de 2017). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/chip-hall-of-fame-mos-technology-6502-microprocessor> (véase página 27).
- [24] I. H. Witten. «An Introduction to the Architecture of the Intel iAPX 432». En: *Software & Microsystems* 2.2 (1983), páginas 121-132. DOI: [10.1049/sm.1983.0013](https://doi.org/10.1049/sm.1983.0013) (véase página 27).
- [25] K. C. Kahn et al. «iMAX: A Multiprocessor Operating System for an Object-Based Microcomputer». En: *ACM SIGOPS Operating Systems Review* 15.5 (1981), páginas 26-32. DOI: [10.1145/1067627.806601](https://doi.org/10.1145/1067627.806601) (véase página 27).
- [26] F. J. Pollack et al. «The iMAX-432 Object Filing System». En: *ACM SIGOPS Operating Systems Review* 15.5 (1981), páginas 137-147. DOI: [10.1145/1067627.806602](https://doi.org/10.1145/1067627.806602) (véase página 27).
- [27] S. Bal et al. «The NS16000 Family—Advances in Architecture and Hardware». En: *Computer* 15.6 (1982), páginas 58-67. DOI: [10.1109/MC.1982.1654051](https://doi.org/10.1109/MC.1982.1654051) (véase página 28).
- [28] T. C. Cooper et al. «A Benchmark Comparison of 32-bit Microprocessors». En: *IEEE Micro* 6.4 (1986), páginas 53-58. DOI: [10.1109/MM.1986.304780](https://doi.org/10.1109/MM.1986.304780) (véase página 28).
- [29] W. C. Rhines. «The Texas Instruments 99/4: World's First 16-Bit Home Computer». En: *IEEE Spectrum* (jun. de 2017). Artículo histórico; revista técnica. URL: <https://spectrum.ieee.org/the-texas-instruments-994-worlds-first-16bit-computer> (véase página 28).
- [30] IEEE Spectrum. «Chip Hall of Fame: Texas Instruments TMS9900». En: *IEEE Spectrum* (jun. de 2017). Artículo histórico; revista técnica. URL: <https://spectrum.ieee.org/chip-hall-of-fame-texas-instruments-tms9900> (véase página 28).
- [31] Texas Instruments Incorporate. *TMS 9900 Family System Development Manual*. Manual técnico del fabricante. Texas Instruments. 1977. URL: https://bitsavers.computerhistory.org/components/ti/TMS9900/MP702_TMS9900_Family_System_Development_Manual_1977.pdf (véase página 28).
- [32] C. G. Bell et al. «A New Architecture for Mini-Computers: The DEC PDP-11». En: *Proceedings of the Spring Joint Computer Conference (AFIPS SJCC)*. New York, NY, USA: Association for Computing Machinery, 1970, páginas 657-675. ISBN: 9781450379038. DOI: [10.1145/1476936.1477037](https://doi.org/10.1145/1476936.1477037) (véase página 28).
- [33] C. G. Bell y W. D. Strecker. *What Have We Learned from the PDP-11?* Reimpresión del trabajo original de 1975. 1976. DOI: [10.1145/633617.803541](https://doi.org/10.1145/633617.803541) (véase página 28).
- [34] R. M. Tomasulo. «An Efficient Algorithm for Exploiting Multiple Arithmetic Units». En: *IBM Journal of Research and Development* 11.1 (1967), páginas 25-33. DOI: [10.1147/rd.111.0025](https://doi.org/10.1147/rd.111.0025) (véanse páginas 29, 30).

- [35] A. Seznec. «The L-TAGE Branch Predictor». En: *Journal of Instruction-Level Parallelism (JILP)* 9 (oct. de 2007). Available online: JILP, Vol. 9, October 2007, páginas 1-20. URL: <https://jilp.org/vol9/v9paper3.pdf> (véanse páginas 29, 30).
- [36] IEEE Standards Association. *IEEE Standard for Floating-Point Arithmetic*. Inglés. Standard. Versión Revision of IEEE 754-2008. Replaces IEEE 754-2008 and IEEE 854-1987. IEEE, jul. de 2019. DOI: [10.1109/IEEESTD.2019.8766229](https://doi.org/10.1109/IEEESTD.2019.8766229). (Visitado 06-03-2025) (véase página 31).
- [37] Arm Limited. *Arm® Architecture Reference Manual Supplement: Scalable Vector Extension (SVE and SVE2) Instructions*. DDI0602. Architecture Supplement. Defines the Scalable Vector Extension (SVE) and SVE2 instruction sets for the Armv8-A architecture profile, including vector-length agnostic programming model. Arm Limited. Jun. de 2025. URL: <https://developer.arm.com/documentation/ddi0602/2025-06/SVE-Instructions> (visitado 05-03-2025) (véanse páginas 31, 32).
- [38] RISC-V International. *The RISC-V Instruction Set Manual. Volume I: Unprivileged ISA (Version 2.2 and later) and Volume II: Privileged Architecture (Version 1.12+)*. Specification. Defines the RISC-V unprivileged and privileged instruction set architectures. Volume I, Unprivileged ISA v2.2 (2019) and subsequent drafts; Volume II, Privileged Architecture v1.12 (2021). RISC-V International. 2021. URL: <https://riscv.org/technical/specifications/> (visitado 05-03-2025) (véanse páginas 31-33, 35).
- [39] P. Gupta y S. Mittal. «Miss Penalty Aware Cache Replacement for Hybrid Memory Systems». En: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 39.11 (2020). Covers cache hierarchy design, line size, replacement policies, and miss penalty in hybrid memory systems, páginas 3804-3817. DOI: [10.1109/TCAD.2020.3003232](https://doi.org/10.1109/TCAD.2020.3003232) (véase página 32).
- [40] N. P. Jouppi. «Improving Direct-Mapped Cache Performance by the Addition of a Small Fully-Associative Cache and Prefetch Buffers». En: *Proceedings of the 17th Annual International Symposium on Computer Architecture (ISCA)*. Seattle, WA, USA: ACM, 1990, páginas 364-373. DOI: [10.1145/325164.325162](https://doi.org/10.1145/325164.325162) (véase página 32).
- [41] Smithsonian National Museum of American History. *Intel 4004 Microprocessor*. Catalog ID: NMAH.713495, Part of the Smithsonian Institution Collections. 2011. URL: https://americanhistory.si.edu/collections/nmah_713495 (visitado 03-09-2025) (véase página 33).
- [42] Intel Corporation. *The Intel 4004 Microprocessor*. Intel Virtual Vault: Articles on the History of Computing. 2021. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-intel-4004.html> (visitado 03-09-2025) (véase página 33).
- [43] Intel Corporation. *The Intel 8008 Microprocessor*. Intel Virtual Vault: Articles on the History of Computing. 2021. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-8008.html> (visitado 03-09-2025) (véase página 33).
- [44] Wikipedia contributors. *Intel 8008*. https://en.wikipedia.org/wiki/Intel_8008. Accessed: 2025-09-03. 2025 (véase página 33).
- [45] Wikipedia contributors. *S-100 bus*. https://en.wikipedia.org/wiki/S-100_bus. Accessed: 2025-09-03. 2025 (véase página 33).

- [46] T. Long. *Dec. 19, 1974: Altair 8800 Kits Go on Sale, Igniting the PC Revolution*. Wired Magazine, This Day in Tech series. Dic. de 2008. URL: <https://www.wired.com/2008/12/dec-19-1974-altair-8800-kits-go-on-sale> (visitado 03-09-2025) (véase página 33).
- [47] Wikipedia contributors. *MOS Technology 6502*. https://en.wikipedia.org/wiki/MOS_Technology_6502. Accessed: 2025-09-03. 2025 (véase página 33).
- [48] S. Walls. *A History of Early Microprocessors: The MOS Technology 6502*. EmbeddedRelated.com. 2020. URL: <https://www.embeddedrelated.com/showarticle/1453.php> (visitado 03-09-2025) (véase página 33).
- [49] Zilog, Inc. *Z80 CPU User Manual*. UM0080, Revision 08. Zilog official documentation. 2016. URL: <https://www.zilog.com/docs/z80/um0080.pdf> (visitado 03-09-2025) (véase página 33).
- [50] Zilog, Inc. *ZZ80 Family CPU User Manual*. Revision 04. Zilog official documentation. 2004. URL: https://www.zilog.com/docs/z80/z80cpu_um.pdf (visitado 03-09-2025) (véase página 33).
- [51] Wikipedia contributors. *Zilog Z80*. https://en.wikipedia.org/wiki/Zilog_Z80. Accessed: 2025-09-03. 2025 (véase página 33).
- [52] Intel Corporation. *The 8086 and the IBM PC*. Intel Virtual Vault article. 2023. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-8086-and-the-ibm-pc.html> (visitado 03-09-2025) (véase página 33).
- [53] Wikipedia contributors. *Intel 8086*. https://en.wikipedia.org/wiki/Intel_8086. Accessed: 2025-09-03. 2025 (véase página 33).
- [54] *Intel 80386 Programmer's Reference Manual*. Mirror MIT PDOS. © Intel Corporation 1987 (CG-5/26/87). Edited 2001-02-01 by G. N. Intel Corporation. Santa Clara, CA, 1986. URL: <https://pdos.csail.mit.edu/6.828/2018/readings/i386.pdf> (visitado 03-09-2025) (véanse páginas 33, 34).
- [55] Wikipedia contributors. *Protected mode — Wikipedia, The Free Encyclopedia*. https://en.wikipedia.org/wiki/Protected_mode. Page version ID: 1244778650, Accessed: 2025-09-03. 2025 (véase página 33).
- [56] Motorola Inc. *MC68000 16-/32-Bit Microprocessor User's Manual*. Third Edition. Comprehensive reference manual for the Motorola 68000 microprocessor. NXP Semiconductors. 1992. URL: <https://www.nxp.com/docs/en/reference-manual/MC68000UM.pdf> (visitado 03-09-2025) (véase página 34).
- [57] Intel Corporation. *80386 Hardware Reference Manual*. Official Intel reference manual for the 80386 microprocessor hardware implementation. Intel Corporation, 1986. URL: https://www.dosdays.co.uk/media/intel/1986_80386_Hardware_Reference_Manual.pdf (visitado 03-09-2025) (véase página 34).
- [58] Oracle Corporation. *SPARC Architecture: Register Windows Overview*. Oracle documentation explaining the SPARC register window mechanism and architecture overview. 2004. URL: <https://docs.oracle.com/cd/E19253-01/816-4854/hwovr-5/index.html> (visitado 03-09-2025) (véase página 34).
- [59] G. Kane y J. Heinrich. «MIPS R4000 Microprocessor User's Manual». En: *IEEE Micro* 12.3 (1992). Original IEEE Micro publication describing the MIPS R4000 architecture and design., páginas 10-22. DOI: [10.1109/40.137383](https://doi.org/10.1109/40.137383). URL: <https://people.eecs.berkeley.edu/~kubitron/courses/cs252-S07/handouts/papers/R4000.pdf> (véase página 34).

- [60] Digital Equipment Corporation. *Alpha 21264 Microprocessor (EV6) Hardware Reference Manual*. Compaq/Digital official documentation of the Alpha 21264 (EV6) microarchitecture, covering pipeline, memory hierarchy, and system interface. 1999. URL: https://download.majix.org/dec/21264ev6_hrm.pdf (véase página 34).
- [61] Wikipedia contributors. *Alpha 21264*. Accessed: 2025-09-03. 2025. URL: https://en.wikipedia.org/wiki/Alpha_21264 (véase página 34).
- [62] Intel Corporation. *P6 Family of Processors Hardware Developer's Manual*. 244001-001. Covers architecture, programming environment, and hardware interface of the P6 family, including Pentium Pro and Pentium II processors. Santa Clara, CA, 1996. URL: <https://download.intel.com/design/PentiumII/manuals/24400101.pdf> (véase página 34).
- [63] ARM Limited. *ARM7TDMI Technical Reference Manual*. DDI 0029E. Reference Manual. Versión Revision r3p1. Covers the ARM7TDMI core architecture, instruction set, debug features and interface specifications. Cambridge, UK, 1996, páginas 1-336. URL: <https://documentation-service.arm.com/static/5e8e1323fd977155116a3129> (véase página 34).
- [64] Arm Limited. *ARM7TDMI-S Technical Reference Manual*. Technical Reference Manual. Reference Number: DDI 0234, Issue I. Arm Limited. Cambridge, UK, abr. de 2001. URL: <https://documentation-service.arm.com/static/5e8e13a9fd977155116a3368> (véase página 34).
- [65] D. A. Dunn y W.-C. Hsu. «Instruction scheduling for the HP PA-8000». En: *Proceedings of the 29th Annual ACM/IEEE International Symposium on Microarchitecture*. MICRO 29. Paris, France: IEEE Computer Society, 1996, páginas 298-307. ISBN: 0818676418 (véase página 34).
- [66] Wikipedia contributors. *PA-8000 — Wikipedia, The Free Encyclopedia*. <https://en.wikipedia.org/wiki/PA-8000>. Accessed: 2025-09-03. 2025 (véase página 34).
- [67] Advanced Micro Devices, Inc. *AMD 3DNow!™ Technology Manual*. Publication #21928. Versión Rev. 1.0. Archived technical documentation. Mayo de 1999. URL: <https://www.amd.com/content/dam/amd/en/documents/archived-tech-docs/programmer-references/21928.pdf> (véase página 34).
- [68] Wikipedia contributors. *3DNow!* <https://en.wikipedia.org/wiki/3DNow!>. Última edición: 5 de marzo de 2025, consultado el 5 de marzo de 2025. 2025 (véase página 34).
- [69] Wikipedia contributors. *Athlon*. <https://en.wikipedia.org/wiki/Athlon>. Última edición: 5 de marzo de 2025, consultado el 5 de marzo de 2025. 2025 (véase página 34).
- [70] S. Naffziger et al. «AMD “Zen 3”: The Next Generation x86 Core». En: *2020 IEEE Hot Chips 32 Symposium (HCS)*. Describes the Zen 3 core microarchitecture as used in AMD Ryzen 5000 series, with unified CCX per CCD and significant IPC improvements. Palo Alto, CA, USA: IEEE, 2020, páginas 1-32. DOI: [10.1109/HCS49909.2020.9220538](https://doi.org/10.1109/HCS49909.2020.9220538). URL: <https://ieeexplore.ieee.org/document/9220538> (véase página 35).
- [71] Apple Inc. *Apple Unveils M1, the Most Powerful Chip Apple Has Ever Created*. Nov. de 2020. URL: <https://www.apple.com/newsroom/2020/11/apple-unleashes-m1/> (visitado 03-09-2025) (véase página 35).
- [72] Ampere Computing. *Ampere Unveils 80-Core Altra Processor for Cloud Workloads*. Mar. de 2020. URL: <https://amperecomputing.com/news/ampere-altra-80-core> (visitado 03-09-2025) (véase página 35).

- [73] Intel Corporation. *10th Generation Intel Core Processors Datasheet (Comet Lake)*. 2022. URL: <https://cdrdv2-public.intel.com/615211/615211-008.pdf> (visitado 03-09-2025) (véase página 35).
- [74] RIKEN y Fujitsu. *Fugaku Takes First Place in TOP500, HPCG, HPL-AI, and Graph500 Rankings*. Jun. de 2020. URL: https://www.riken.jp/en/news_pubs/news/2020/20200623_1/index.html (visitado 03-09-2025) (véase página 35).
- [75] Intel Corporation. *Intel 11th Gen Core (Rocket Lake-S) Desktop Processors Launch*. Mar. de 2021. URL: <https://www.intel.com/content/www/us/en/support/articles/000099655/processors.html> (visitado 03-09-2025) (véase página 35).
- [76] Intel Corporation. *Intel Launches 12th Gen Core (Alder Lake) with Performance Hybrid Architecture*. Oct. de 2021. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-12th-gen-core.html> (visitado 03-09-2025) (véase página 35).
- [77] Arm Editorial Team. *Neoverse V1: A New Approach to HPC*. Introduces Neoverse V1 with SVE for HPC/ML workloads, 50% IPC uplift over N1. Jun. de 2021. URL: <https://newsroom.arm.com/blog/neoverse-v1> (visitado 03-09-2025) (véase página 35).
- [78] M. Taneja. *Arm Neoverse N2 Platform: Industry-leading performance and power efficiency for Cloud-to-Edge infrastructure*. Describes Arm Neoverse N2 with SVE2, 40% IPC uplift, and focus on cloud-to-edge scale-out. Abr. de 2021. URL: <https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/arm-neoverse-n2-industry-leading-performance-efficiency> (visitado 03-09-2025) (véase página 35).
- [79] A. E. Team. *Neoverse V1 Performance Analysis Methodology White Paper*. Performance analysis methodology and PMU events for Neoverse V1, including SVE and vector-matrix support. Jun. de 2021. URL: <https://community.arm.com/arm-community-blogs/b/servers-and-cloud-computing-blog/posts/arm-neoverse-v1-top-down-methodology> (visitado 03-09-2025) (véase página 35).
- [80] WikiChip contributors. *Neoverse V1 (codename Zeus) Microarchitecture*. Detailed technical overview of Neoverse V1 microarchitecture (ISA, pipeline, SVE, performance improvements). 2022. (Visitado 03-09-2025) (véase página 35).
- [81] WikiChip contributors. *Neoverse N2 (codename Perseus) Microarchitecture*. Detailed technical overview of Neoverse N2 microarchitecture (ISA ARMv9-A, SVE2, pipeline, uop cache, BTB, etc.) 2025. (Visitado 03-09-2025) (véase página 35).
- [82] IBM. *IBM Introduces the Power E1080 Server, the First Based on IBM Power10*. Sep. de 2021. URL: <https://newsroom.ibm.com/2021-09-08-IBM-Unveils-the-IBM-Power-E1080> (visitado 03-09-2025) (véase página 36).
- [83] Wikipedia contributors. *Loongson 3A5000*. Consulted for release and ISA transition context. 2024. URL: <https://en.wikipedia.org/wiki/Loongson#3A5000> (visitado 03-09-2025) (véase página 36).
- [84] AMD. *AMD Announces Ryzen 7000 Series Desktop Processors*. Ago. de 2022. URL: <https://www.amd.com/en/press-releases/2022-08-29-amd-announces-ryzen-7000-desktop-cpus> (visitado 03-09-2025) (véase página 36).
- [85] Intel Corporation. *Intel Launches 13th Gen Core (Raptor Lake) Desktop Processors*. Sep. de 2022. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-13th-gen-core.html> (visitado 03-09-2025) (véase página 36).
- [86] Apple Inc. *Apple Introduces M2*. Jun. de 2022. URL: <https://www.apple.com/newsroom/2022/06/apple-introduces-m2/> (visitado 03-09-2025) (véase página 36).

- [87] AWS News Blog. *Now Available — Amazon EC2 C7g Instances Powered by AWS Graviton3*. Mayo de 2022. URL: <https://aws.amazon.com/blogs/aws/new-graviton3-based-amazon-ec2-c7g-instances/> (visitado 03-09-2025) (véase página 36).
- [88] NVIDIA. *NVIDIA Grace CPU Superchip*. 2022. URL: <https://www.nvidia.com/en-us/data-center/grace-cpu/> (visitado 03-09-2025) (véase página 36).
- [89] Apple Inc. *Apple Unveils M3, M3 Pro, and M3 Max*. Oct. de 2023. URL: <https://www.apple.com/newsroom/2023/10/apple-unveils-m3-m3-pro-and-m3-max/> (visitado 03-09-2025) (véase página 36).
- [90] Intel Corporation. *Intel Introduces 14th Gen Core Desktop Processors (Raptor Lake Refresh)*. Oct. de 2023. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-core-14th-gen-desktop.html> (visitado 03-09-2025) (véase página 36).
- [91] Ampere Computing. *AmpereOne: Up to 192 Cores for Cloud Native*. Mayo de 2023. URL: <https://amperecomputing.com/news/ampereone-192-cores> (visitado 03-09-2025) (véase página 36).
- [92] NVIDIA. *NVIDIA GH200 Grace Hopper Superchip*. 2023. URL: <https://www.nvidia.com/en-us/data-center/grace-hopper-superchip/> (visitado 03-09-2025) (véase página 36).
- [93] Google Cloud. *Cloud TPU v5p — Scaling Generative AI Training*. Dic. de 2023. URL: <https://cloud.google.com/blog/products/ai-machine-learning/announcing-cloud-tpu-v5p> (visitado 03-09-2025) (véase página 36).
- [94] Microsoft. *Microsoft Ignite 2023/2024 Book of News (Azure Cobalt 100 & Maia 100)*. Incluye el recap de Cobalt 100 y Maia. Nov. de 2024. URL: <https://news.microsoft.com/ignite-2024-book-of-news/> (visitado 03-09-2025) (véase página 36).
- [95] Intel Corporation. *Intel Core Ultra Processors — Press Kit (Dec 14, 2023)*. Dic. de 2023. URL: <https://download.intel.com/newsroom/archive/2025/en-us-2023-12-14-intel-core-ultra-processors.pdf> (visitado 03-09-2025) (véase página 36).
- [96] Intel Corporation. *Intel Core Ultra 200S Series Desktop Processors Launch*. Oct. de 2024. URL: <https://newsroom.intel.com/client-computing/core-ultra-200s-series-desktop> (visitado 03-09-2025) (véase página 36).
- [97] Intel Corporation. *Intel Core Ultra 200V Client Processors*. Dic. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-core-ultra-200v.html> (visitado 03-09-2025) (véase página 36).
- [98] Intel Corporation. *Intel Lunar Lake to Power Copilot+ PCs in Q3 2024*. Mayo de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/lunar-lake-copilot-plus-pc.html> (visitado 03-09-2025) (véase página 36).
- [99] Intel Corporation. *Intel Xeon 6 Processors with E-Cores (Sierra Forest) Now Available*. Jun. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/xeon-6-sierra-forest-now-available.html> (visitado 03-09-2025) (véase página 36).
- [100] Intel Corporation. *Intel Xeon 6 Processors with P-Cores (Granite Rapids) Extend Performance Leadership*. Dic. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/xeon-6-p-cores.html> (visitado 03-09-2025) (véase página 36).
- [101] AMD. *AMD Announces Ryzen 9000 Series Desktop Processors (Zen 5)*. Jun. de 2024. URL: <https://www.amd.com/en/newsroom/press-releases/2024-06-03-amd-announces-ryzen-9000-desktop-processors.html> (visitado 03-09-2025) (véase página 36).

-
- [102] Apple Inc. *Apple Unveils M4*. Mayo de 2024. URL: <https://www.apple.com/newsroom/2024/05/apple-unveils-m4/> (visitado 03-09-2025) (véase página 36).
 - [103] NVIDIA. *NVIDIA Unveils GB200 Grace Blackwell Platform and NVL72 Systems*. Mar. de 2024. URL: <https://nvidianews.nvidia.com/news/nvidia-introduces-blackwell-platform> (visitado 03-09-2025) (véase página 37).
 - [104] Qualcomm. *Introducing Snapdragon X Elite*. Oct. de 2023. URL: <https://www.qualcomm.com/news/onq/2023/10/introducing-snapdragon-x-elite> (visitado 03-09-2025) (véase página 37).
 - [105] Qualcomm. *Snapdragon X Plus Joins the Snapdragon X Series for Copilot+ PCs*. Abr. de 2024. URL: <https://www.qualcomm.com/news/onq/2024/04/snapdragon-x-plus-joins-the-snapdragon-x-series> (visitado 03-09-2025) (véase página 37).
 - [106] AMD. *5th Gen AMD EPYC 9005 Series Processors Launch*. Oct. de 2024. URL: <https://www.amd.com/en/newsroom/press-releases/2024-10-10-amd-launches-5th-gen-amd-epyc-cpus-maintaining-le.html> (visitado 03-09-2025) (véase página 37).
 - [107] Intel Corporation. *Intel at CES 2025: Core Ultra 200 Series Expands AI PC Portfolio*. Ene. de 2025. URL: <https://www.intel.com/content/www/us/en/newsroom/news/ces-2025-core-ultra-200.html> (visitado 03-09-2025) (véase página 37).
 - [108] Google Cloud. *Introducing Axion Processors: Google's First Custom Arm-Based CPUs for the Data Center*. Mar. de 2024. URL: <https://cloud.google.com/blog/products/compute/introducing-axion-processors> (visitado 03-09-2025) (véase página 37).
 - [109] T. Hardware. *Intel Confirms Nova Lake Client CPUs Targeting Late 2026*. Cita declaraciones del CFO de Intel. Feb. de 2025. URL: <https://www.tomshardware.com/pc-components/cpus/intel-nova-lake-cpus-coming-in-late-2026> (visitado 03-09-2025) (véase página 37).
 - [110] P. Gamer. *Intel Acknowledges Arrow Lake Fell Short and Eyes Nova Lake in 2026*. Feb. de 2025. URL: <https://www.pcgamer.com/hardware/cpus/intel-admits-arrow-lake-didnt-deliver-and-looks-to-nova-lake-in-2026> (visitado 03-09-2025) (véase página 37).



3. Unidad Central de Procesamiento (CPU)



4. Unidad Central de Procesamiento (CPU)



5. Unidad Central de Procesamiento (CPU)



6. Unidad Central de Procesamiento (CPU)



7. Unidad Central de Procesamiento (CPU)

%subsectionSingle Line

Bibliography

- [1] J. L. Hennessy y D. A. Patterson. *Computer Architecture: A Quantitative Approach*. 6.^a edición. Burlington, MA: Morgan Kaufmann, 2019. ISBN: 9780128119051 (véanse páginas 17, 18, 20, 21, 25, 28-35).
- [2] W. Stallings. *Computer Organization and Architecture*. 11.^a edición. London: Pearson, 2020. ISBN: 9780136502139 (véanse páginas 17, 21, 28, 30, 31, 34, 35).
- [3] K. Asanovic et al. *The Landscape of Parallel Computing Research: A View from Berkeley*. Informe técnico UCB/EECS-2006-183. EECS Department, University of California, Berkeley, 2006. URL: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2006/EECS-2006-183.pdf> (véanse páginas 17, 19, 25, 29, 32, 33, 35).
- [4] P. J. Denning. «The Working Set Model for Program Behavior». En: *Communications of the ACM* 11.5 (1968), páginas 323-333. DOI: [10.1145/363095.363141](https://doi.org/10.1145/363095.363141) (véanse páginas 17, 18, 21, 32).
- [5] M. A. Nielsen e I. L. Chuang. *Quantum Computation and Quantum Information*. 10th Anniversary. Cambridge: Cambridge University Press, 2010. ISBN: 9781107002173 (véanse páginas 17, 20, 21, 37, 38).
- [6] N. P. Jouppi et al. «In-Datacenter Performance Analysis of a Tensor Processing Unit». En: *Proceedings of the 44th Annual International Symposium on Computer Architecture (ISCA)*. First public technical description of Google's TPU v1, including architecture, matrix multiply unit, systolic array design, and datacenter benchmarks. Toronto, ON, Canada: ACM, jun. de 2017, páginas 1-12. ISBN: 978-1-4503-4892-8. DOI: [10.1145/3079856.3080246](https://doi.org/10.1145/3079856.3080246) (véanse páginas 17, 19, 29, 31, 37).
- [7] S. Han, H. Mao y W. J. Dally. «Deep Compression: Compressing Deep Neural Networks with Pruning, Trained Quantization and Huffman Coding». En: *Proceedings of the International Conference on Learning Representations (ICLR)*. 2016. DOI: [10.48550/arXiv.1510.00149](https://doi.org/10.48550/arXiv.1510.00149) (véanse páginas 17, 19, 29, 31, 37).
- [8] Arm Limited. *Arm® Architecture Reference Manual, Armv8-A Profile. For Armv8-A architecture profile*. DDI0487L.b. Reference Manual. Versión Issue L.b. Covers the Armv8-A architecture profile, including AArch32 and AArch64 states, system registers, exception model, memory model, and instruction sets. Arm Limited. Sep. de 2023. URL: <https://developer.arm.com/documentation/ddi0487/latest> (visitado 05-03-2025) (véanse páginas 17, 28, 32, 33, 35).
- [9] NVIDIA Corporation. *CUDA C Programming Guide*. 12.4. Programming Guide. Official CUDA C Programming Guide. Includes references to GPU Architecture Whitepapers such as Volta, Ampere, and Hopper. NVIDIA Corporation. 2023. URL: https://docs.nvidia.com/cuda/pdf/CUDA_C_Programming_Guide.pdf (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).
- [10] Advanced Micro Devices, Inc. (AMD). *ROCm Documentation. Radeon Open Compute Platform*. Versión Latest. Official documentation of the ROCm software stack, covering drivers, HIP runtime, math libraries, tools (rocProfiler, rocTracer), and GPUOpen architecture notes for CDNA and RDNA GPUs. AMD ROCm Team. 2025. URL: <https://rocm.docs.amd.com/en/latest/> (visitado 05-03-2025) (véanse páginas 19-21, 29-31, 33, 37).

- [11] M. Wagh y R. Sodke. *Compute Express Link™ 2.0 Specification: Memory Pooling*. Presentation on CXL 2.0 memory expansion and pooling, including Fabric Manager API and topologies. CXL Consortium. 2021. URL: <https://www.computeexpresslink.org/> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).
- [12] *Compute Express Link™ (CXL) Specification*. Specification. Versión Revision 3.2, Version 1.0. Official specification of the CXL Consortium, defining architecture, protocol layers, coherency models, memory pooling, switching fabric, and advanced interconnect capabilities. Evaluation Copy. CXL Consortium. Oct. de 2024. URL: <https://www.computeexpresslink.org/specifications> (visitado 05-03-2025) (véanse páginas 19, 21, 25, 29, 30, 33, 37).
- [13] M. Davies et al. «Advancing Neuromorphic Computing With Loihi: A Survey of Results and Outlook». En: *Proceedings of the IEEE* 109.5 (mayo de 2021). Comprehensive survey on Intel's Loihi neuromorphic chip, covering NoC architectures, spiking models, on-chip learning and roadmap, páginas 911-934. DOI: [10.1109/JPROC.2021.3067593](https://doi.org/10.1109/JPROC.2021.3067593) (véanse páginas 20, 37).
- [14] M. Davies et al. «Loihi: A Neuromorphic Manycore Processor with On-Chip Learning». En: *IEEE Micro* 38.1 (ene. de 2018). Feature article on neuromorphic computing. Introduces Loihi, a 60-mm² Intel 14-nm neuromorphic processor with on-chip learning, spiking neural network support, and programmable synaptic rules, páginas 82-99. ISSN: 1937-4143. DOI: [10.1109/MM.2018.112130359](https://doi.org/10.1109/MM.2018.112130359) (véanse páginas 20, 21, 37, 38).
- [15] Intel Corporation. *Intel® 64 and IA-32 Architectures Software Developer's Manuals*. Versión 088. Includes Architecture, System Programming, and Instruction Set Reference manuals; version 088 of Vols. 1–3, and version 050 of Optimization Reference Manuals. 2025. URL: <https://www.intel.com/content/www/us/en/developer/articles/technical/intel-sdm.html> (visitado 05-03-2025) (véanse páginas 25, 30, 31, 33, 35).
- [16] A. M. Volk, P. A. Stoll y P. Metrovich. «Recollections of Early Chip Development at Intel». En: *Intel Technology Journal* (ene. de 2001). [En línea; acceso: 6 septiembre 2025]. URL: <https://www.intel.com/content/dam/www/public/us/en/documents/research/2001-vol05-iss-1-intel-technology-journal.pdf> (véanse páginas 26, 27).
- [17] J. L. Hennessy y D. A. Patterson. «A New Golden Age for Computer Architecture». En: *Communications of the ACM* 62.2 (2019), páginas 48-60. DOI: [10.1145/3282307](https://doi.org/10.1145/3282307) (véanse páginas 26, 27).
- [18] S. Mazor. «Intel 8080 CPU Chip Development». En: *IEEE Annals of the History of Computing* 29.2 (2007), páginas 70-73. DOI: [10.1109/MAHC.2007.25](https://doi.org/10.1109/MAHC.2007.25) (véanse páginas 26, 27).
- [19] IEEE Spectrum. «Chip Hall of Fame: Motorola MC68000 Microprocessor». En: *IEEE Spectrum* (jun. de 2017). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/chip-hall-of-fame-motorola-mc68000-microprocessor> (véanse páginas 26, 27).
- [20] S. Cass. «Q&A With Co-Creator of the 6502 Processor». En: *IEEE Spectrum* (sep. de 2021). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/q-a-with-co-creator-of-the-6502-processor> (véanse páginas 26, 27).
- [21] D. Preethichandra. «Z80 — The 1970s Microprocessor Still Alive». En: *IEEE Micro* 41.6 (2021), páginas 156-157. DOI: [10.1109/MM.2021.3115609](https://doi.org/10.1109/MM.2021.3115609) (véase página 27).

- [22] I. Online. «History of Microprocessor and 8085 – Introduction». En: *IDC Online* (2014). [En línea; acceso: 6 septiembre 2025]. URL: https://www.idc-online.com/technical_references/pdfs/electronic_engineering/History_Of_Microprocessor_And_8085_Introduction.pdf (véase página 27).
- [23] IEEE Spectrum. «Chip Hall of Fame: MOS Technology 6502 Microprocessor». En: *IEEE Spectrum* (jun. de 2017). [En línea; acceso: 6 septiembre 2025]. URL: <https://spectrum.ieee.org/chip-hall-of-fame-mos-technology-6502-microprocessor> (véase página 27).
- [24] I. H. Witten. «An Introduction to the Architecture of the Intel iAPX 432». En: *Software & Microsystems* 2.2 (1983), páginas 121-132. DOI: [10.1049/sm.1983.0013](https://doi.org/10.1049/sm.1983.0013) (véase página 27).
- [25] K. C. Kahn et al. «iMAX: A Multiprocessor Operating System for an Object-Based Microcomputer». En: *ACM SIGOPS Operating Systems Review* 15.5 (1981), páginas 26-32. DOI: [10.1145/1067627.806601](https://doi.org/10.1145/1067627.806601) (véase página 27).
- [26] F. J. Pollack et al. «The iMAX-432 Object Filing System». En: *ACM SIGOPS Operating Systems Review* 15.5 (1981), páginas 137-147. DOI: [10.1145/1067627.806602](https://doi.org/10.1145/1067627.806602) (véase página 27).
- [27] S. Bal et al. «The NS16000 Family—Advances in Architecture and Hardware». En: *Computer* 15.6 (1982), páginas 58-67. DOI: [10.1109/MC.1982.1654051](https://doi.org/10.1109/MC.1982.1654051) (véase página 28).
- [28] T. C. Cooper et al. «A Benchmark Comparison of 32-bit Microprocessors». En: *IEEE Micro* 6.4 (1986), páginas 53-58. DOI: [10.1109/MM.1986.304780](https://doi.org/10.1109/MM.1986.304780) (véase página 28).
- [29] W. C. Rhines. «The Texas Instruments 99/4: World's First 16-Bit Home Computer». En: *IEEE Spectrum* (jun. de 2017). Artículo histórico; revista técnica. URL: <https://spectrum.ieee.org/the-texas-instruments-994-worlds-first-16bit-computer> (véase página 28).
- [30] IEEE Spectrum. «Chip Hall of Fame: Texas Instruments TMS9900». En: *IEEE Spectrum* (jun. de 2017). Artículo histórico; revista técnica. URL: <https://spectrum.ieee.org/chip-hall-of-fame-texas-instruments-tms9900> (véase página 28).
- [31] Texas Instruments Incorporate. *TMS 9900 Family System Development Manual*. Manual técnico del fabricante. Texas Instruments. 1977. URL: https://bitsavers.computerhistory.org/components/ti/TMS9900/MP702_TMS9900_Family_System_Development_Manual_1977.pdf (véase página 28).
- [32] C. G. Bell et al. «A New Architecture for Mini-Computers: The DEC PDP-11». En: *Proceedings of the Spring Joint Computer Conference (AFIPS SJCC)*. New York, NY, USA: Association for Computing Machinery, 1970, páginas 657-675. ISBN: 9781450379038. DOI: [10.1145/1476936.1477037](https://doi.org/10.1145/1476936.1477037) (véase página 28).
- [33] C. G. Bell y W. D. Strecker. *What Have We Learned from the PDP-11?* Reimpresión del trabajo original de 1975. 1976. DOI: [10.1145/633617.803541](https://doi.org/10.1145/633617.803541) (véase página 28).
- [34] R. M. Tomasulo. «An Efficient Algorithm for Exploiting Multiple Arithmetic Units». En: *IBM Journal of Research and Development* 11.1 (1967), páginas 25-33. DOI: [10.1147/rd.111.0025](https://doi.org/10.1147/rd.111.0025) (véanse páginas 29, 30).
- [35] A. Seznec. «The L-TAGE Branch Predictor». En: *Journal of Instruction-Level Parallelism (JILP)* 9 (oct. de 2007). Available online: JILP, Vol. 9, October 2007, páginas 1-20. URL: <https://jilp.org/vol9/v9paper3.pdf> (véanse páginas 29, 30).

- [36] IEEE Standards Association. *IEEE Standard for Floating-Point Arithmetic*. Inglés. Standard. Versión Revision of IEEE 754-2008. Replaces IEEE 754-2008 and IEEE 854-1987. IEEE, jul. de 2019. DOI: [10.1109/IEEESTD.2019.8766229](https://doi.org/10.1109/IEEESTD.2019.8766229). (Visitado 06-03-2025) (véase página 31).
- [37] Arm Limited. *Arm® Architecture Reference Manual Supplement: Scalable Vector Extension (SVE and SVE2) Instructions*. DDI0602. Architecture Supplement. Defines the Scalable Vector Extension (SVE) and SVE2 instruction sets for the Armv8-A architecture profile, including vector-length agnostic programming model. Arm Limited. Jun. de 2025. URL: <https://developer.arm.com/documentation/ddi0602/2025-06/SVE-Instructions> (visitado 05-03-2025) (véanse páginas 31, 32).
- [38] RISC-V International. *The RISC-V Instruction Set Manual. Volume I: Unprivileged ISA (Version 2.2 and later) and Volume II: Privileged Architecture (Version 1.12+)*. Specification. Defines the RISC-V unprivileged and privileged instruction set architectures. Volume I, Unprivileged ISA v2.2 (2019) and subsequent drafts; Volume II, Privileged Architecture v1.12 (2021). RISC-V International. 2021. URL: <https://riscv.org/technical/specifications/> (visitado 05-03-2025) (véanse páginas 31-33, 35).
- [39] P. Gupta y S. Mittal. «Miss Penalty Aware Cache Replacement for Hybrid Memory Systems». En: *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 39.11 (2020). Covers cache hierarchy design, line size, replacement policies, and miss penalty in hybrid memory systems, páginas 3804-3817. DOI: [10.1109/TCAD.2020.3003232](https://doi.org/10.1109/TCAD.2020.3003232) (véase página 32).
- [40] N. P. Jouppi. «Improving Direct-Mapped Cache Performance by the Addition of a Small Fully-Associative Cache and Prefetch Buffers». En: *Proceedings of the 17th Annual International Symposium on Computer Architecture (ISCA)*. Seattle, WA, USA: ACM, 1990, páginas 364-373. DOI: [10.1145/325164.325162](https://doi.org/10.1145/325164.325162) (véase página 32).
- [41] Smithsonian National Museum of American History. *Intel 4004 Microprocessor*. Catalog ID: NMAH.713495, Part of the Smithsonian Institution Collections. 2011. URL: https://americanhistory.si.edu/collections/nmah_713495 (visitado 03-09-2025) (véase página 33).
- [42] Intel Corporation. *The Intel 4004 Microprocessor*. Intel Virtual Vault: Articles on the History of Computing. 2021. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-intel-4004.html> (visitado 03-09-2025) (véase página 33).
- [43] Intel Corporation. *The Intel 8008 Microprocessor*. Intel Virtual Vault: Articles on the History of Computing. 2021. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-8008.html> (visitado 03-09-2025) (véase página 33).
- [44] Wikipedia contributors. *Intel 8008*. https://en.wikipedia.org/wiki/Intel_8008. Accessed: 2025-09-03. 2025 (véase página 33).
- [45] Wikipedia contributors. *S-100 bus*. https://en.wikipedia.org/wiki/S-100_bus. Accessed: 2025-09-03. 2025 (véase página 33).
- [46] T. Long. *Dec. 19, 1974: Altair 8800 Kits Go on Sale, Igniting the PC Revolution*. Wired Magazine, This Day in Tech series. Dic. de 2008. URL: <https://www.wired.com/2008/12/dec-19-1974-altair-8800-kits-go-on-sale> (visitado 03-09-2025) (véase página 33).
- [47] Wikipedia contributors. *MOS Technology 6502*. https://en.wikipedia.org/wiki/MOS_Technology_6502. Accessed: 2025-09-03. 2025 (véase página 33).

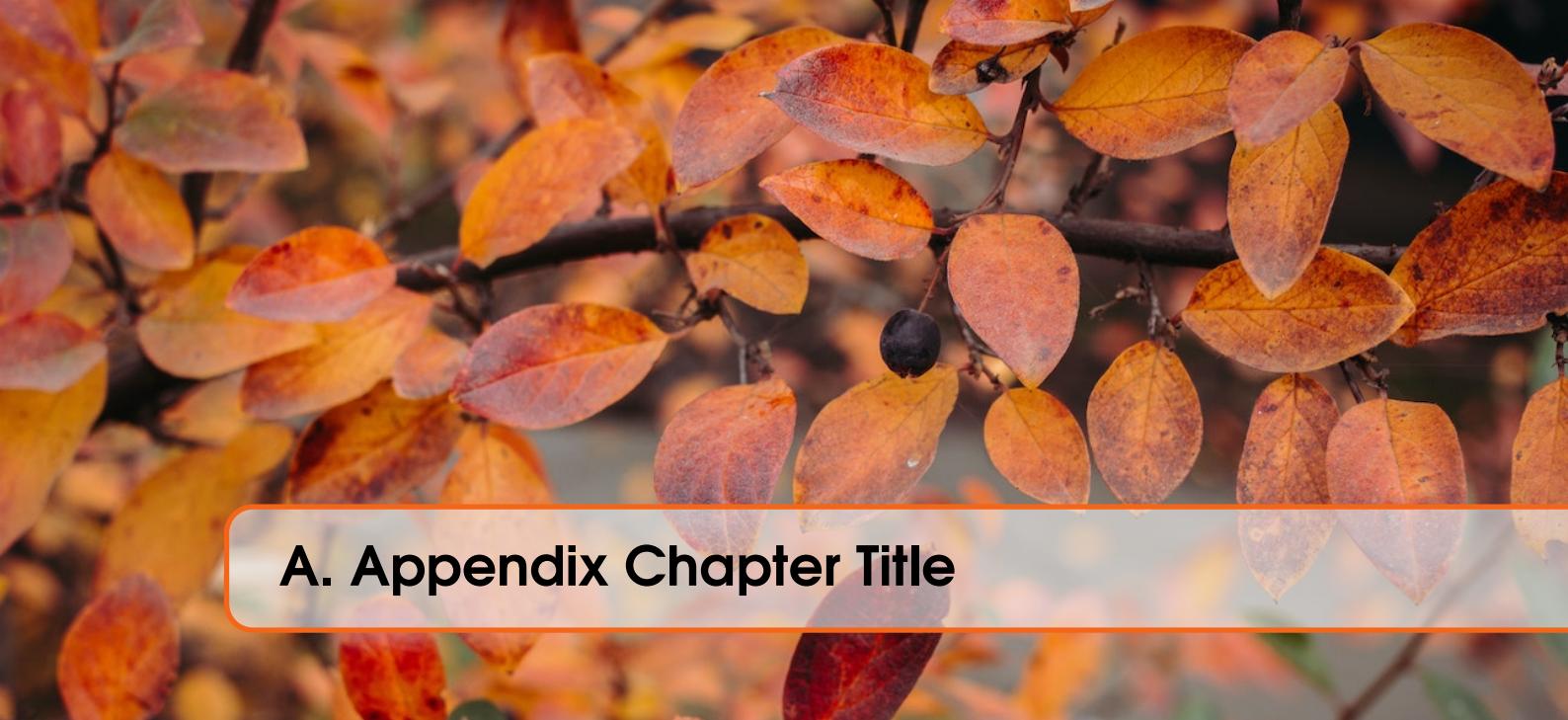
- [48] S. Walls. *A History of Early Microprocessors: The MOS Technology 6502*. EmbeddedRelated.com. 2020. URL: <https://www.embeddedrelated.com/showarticle/1453.php> (visitado 03-09-2025) (véase página 33).
- [49] Zilog, Inc. *Z80 CPU User Manual*. UM0080, Revision 08. Zilog official documentation. 2016. URL: <https://www.zilog.com/docs/z80/um0080.pdf> (visitado 03-09-2025) (véase página 33).
- [50] Zilog, Inc. *ZZ80 Family CPU User Manual*. Revision 04. Zilog official documentation. 2004. URL: https://www.zilog.com/docs/z80/z80cpu_um.pdf (visitado 03-09-2025) (véase página 33).
- [51] Wikipedia contributors. *Zilog Z80*. https://en.wikipedia.org/wiki/Zilog_Z80. Accessed: 2025-09-03. 2025 (véase página 33).
- [52] Intel Corporation. *The 8086 and the IBM PC*. Intel Virtual Vault article. 2023. URL: <https://www.intel.com/content/www/us/en/history/virtual-vault/articles/the-8086-and-the-ibm-pc.html> (visitado 03-09-2025) (véase página 33).
- [53] Wikipedia contributors. *Intel 8086*. https://en.wikipedia.org/wiki/Intel_8086. Accessed: 2025-09-03. 2025 (véase página 33).
- [54] *Intel 80386 Programmer's Reference Manual*. Mirror MIT PDOS. © Intel Corporation 1987 (CG-5/26/87). Edited 2001-02-01 by G. N. Intel Corporation. Santa Clara, CA, 1986. URL: <https://pdos.csail.mit.edu/6.828/2018/readings/i386.pdf> (visitado 03-09-2025) (véanse páginas 33, 34).
- [55] Wikipedia contributors. *Protected mode — Wikipedia, The Free Encyclopedia*. https://en.wikipedia.org/wiki/Protected_mode. Page version ID: 1244778650, Accessed: 2025-09-03. 2025 (véase página 33).
- [56] Motorola Inc. *MC68000 16-/32-Bit Microprocessor User's Manual*. Third Edition. Comprehensive reference manual for the Motorola 68000 microprocessor. NXP Semiconductors. 1992. URL: <https://www.nxp.com/docs/en/reference-manual/MC68000UM.pdf> (visitado 03-09-2025) (véase página 34).
- [57] Intel Corporation. *80386 Hardware Reference Manual*. Official Intel reference manual for the 80386 microprocessor hardware implementation. Intel Corporation, 1986. URL: https://www.dosdays.co.uk/media/intel/1986_80386_Hardware_Reference_Manual.pdf (visitado 03-09-2025) (véase página 34).
- [58] Oracle Corporation. *SPARC Architecture: Register Windows Overview*. Oracle documentation explaining the SPARC register window mechanism and architecture overview. 2004. URL: <https://docs.oracle.com/cd/E19253-01/816-4854/hwovr-5/index.html> (visitado 03-09-2025) (véase página 34).
- [59] G. Kane y J. Heinrich. «MIPS R4000 Microprocessor User's Manual». En: *IEEE Micro* 12.3 (1992). Original IEEE Micro publication describing the MIPS R4000 architecture and design., páginas 10-22. DOI: [10.1109/40.137383](https://doi.org/10.1109/40.137383). URL: <https://people.eecs.berkeley.edu/~kubitron/courses/cs252-S07/handouts/papers/R4000.pdf> (véase página 34).
- [60] Digital Equipment Corporation. *Alpha 21264 Microprocessor (EV6) Hardware Reference Manual*. Compaq/Digital official documentation of the Alpha 21264 (EV6) microarchitecture, covering pipeline, memory hierarchy, and system interface. 1999. URL: https://download.majix.org/dec/21264ev6_hrm.pdf (véase página 34).
- [61] Wikipedia contributors. *Alpha 21264*. Accessed: 2025-09-03. 2025. URL: https://en.wikipedia.org/wiki/Alpha_21264 (véase página 34).

- [62] Intel Corporation. *P6 Family of Processors Hardware Developer's Manual*. 244001-001. Covers architecture, programming environment, and hardware interface of the P6 family, including Pentium Pro and Pentium II processors. Santa Clara, CA, 1996. URL: <https://download.intel.com/design/PentiumII/manuals/24400101.pdf> (véase página 34).
- [63] ARM Limited. *ARM7TDMI Technical Reference Manual*. DDI 0029E. Reference Manual. Versión Revision r3p1. Covers the ARM7TDMI core architecture, instruction set, debug features and interface specifications. Cambridge, UK, 1996, páginas 1-336. URL: <https://documentation-service.arm.com/static/5e8e1323fd977155116a3129> (véase página 34).
- [64] Arm Limited. *ARM7TDMI-S Technical Reference Manual*. Technical Reference Manual. Reference Number: DDI 0234, Issue I. Arm Limited. Cambridge, UK, abr. de 2001. URL: <https://documentation-service.arm.com/static/5e8e13a9fd977155116a3368> (véase página 34).
- [65] D. A. Dunn y W.-C. Hsu. «Instruction scheduling for the HP PA-8000». En: *Proceedings of the 29th Annual ACM/IEEE International Symposium on Microarchitecture*. MICRO 29. Paris, France: IEEE Computer Society, 1996, páginas 298-307. ISBN: 0818676418 (véase página 34).
- [66] Wikipedia contributors. *PA-8000 — Wikipedia, The Free Encyclopedia*. <https://en.wikipedia.org/wiki/PA-8000>. Accessed: 2025-09-03. 2025 (véase página 34).
- [67] Advanced Micro Devices, Inc. *AMD 3DNow!™ Technology Manual*. Publication #21928. Versión Rev. 1.0. Archived technical documentation. Mayo de 1999. URL: <https://www.amd.com/content/dam/amd/en/documents/archived-tech-docs/programmer-references/21928.pdf> (véase página 34).
- [68] Wikipedia contributors. *3DNow!* <https://en.wikipedia.org/wiki/3DNow!>. Última edición: 5 de marzo de 2025, consultado el 5 de marzo de 2025. 2025 (véase página 34).
- [69] Wikipedia contributors. *Athlon*. <https://en.wikipedia.org/wiki/Athlon>. Última edición: 5 de marzo de 2025, consultado el 5 de marzo de 2025. 2025 (véase página 34).
- [70] S. Naffziger et al. «AMD “Zen 3”: The Next Generation x86 Core». En: *2020 IEEE Hot Chips 32 Symposium (HCS)*. Describes the Zen 3 core microarchitecture as used in AMD Ryzen 5000 series, with unified CCX per CCD and significant IPC improvements. Palo Alto, CA, USA: IEEE, 2020, páginas 1-32. DOI: [10.1109/HCS49909.2020.9220538](https://doi.org/10.1109/HCS49909.2020.9220538). URL: <https://ieeexplore.ieee.org/document/9220538> (véase página 35).
- [71] Apple Inc. *Apple Unveils M1, the Most Powerful Chip Apple Has Ever Created*. Nov. de 2020. URL: <https://www.apple.com/newsroom/2020/11/apple-unleashes-m1/> (visitado 03-09-2025) (véase página 35).
- [72] Ampere Computing. *Ampere Unveils 80-Core Altra Processor for Cloud Workloads*. Mar. de 2020. URL: <https://amperecomputing.com/news/ampere-altra-80-core> (visitado 03-09-2025) (véase página 35).
- [73] Intel Corporation. *10th Generation Intel Core Processors Datasheet (Comet Lake)*. 2022. URL: <https://cdrdv2-public.intel.com/615211/615211-008.pdf> (visitado 03-09-2025) (véase página 35).
- [74] RIKEN y Fujitsu. *Fugaku Takes First Place in TOP500, HPCG, HPL-AI, and Graph500 Rankings*. Jun. de 2020. URL: https://www.riken.jp/en/news_pubs/news/2020/20200623_1/index.html (visitado 03-09-2025) (véase página 35).

- [75] Intel Corporation. *Intel 11th Gen Core (Rocket Lake-S) Desktop Processors Launch*. Mar. de 2021. URL: <https://www.intel.com/content/www/us/en/support/articles/000099655/processors.html> (visitado 03-09-2025) (véase página 35).
- [76] Intel Corporation. *Intel Launches 12th Gen Core (Alder Lake) with Performance Hybrid Architecture*. Oct. de 2021. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-12th-gen-core.html> (visitado 03-09-2025) (véase página 35).
- [77] Arm Editorial Team. *Neoverse V1: A New Approach to HPC*. Introduces Neoverse V1 with SVE for HPC/ML workloads, 50% IPC uplift over N1. Jun. de 2021. URL: <https://newsroom.arm.com/blog/neoverse-v1> (visitado 03-09-2025) (véase página 35).
- [78] M. Taneja. *Arm Neoverse N2 Platform: Industry-leading performance and power efficiency for Cloud-to-Edge infrastructure*. Describes Arm Neoverse N2 with SVE2, 40% IPC uplift, and focus on cloud-to-edge scale-out. Abr. de 2021. URL: <https://community.arm.com/arm-community-blogs/b/architectures-and-processors-blog/posts/arm-neoverse-n2-industry-leading-performance-efficiency> (visitado 03-09-2025) (véase página 35).
- [79] A. E. Team. *Neoverse V1 Performance Analysis Methodology White Paper*. Performance analysis methodology and PMU events for Neoverse V1, including SVE and vector-matrix support. Jun. de 2021. URL: <https://community.arm.com/arm-community-blogs/b/servers-and-cloud-computing-blog/posts/arm-neoverse-v1-top-down-methodology> (visitado 03-09-2025) (véase página 35).
- [80] WikiChip contributors. *Neoverse V1 (codename Zeus) Microarchitecture*. Detailed technical overview of Neoverse V1 microarchitecture (ISA, pipeline, SVE, performance improvements). 2022. (Visitado 03-09-2025) (véase página 35).
- [81] WikiChip contributors. *Neoverse N2 (codename Perseus) Microarchitecture*. Detailed technical overview of Neoverse N2 microarchitecture (ISA ARMv9-A, SVE2, pipeline, uop cache, BTB, etc.) 2025. (Visitado 03-09-2025) (véase página 35).
- [82] IBM. *IBM Introduces the Power E1080 Server, the First Based on IBM Power10*. Sep. de 2021. URL: <https://newsroom.ibm.com/2021-09-08-IBM-Unveils-the-IBM-Power-E1080> (visitado 03-09-2025) (véase página 36).
- [83] Wikipedia contributors. *Loongson 3A5000*. Consulted for release and ISA transition context. 2024. URL: <https://en.wikipedia.org/wiki/Loongson#3A5000> (visitado 03-09-2025) (véase página 36).
- [84] AMD. *AMD Announces Ryzen 7000 Series Desktop Processors*. Ago. de 2022. URL: <https://www.amd.com/en/press-releases/2022-08-29-amd-announces-ryzen-7000-desktop-cpus> (visitado 03-09-2025) (véase página 36).
- [85] Intel Corporation. *Intel Launches 13th Gen Core (Raptor Lake) Desktop Processors*. Sep. de 2022. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-13th-gen-core.html> (visitado 03-09-2025) (véase página 36).
- [86] Apple Inc. *Apple Introduces M2*. Jun. de 2022. URL: <https://www.apple.com/newsroom/2022/06/apple-introduces-m2/> (visitado 03-09-2025) (véase página 36).
- [87] AWS News Blog. *Now Available — Amazon EC2 C7g Instances Powered by AWS Graviton3*. Mayo de 2022. URL: <https://aws.amazon.com/blogs/aws/new-graviton3-based-amazon-ec2-c7g-instances/> (visitado 03-09-2025) (véase página 36).
- [88] NVIDIA. *NVIDIA Grace CPU Superchip*. 2022. URL: <https://www.nvidia.com/en-us/data-center/grace-cpu/> (visitado 03-09-2025) (véase página 36).

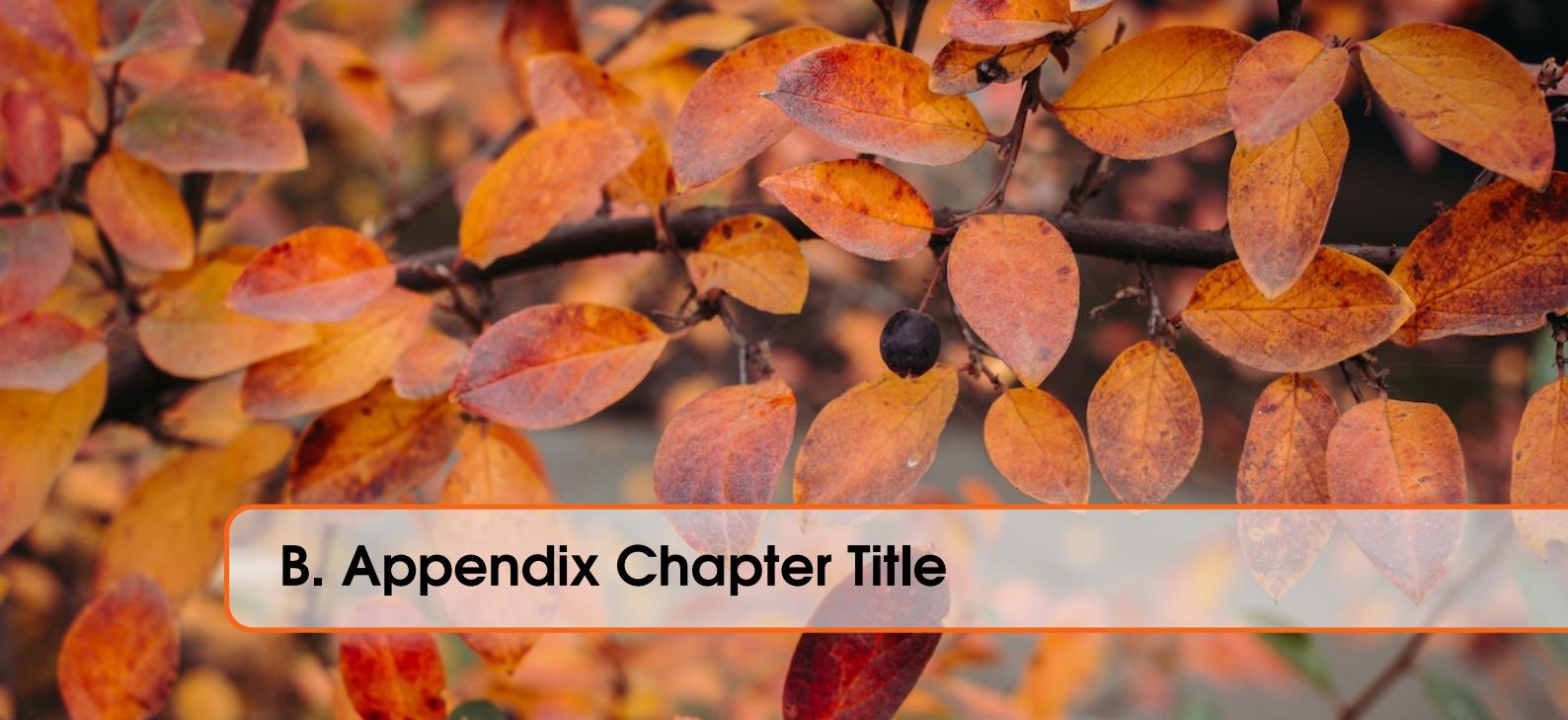
- [89] Apple Inc. *Apple Unveils M3, M3 Pro, and M3 Max*. Oct. de 2023. URL: <https://www.apple.com/newsroom/2023/10/apple-unveils-m3-m3-pro-and-m3-max/> (visitado 03-09-2025) (véase página 36).
- [90] Intel Corporation. *Intel Introduces 14th Gen Core Desktop Processors (Raptor Lake Refresh)*. Oct. de 2023. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-core-14th-gen-desktop.html> (visitado 03-09-2025) (véase página 36).
- [91] Ampere Computing. *AmpereOne: Up to 192 Cores for Cloud Native*. Mayo de 2023. URL: <https://amperecomputing.com/news/ampereone-192-cores> (visitado 03-09-2025) (véase página 36).
- [92] NVIDIA. *NVIDIA GH200 Grace Hopper Superchip*. 2023. URL: <https://www.nvidia.com/en-us/data-center/grace-hopper-superchip/> (visitado 03-09-2025) (véase página 36).
- [93] Google Cloud. *Cloud TPU v5p — Scaling Generative AI Training*. Dic. de 2023. URL: <https://cloud.google.com/blog/products/ai-machine-learning/announcing-cloud-tpu-v5p> (visitado 03-09-2025) (véase página 36).
- [94] Microsoft. *Microsoft Ignite 2023/2024 Book of News (Azure Cobalt 100 & Maia 100)*. Incluye el recap de Cobalt 100 y Maia. Nov. de 2024. URL: <https://news.microsoft.com/ignite-2024-book-of-news/> (visitado 03-09-2025) (véase página 36).
- [95] Intel Corporation. *Intel Core Ultra Processors — Press Kit (Dec 14, 2023)*. Dic. de 2023. URL: <https://download.intel.com/newsroom/archive/2025/en-us-2023-12-14-intel-core-ultra-processors.pdf> (visitado 03-09-2025) (véase página 36).
- [96] Intel Corporation. *Intel Core Ultra 200S Series Desktop Processors Launch*. Oct. de 2024. URL: <https://newsroom.intel.com/client-computing/core-ultra-200s-series-desktop> (visitado 03-09-2025) (véase página 36).
- [97] Intel Corporation. *Intel Core Ultra 200V Client Processors*. Dic. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/intel-core-ultra-200v.html> (visitado 03-09-2025) (véase página 36).
- [98] Intel Corporation. *Intel Lunar Lake to Power Copilot+ PCs in Q3 2024*. Mayo de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/lunar-lake-copilot-plus-pc.html> (visitado 03-09-2025) (véase página 36).
- [99] Intel Corporation. *Intel Xeon 6 Processors with E-Cores (Sierra Forest) Now Available*. Jun. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/xeon-6-sierra-forest-now-available.html> (visitado 03-09-2025) (véase página 36).
- [100] Intel Corporation. *Intel Xeon 6 Processors with P-Cores (Granite Rapids) Extend Performance Leadership*. Dic. de 2024. URL: <https://www.intel.com/content/www/us/en/newsroom/news/xeon-6-p-cores.html> (visitado 03-09-2025) (véase página 36).
- [101] AMD. *AMD Announces Ryzen 9000 Series Desktop Processors (Zen 5)*. Jun. de 2024. URL: <https://www.amd.com/en/newsroom/press-releases/2024-06-03-amd-announces-ryzen-9000-desktop-processors.html> (visitado 03-09-2025) (véase página 36).
- [102] Apple Inc. *Apple Unveils M4*. Mayo de 2024. URL: <https://www.apple.com/newsroom/2024/05/apple-unveils-m4/> (visitado 03-09-2025) (véase página 36).
- [103] NVIDIA. *NVIDIA Unveils GB200 Grace Blackwell Platform and NVL72 Systems*. Mar. de 2024. URL: <https://nvidianews.nvidia.com/news/nvidia-introduces-blackwell-platform> (visitado 03-09-2025) (véase página 37).

- [104] Qualcomm. *Introducing Snapdragon X Elite*. Oct. de 2023. URL: <https://www.qualcomm.com/news/onq/2023/10/introducing-snapdragon-x-elite> (visitado 03-09-2025) (véase página 37).
- [105] Qualcomm. *Snapdragon X Plus Joins the Snapdragon X Series for Copilot+ PCs*. Abr. de 2024. URL: <https://www.qualcomm.com/news/onq/2024/04/snapdragon-x-plus-joins-the-snapdragon-x-series> (visitado 03-09-2025) (véase página 37).
- [106] AMD. *5th Gen AMD EPYC 9005 Series Processors Launch*. Oct. de 2024. URL: <https://www.amd.com/en/newsroom/press-releases/2024-10-10-amd-launches-5th-gen-amd-epyc-cpus-maintaining-le.html> (visitado 03-09-2025) (véase página 37).
- [107] Intel Corporation. *Intel at CES 2025: Core Ultra 200 Series Expands AI PC Portfolio*. Ene. de 2025. URL: <https://www.intel.com/content/www/us/en/newsroom/news/ces-2025-core-ultra-200.html> (visitado 03-09-2025) (véase página 37).
- [108] Google Cloud. *Introducing Axion Processors: Google's First Custom Arm-Based CPUs for the Data Center*. Mar. de 2024. URL: <https://cloud.google.com/blog/products/compute/introducing-axion-processors> (visitado 03-09-2025) (véase página 37).
- [109] T. Hardware. *Intel Confirms Nova Lake Client CPUs Targeting Late 2026*. Cita declaraciones del CFO de Intel. Feb. de 2025. URL: <https://www.tomshardware.com/pc-components/cpus/intel-nova-lake-cpus-coming-in-late-2026> (visitado 03-09-2025) (véase página 37).
- [110] P. Gamer. *Intel Acknowledges Arrow Lake Fell Short and Eyes Nova Lake in 2026*. Feb. de 2025. URL: <https://www.pcgamer.com/hardware/cpus/intel-admits-arrow-lake-didnt-deliver-and-looks-to-nova-lake-in-2026> (visitado 03-09-2025) (véase página 37).



A. Appendix Chapter Title

A.1 Appendix Section Title



B. Appendix Chapter Title

B.1 Appendix Section Title