



Hi3511/Hi3512 硬件设计

用户指南

文档版本	04
发布日期	2009-03-23
部件编码	N/A

深圳市海思半导体有限公司为客户提供全方位的技术支持，用户可与就近的海思办事处联系，也可直接与公司总部联系。

深圳市海思半导体有限公司

地址：深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址：<http://www.hisilicon.com>

客户服务电话：+86-755-28788858

客户服务传真：+86-755-28357515

客户服务邮箱：support@hisilicon.com

版权所有 © 深圳市海思半导体有限公司 2008～2009。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

秘密

版权所有 © 深圳市海思半导体有限公司



目 录

前 言.....	1
1 小系统外部电路要求	1-1
1.1 Clocking电路	1-2
1.2 复位和Watchdog电路	1-3
1.3 JTAG Debug接口	1-4
1.4 Power Supply电路	1-5
1.5 中断和GPIO管脚.....	1-6
1.5.1 中断.....	1-6
1.5.2 GPIO管脚	1-6
2 原理图和PCB设计建议	2-1
2.1 PCI总线接口	2-2
2.1.1 特点.....	2-2
2.1.2 原理图设计建议.....	2-2
2.2 DDR2 接口	2-5
2.2.1 接口介绍.....	2-5
2.2.2 电路设计建议.....	2-6
2.2.3 器件选型建议.....	2-9
2.3 USB2.0 OTG接口	2-9
2.3.1 接口介绍.....	2-9
2.3.2 典型OTG电路设计	2-9
2.3.3 USB功能单元供电电源设计	2-10
2.3.4 USB保护电路设计建议	2-10
2.4 GPIO接口	2-11
2.5 VI接口	2-11
2.6 PCB设计建议	2-12
2.6.1 Fanout封装设计建议.....	2-12
2.6.2 DDR2 SDRAM接口设计建议	2-15
2.6.3 SMI接口电路设计建议.....	2-20
2.6.4 USB接口电路设计建议	2-22
2.6.5 PCI总线PCB设计建议	2-23



2.6.6 Hi3511/Hi3512 PLL功能单元电路设计建议	2-23
2.6.7 其他.....	2-23
3 硬件设计checklist	3-1
3.1 电源和地	3-2
3.2 系统配置、复位和时钟	3-3
3.3 JTAG	3-4
3.4 存储器.....	3-4
3.5 外围接口	3-4
3.6 PCB	3-5
3.7 单板散热.....	3-6
3.8 其他.....	3-7



插图目录

图 1-1 Hi3511/Hi3512 的时钟管理模块框图	1-2
图 1-2 推荐晶振连接方式及器件参数	1-3
图 1-3 复位和Watchdog典型设计电路	1-3
图 1-4 JTAG连接方式及标准连接器管脚定义	1-5
图 2-1 PCI_CLK参考设计	2-3
图 2-2 Hi3511/Hi3512 典型外接DDR2 SDRAM拓扑结构	2-6
图 2-3 电源分压网络参考设计	2-7
图 2-4 DDR时钟匹配示意图	2-7
图 2-5 数据信号推荐匹配方式	2-8
图 2-6 OTG工作在Host模式时，Type A型USB接口推荐电路	2-10
图 2-7 Hi3511/Hi3512 PIN Fanout参考图	2-13
图 2-8 电源平面层推荐分割示意图	2-14
图 2-9 1.2V电源推荐分割示意图	2-15
图 2-10 数据/数据选通信号线串联匹配结构	2-16
图 2-11 DDR2_ADDR/CTRL在Hi3511/Hi3512 源端串联匹配结构	2-17
图 2-12 DDR2_CLK/DM端匹配结构	2-17
图 2-13 Hi3511/Hi3512 DDR2 布线参考示例图	2-20
图 2-14 SMI_DATA[0:7]外接 1 个负载时的拓扑图	2-21
图 2-15 SMI_ADDR[0:24]外接 1 个负载时的拓扑图	2-21
图 2-16 SMI_DATA[0:7]外接 2 个负载时的拓扑图	2-21
图 2-17 SMI_ADDR[0:24]外接 2 个负载时的拓扑图	2-22



表格目录

表 1-1 JTAG Debug接口信号.....	1-4
表 1-2 TESTMODE0 模式说明.....	1-4
表 1-3 Hi3511/Hi3512 芯片电源需求.....	1-5
表 2-1 Hi3511/Hi3512 DDR2 最大内存地址空间构成.....	2-8
表 2-2 Hi3511 视频VI通道的标准支持情况.....	2-11
表 2-3 Hi3512 视频VI通道的标准支持情况.....	2-12
表 3-1 闲置管脚的推荐处理方式.....	3-7



前 言

概述

本文档主要介绍了小系统外部电路要求、原理图和 PCB 设计建议、硬件设计 checklist 等与硬件设计相关的内容。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3511 H.264 编解码处理器	V100
Hi3512 H.264 编解码处理器	V100

读者对象

本文档主要适用于以下工程师：

- 技术支持工程师
- 客户开发工程师

内容简介

本文档包含 3 章，内容如下。






章节	内容
1 小系统外部电路要求	介绍小系统外部电路要求。
2 原理图和 PCB 设计建议	详细介绍各种接口的设计建议。
3 硬件设计 checklist	介绍硬件设计时需要注意的事项。



约定

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示有高度潜在危险，如果不能避免，会导致人员死亡或严重伤害。
 警告	表示有中度或低度潜在危险，如果不能避免，可能导致人员轻微或中等伤害。
 注意	表示有潜在风险，如果忽视这些文本，可能导致设备损坏、数据丢失、设备性能降低或不可预知的结果。
 窍门	表示能帮助您解决某个问题或节省您的时间。
 说明	表示是正文的附加信息，是对正文的强调和补充。

通用格式约定

格式	说明
宋体	正文采用宋体表示。
黑体	一级、二级、三级标题采用 黑体 。
楷体	警告、提示等内容一律用楷体，并且在内容前后增加线条与正文隔离。
“Terminal Display” 格式	“Terminal Display” 格式表示屏幕输出信息。此外，屏幕输出信息中夹杂的用户从终端输入的信息采用加粗字体表示。
“ ”	用双引号表示文件路径。如 “C:\Program Files\Huawei”。

数值单位约定

数据容量、频率、数据速率等的表达方式说明如下。



类别	符号	对应的数值
数据容量（如 RAM 容量）	1K	1024
	1M	1,048,576
	1G	1,073,741,824
频率、数据速率等	1k	1000
	1M	1,000,000
	1G	1,000,000,000

地址、数据的表达方式说明如下。

符号	举例	说明
0x	0xFE04、0x18	用 16 进制表示的数据值、地址值。
0b	0b000、0b00 00000000	表示 2 进制的数据值以及 2 进制序列（寄存器描述中除外）。
X	00X、1XX	在数据的表达方式中，X 表示 0 或 1。 例如：00X 表示 000 或 001； 1XX 表示 100、101、110 或 111。

管脚、信号的表达方式说明如下。

符号	举例	说明
#	PCI_FRAME#	表示低电平有效，即 $\overline{\text{PCI_FRAME}}$ 。
	PCI_REQ[0:4]#	表示低电平有效，即 $\overline{\text{PCI_REQ0}} \sim \overline{\text{PCI_REQ4}}$ 。

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2009-03-23	04	修改 1.4 Power Supply 电路和 2.3.1 接口介绍中关于不使用 USB2.0 OTG 模块时管脚处理方式的描述。 增加 2.4 GPIO 接口一节，补充 GPIO2_4/URXD1、GPIO2_5/UTXD1、GPIO2_6/URTSN1 和 GPIO2_7/UCTSN1 这 4 个管脚使用时的注意事项。
2008-11-24	03	修改 1.1 Clocking 电路中关于系统时钟组成的描述。 删除 2.5.2.5 时钟环回信号线 DDR2_CVENO/CVENI 信号匹配设计。 2.4 VI 接口中关于 Digital Camera 的特性。 在 3.8 其他中修改描述。
2008-09-26	02	增加 Hi3512 芯片信息。 修改表 1-1 中 TDI、TMS 的描述。 在 3.1 电源和地、3.5 外围接口中各增加一条。 修改 3.8 其他中的描述。 增加闲置管脚的推荐处理方式表。
2008-07-25	01	第 1 次发布。



1 小系统外部电路要求

关于本章

本章描述内容如下表所示。

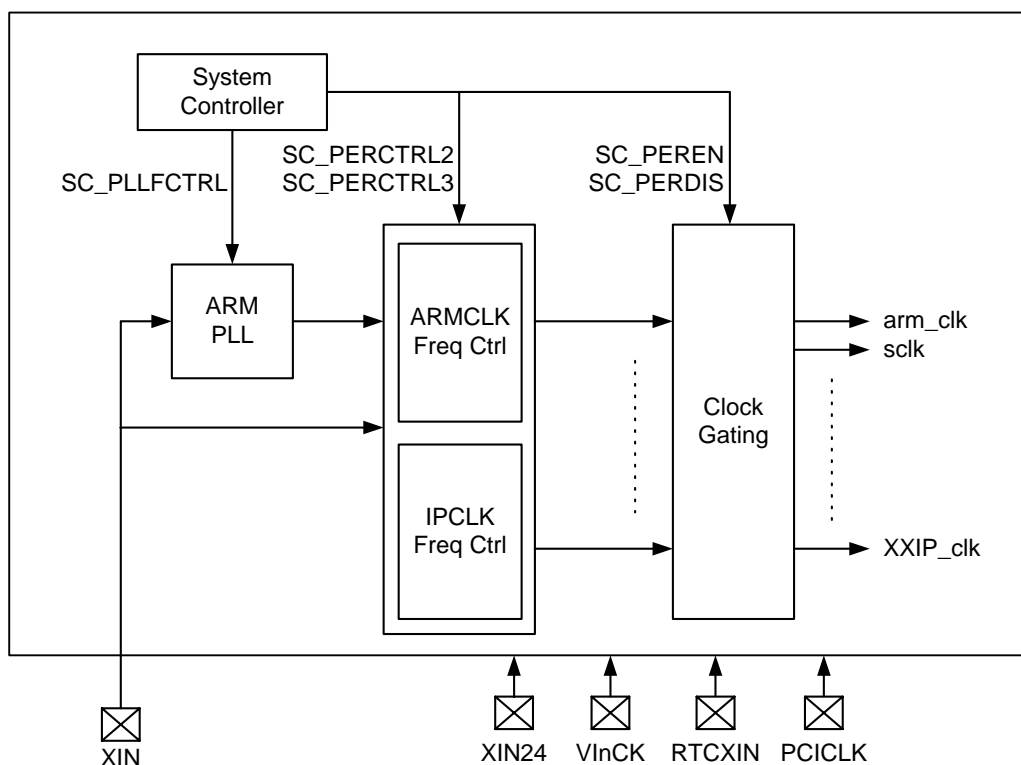
标题	内容
1.1 Clocking 电路	介绍 Clocking 电路要求。
1.2 复位和 Watchdog 电路	介绍复位和 Watchdog 电路。
1.3 JTAG Debug 接口	介绍 JTAG Debug 接口。
1.4 Power Supply 电路	介绍 Power Supply 电路。
1.5 中断和 GPIO 管脚	介绍中断和 GPIO 管脚。



1.1 Clocking 电路

Hi3511/Hi3512 系统时钟从 XIN 管脚输入，供给内部的 PLL 电路，由时钟管理模块产生系统内部所需要的相关时钟。Hi3511/Hi3512 的时钟管理模块框图如图 1-1 所示。

图1-1 Hi3511/Hi3512 的时钟管理模块框图



设计系统时钟电路时，有 2 种方式可以选择：

- 通过芯片内部的反馈电路与外部的 27MHz 晶体振荡电路一起构成系统时钟。
- 直接由外部的时钟电路产生时钟，通过 XIN 管脚输入。

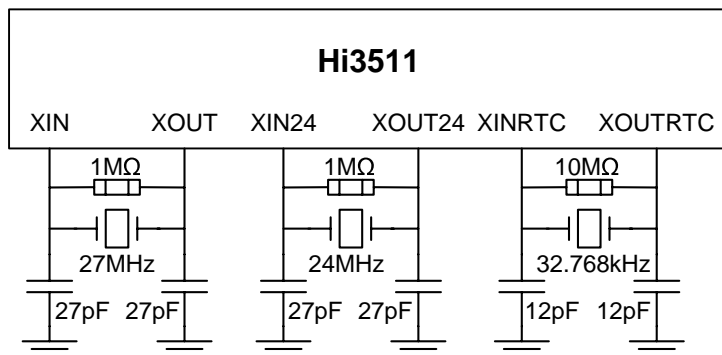
除了系统时钟外，Hi3511/Hi3512 还通过以下时钟管脚来满足不同模块的时钟需求：

- XIN24 管脚输入 24MHz 时钟，提供 OTG 时钟。
- VInCK (n=0~3) 管脚输入视频数据同步时钟，提供视频 Vin (n=0~3) 通道时钟，频率 13.5MHz~85MHz。
- RTCXIN 管脚输入 32.768kHz 时钟，提供 RTC 时钟。
- PCICLK 管脚配置为输入时，可以提供 PCI 接口的时钟，频率 0MHz~66MHz。Hi3511/Hi3512 的 PCICLK 支持主从模式，具体描述请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》。

推荐晶振连接方式及器件参数如图 1-2 所示。



图1-2 推荐晶振连接方式及器件参数



说明

不使用 USB2.0 OTG 和 RTC 模块时，可以不使用对应 24MHz 和 32.768kHz 的晶振电路，其管脚可悬空。

1.2 复位和 Watchdog 电路

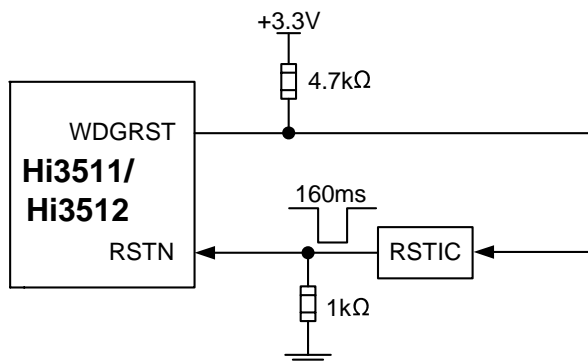
Hi3511/Hi3512 的 RSTN 管脚为复位输入管脚，要求的复位信号为低电平脉冲，脉冲宽度时间大于 12 个 XIN 管脚输入的晶振时钟周期。

板级设计时，为了系统稳定，建议采用专用的复位芯片产生复位信号，用于复位 Hi3511/Hi3512（一般复位脉冲宽度为 100ms~300ms）。

系统异常时，Hi3511/Hi3512 可以通过 WDGRST 管脚产生低电平脉冲，因此可以把 WDGRST 管脚连接到系统复位上来复位整个系统。**需要注意的是，WDGRST 管脚为 OD 输出，必须外置上拉电阻。**

复位和 Watchdog 典型设计电路如图 1-3 所示。

图1-3 复位和 Watchdog 典型设计电路





1.3 JTAG Debug 接口

Hi3511/Hi3512 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Multi-ICE 仿真器，调试 ARM CPU。JTAG Debug 接口信号如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。如果通过 JTAG 口连接 Realview-ICE 等调试器，建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

芯片内部上拉电阻、芯片内部下拉电阻的阻值请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》中的“DC/AC 参数”。

Hi3511/Hi3512 可以通过 TESTMODE0 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

说明
单板设计时，可以通过拨码开关选择正确的工作模式。

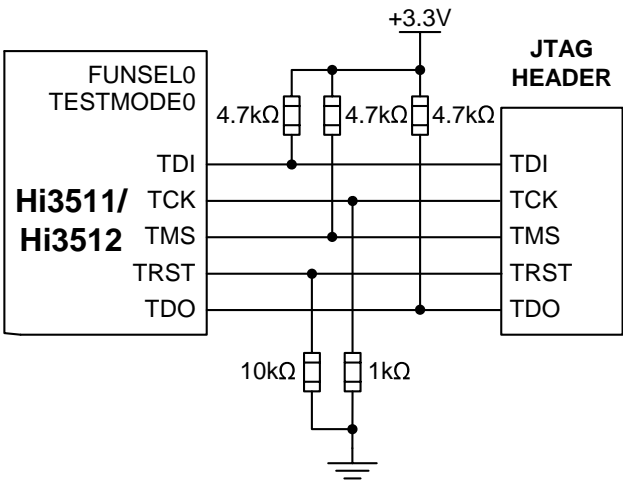
表1-2 TESTMODE0 模式说明

TESTMOD0	模式说明
0	Hi3511/Hi3512 正常工作模式，此时可通过 JTAG 对 ARM 软件进行调试。
1	Hi3511/Hi3512 处于测试模式，此时可以进行芯片 DFT 测试和板级互连测试。

JTAG 连接方式及标准连接器管脚定义如图 1-4 所示。



图1-4 JTAG 连接方式及标准连接器管脚定义



1.4 Power Supply 电路

Hi3511/Hi3512 芯片电源需求如表 1-3 所示。

表1-3 Hi3511/Hi3512 芯片电源需求

管脚名称	说明	最小值	典型值	最大值	额定功耗
DVDD12	内部 CORE 电源	1.08V	1.2V	1.32V	400mW~500mW
DVDD33	I/O 电源	2.97V	3.3V	3.63V	150mW~250mW
DVDD18	DDR I/O 电源	1.7V	1.8V	1.9V	150mW~250mW
VREF1~3	DDR 参考电源	0.49XDV DD18	0.5XDVD D18	0.51XDV DD18	-
RTCBATT	RTC 电池供电源	2.5V	-	3.3V	-
SAVDD33	USB1.1 模拟电源	3.0V	3.3V	3.6V	-
AVDD33_PLL	PLL 模拟电源	3.0V	3.3V	3.6V	-
OTGVDDA33C OTGVDDA33T	OTG 模拟电源	3.135V	3.3V	3.465V	-
OTGVDD12	OTG 数字电源	1.14V	1.2V	1.26V	-

单板设计时，需要注意以下几点：



- 所有的模拟电源与数字电源之间都需要通过磁珠隔离。
- 模拟电源对应的模拟地与数字地之间用磁珠隔离。
- 当不使用 USB2.0 OTG 模块时，OTG 模拟电源和模拟地 OTGVDDA33、OTGVSSA33 可以悬空；数字电源 OTGVDD12 和 OTGVSS 不能悬空，需要分别连接到 1.2V 电源和地。
- 当不使用 RTC 模块时，RTCBATT 管脚可以悬空。
- 建议电源设计时功耗按照 30%降额设计。
- 每 2 个电源管脚需要放置至少 1 个 100nF 的去耦电容，每个电源可根据管脚数量放置至少 1 个 10 μ F 的滤波电容。

1.5 中断和 GPIO 管脚

1.5.1 中断

Hi3511/Hi3512 内部有 32 个中断源，详细的中断向量表请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》。其中中断向量 6（GPIO0）、中断向量 7（GPIO1）、中断向量 8（GPIO2~7 组合中断请求）用于响应 GPIO 中断，中断向量 22 用于响应 INTRN 中断。可以根据单板需求进行芯片外部中断设计。

Hi3511/Hi3512 的 GPIO 中断有以下特点：

- 可以控制中断源的组合、极性及边沿特性。
- 可以将中断配置成 IRQ 或 FIQ 模式。
- 可以屏蔽中断。
- 支持原始中断源查询和屏蔽后中断源状态查询。

1.5.2 GPIO 管脚

Hi3511 和 Hi3512 分别有 8 组 GPIO 管脚和 10 组 GPIO 管脚，每组有 8 个可编程的 I/O 管脚。每个 GPIO 管脚均可以配置为输入、输出或者 OD 输出，具体情况如下：

- GPIO 作为输入管脚时可以用作外部中断源。
- GPIO 作为输出管脚时可以按位输出 0 或 1。
- GPIO 作为 OD 输出时，需要外加上拉电阻。
- GPIO 管脚均与其他功能管脚复用，具体复用关系和配置选择请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》。
- 上电时默认为 GPIO 的管脚缺省定义为输入管脚。



2 原理图和 PCB 设计建议

关于本章

本章描述内容如下表所示。

标题	内容
2.1 PCI 总线接口	介绍 PCI 总线接口。
2.2 DDR2 接口	介绍 DDR2 接口。
2.3 USB2.0 OTG 接口	介绍 USB2.0 OTG 接口。
2.5 VI 接口	介绍 VI 接口。
2.6 PCB 设计建议	介绍 PCB 设计建议。



2.1 PCI 总线接口

2.1.1 特点

Hi3511/Hi3512 PCI 总线符合 PCI2.3 总线标准，并兼容 miniPCI 接口协议，具体信号引脚及功能描述请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》中有关 PCI 接口的内容。

Hi3511/Hi3512 可工作在 PCI 总线 Host 和 Device 两种模式下。

Hi3511/Hi3512 PCI 总线特点如下：

- 总线位宽为 32bit，总线时钟频率最高可以支持 66MHz。
- 支持 PCI Host 模式。
 - 支持 INTA 和 INTB 两个中断输入。
 - 支持 memory read/write 和 configuration read/write 命令，配置访问时可支持 Type0 和 Type1 配置命令。
 - 内建 PCI 总线仲裁器，且最多支持 5 个 PCI 设备的总线仲裁。
- 支持 PCI Device 模式。
 - 仅支持 PCI_INTA 产生中断请求。
 - 支持 memory read/write、I/O read/write 和 configuration read/write 命令。
 - 支持 PCI 侧到 AHB 侧的地址翻译。
- 支持用户可编程的 doorbell 中断。
- 支持 PCI 总线奇偶校验。
- 支持对 memory 的 prefetchable 访问和 non-prefetchable 访问。

2.1.2 原理图设计建议

在设计原理图时需要注意：PCI 总线信号根据功能来分，可以分为电源、时钟复位、数据地址、接口控制及报错、仲裁、中断请求几种信号。

2.1.2.1 PCI Host 模式

Hi3511/Hi3512 工作在 PCI Host 模式时，Hi3511/Hi3512 提供总线仲裁，响应处理 PCI 中断。

电源设计

Hi3511/Hi3512 支持 3.3V 的 PCI 工作接口电压，可以承受 5V 的电压信号。直接挂在 Hi3511 PCI 总线上的设备都必须满足 3.3V 的工作电压。如果需要兼容 5V 的环境，可以通过兼容 5V/3.3V 环境的 PCI 桥片电路或者总线开关器件进行外扩。

Hi3511/Hi3512 PCI 最多直接外挂 5 个设备。如需要外挂更多设备，或者总线环境比较复杂时，需要通过桥片进行多级 PCI 总线设计。



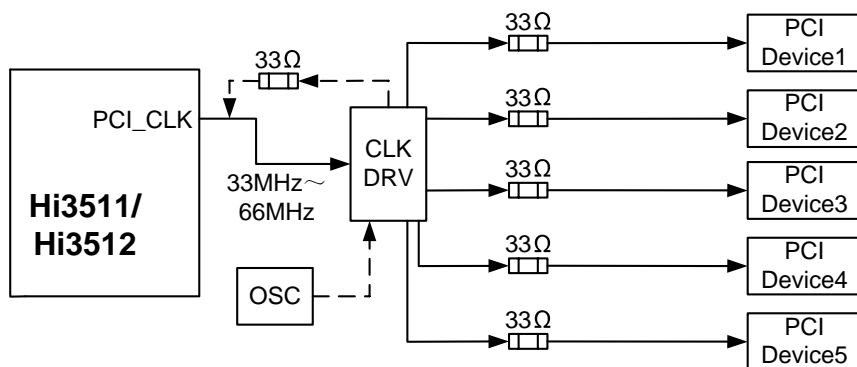
时钟 PCI_CLK/复位 PCI_RST

Hi3511/Hi3512 PCI 总线时钟频率为 0MHz~66MHz，该时钟可以由 Hi3511/Hi3512 芯片内部产生。当外接设备超过 2 个时，需要加时钟驱动电路分别驱动每个设备。PCI_CLK 也可以由外部的时钟电路提供（图 2-1 中的虚线部分），分别供给 Hi3511/Hi3512 和外接的设备。

PCI_RST 由 Hi3511/Hi3512 发起，分别连接到各个 Device 上，不需要做特殊处理。

PCI_CLK 参考设计如图 2-1 所示。

图2-1 PCI_CLK 参考设计



数据地址信号

数据地址信号包括 PCI_AD[0:31]、PCI_CBE[0:3]和 PCI_PAR。可直接连接从设备，不需要做特殊处理。

说明

PCI_AD[16:31]可以用来选择连接 Device 的 IDSEL 管脚，划分 Device 的地址空间。连接时，需要对每个 Device 端在对应地址信号与 IDSEL 管脚之间串联 0Ω~1kΩ 的电阻。

接口控制及报错信号

接口控制及报错信号如下：

- 控制信号管脚包括 PCI_FRAME#、PCI_IRDY#、PCI_TRDY#、PCI_STOP#、PCI_DEVSEL#。
- 报错信号管脚包括 PCI_PERR#、PCI_SERR#。

上述信号全部需要在芯片端加上拉电阻。其中：

- PCI_SERR#管脚为 OD 输出，建议用 1kΩ 电阻进行上拉。
- 其他管脚均需用 4.7kΩ~10kΩ 的电阻进行上拉。

总线仲裁信号

总线仲裁信号包括 PCI_REQ[0:4]#和 PCI_GNT[0:4]#，其中：



- PCI_REQ[0:4]#需要在 Hi3511/Hi3512 端加 4.7kΩ~10kΩ 电阻进行上拉。
- PCI_GNT[0:4]#不需要做特殊处理。



说明

Hi3511/Hi3512 PCI_REQ4 和 PCI_GNT4 管脚默认为 GPIO 功能，需要先配置为 PCI 功能才可以作为 PCI 总线信号使用。

中断请求信号

中断请求信号包括 PCI_INTA#和 PCI_INTB#，都需要在 Hi3511/Hi3512 端加 1kΩ 电阻进行上拉。



说明

PCI_INTB#信号与 PCI_IDSEL 信号存在管脚复用，在 PCI Host 模式下，管脚为 PCI_INTB#功能。

2.1.2.2 PCI Device 模式

Hi3511/Hi3512 工作在 PCI Device 模式时，可以做板卡设计，也可以作为 PCI 从设备挂载在其他 Host 模式下的 Hi3511/Hi3512 或者其他主控 CPU 上。

电源设计

设计中需要注意：

- Hi3511/Hi3512 Device 模式时只能挂在 3.3V 的电平环境中。
- 做板卡设计时，只能支持 3.3V 的插槽。如果要插入 5V 的插槽，就要加总线开关或者通过桥片进行兼容性设计。
 - 加双轨总线开关器件时，Hi3511/Hi3512 侧需要连接到 3.3V，金手指侧电源供电要通过金手指上 VIO 管脚进行供电。
 - 加单轨总线开关器件时，建议使用 VIO 管脚进行供电。

时钟 PCI_CLK/复位 PCI_RST

时钟和复位信号均来自 PCI 主控芯片或者背板，可以支持 33MHz 或 66MHz 的 PCI 环境。

数据地址信号

数据地址信号包括 PCI_AD[0:31]、PCI_CBE[0:3]和 PCI_PAR。

作为板卡设计或 Device 设计时，需要进行如下处理：

- 作为板卡设计时，SLOT 上的 IDSEL 管脚直接连接到 Hi3511/Hi3512 上的 PCI_IDSEL 管脚。
- 作为 Device 设计时，需要注意把分配的地址管脚通过串联电阻（推荐值 220Ω）连接到 Hi3511/Hi3512 的 PCI_IDSEL 管脚上。

接口控制及报错信号

接口控制及报错信号如下：



- 控制信号管脚包括 PCI_FRAME#、PCI_IRDY#、PCI_TRDY#、PCI_STOP#和 PCI_DEVSEL#。
- 报错信号管脚包括 PCI_PERR#和 PCI_SERR#。

接口控制和报错信号一般都是由主控端进行处理，Hi3511/Hi3512 作为 Device 时，不需要做特殊处理。

总线仲裁信号

总线仲裁信号包括 PCI_REQ[0:4]#和 PCI_GNT[0:4]#。Hi3511/Hi3512 作为 Device 时，如下：

- PCI_REQ0 作为总线应答信号使用。
- PCI_GNT0 作为总线请求信号使用。
- PCI_REQ[1:3]#和 PCI_GNT[1:3]#不使用。
- PCI_REQ[1:3]#必须通过电阻上拉，建议用 10k Ω 的电阻进行上拉。
- PCI_GNT[1:3]#管脚可以悬空。
- PCI_REQ4 和 PCI_GNT4 管脚默认为 GPIO 管脚。

中断请求信号

中断请求信号包括 PCI_INTA#和 PCI_INTB#。

在 Device 模式时，只有 PCI_INTA#可以作为中断请求信号，PCI_INTB#作为 IDSEL 管脚，连接到对应的地址信号或者 SLOT 的 IDSEL 管脚。

2.2 DDR2 接口

2.2.1 接口介绍

Hi3511/Hi3512 DDR 接口支持 DDR2 标准接口，接口电平标准为 SSTL-18（除 DDR2_CVENO、DDR2_CVENI 以外）。

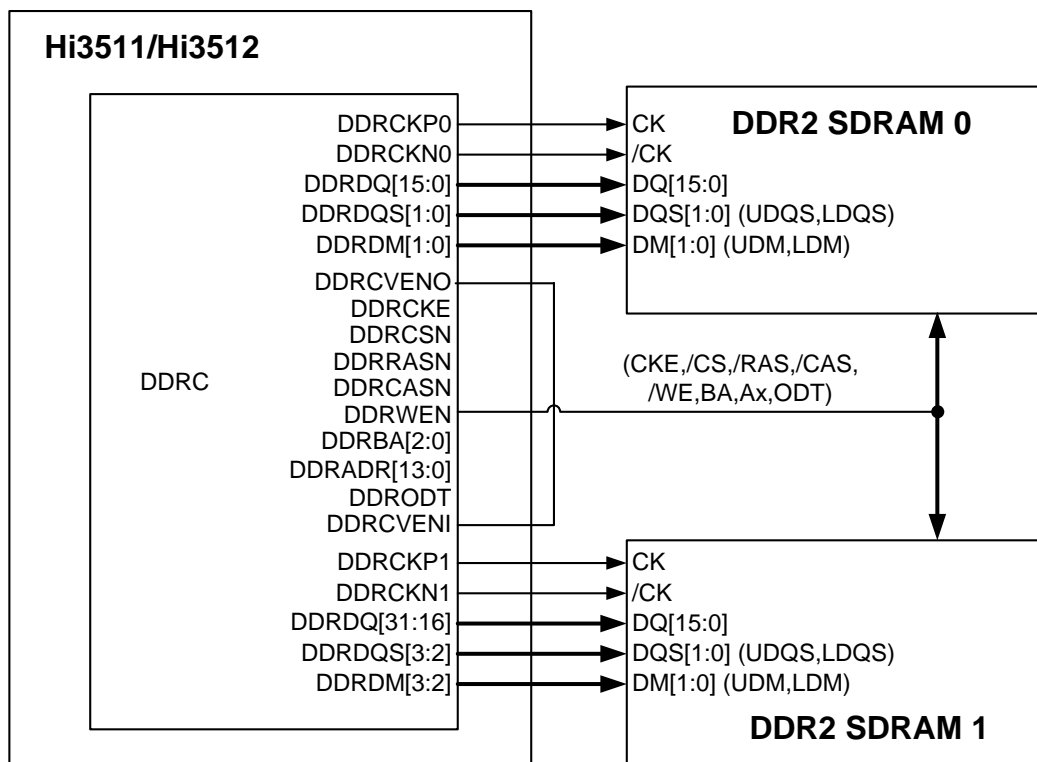
Hi3511/Hi3512 DDRC 有如下特点：

- 提供 1 个片选的 DDR2 接口，兼容数据位宽为 16bit 和 32bit 的 DDR2 SDRAM。
- 16bit DDR2 SDRAM 最大支持 256MB 存储器空间；32bit DDR2 SDRAM 最大支持 512MB 存储器空间。
- 支持 DDR2 SDRAM 的 burst 为 4 的传输模式。
- 支持动态存储器的自刷新操作。
- 支持时序参数可配，以适应不同器件不同频率的需求。
- 支持 CL（CAS Latency）值可配置，以适应不同器件的需求。
- I/O 的端口驱动能力为 13.4mA。

Hi3511/Hi3512 典型外接 DDR2 SDRAM 拓扑结构如图 2-2 所示。具体的管脚信号功能描述请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》中 DDRC 部分。



图2-2 Hi3511/Hi3512 典型外接 DDR2 SDRAM 拓扑结构



2.2.2 电路设计建议

根据功能区分，DDR2 接口信号可以分为电源、时钟和数据掩码信号、数据信号、地址和控制信号、时钟环回信号（可选）。

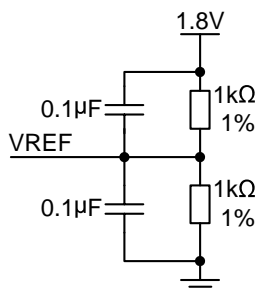
2.2.2.1 电源设计

Hi3511/Hi3512 DDRC 及接口符合 DDR2 SSTL-18 电平标准，电源需要 1.8V 电源，参考电压需要 0.9V。为确保电源的完整性，必须把 Hi3511/Hi3512 的 1.8V 电源与 DDR2 颗粒的电源统一，如果单板上有其他 1.8V 电源，基于成本考虑也可以一并统一。但是必须确保 DDR 部分的 1.8V 符合要求，不受干扰。建议单板上采用单独 LDO 电路为 DDR2 颗粒和 Hi3511/Hi3512 DDRC 1.8V 电源管脚供电。通过电阻（精度 1%）分压提供 0.9V 的 Vref 电压给 DDR2 颗粒和 Hi3511/Hi3512 DDRC 参考电源管脚供电，每个电源管脚和参考电源管脚旁放 1 个 0.1μF 的去耦电容。

电源分压网络参考设计如图 2-3 所示。



图2-3 电源分压网络参考设计



因为 DDR2 工作频率通常是 135MHz，而且 DDR2 颗粒本身数据信号 ODT 功能可以控制使能，所以不需要通过外加 VTT 电源进行上拉处理。

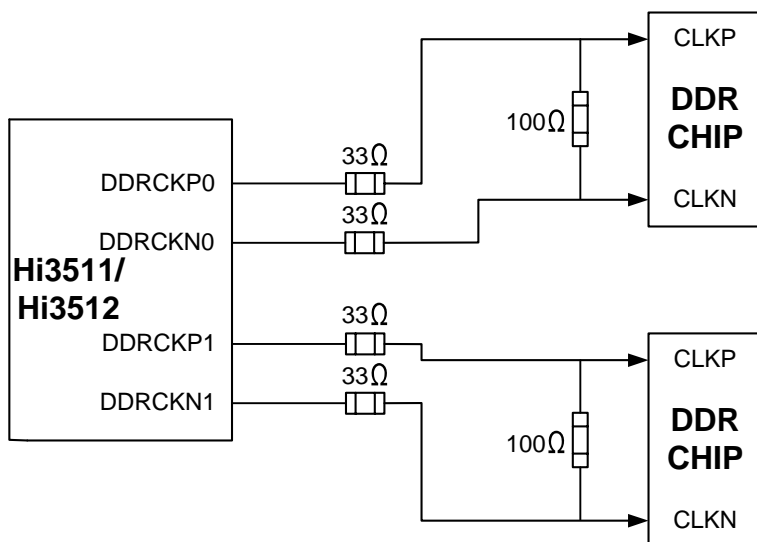
2.2.2.2 时钟和数据掩码信号设计

Hi3511/Hi3512 DDRC 为确保时钟信号质量，采用两组时钟差分对 DDRCKP0/DDRCKN0、DDRCKP1/DDRCKN1 分别驱动两片 DDR2 颗粒。两组时钟信号同频同相，Hi3511/Hi3512 管脚驱动能力较强，为避免过冲，就要求每组时钟在 Hi3511/Hi3512 端串联 33Ω 源端匹配电阻，DDR2 颗粒端并联 100Ω 差分匹配电阻。

DDRDM[0:3]是一驱一单向信号，需要在源端串联 33Ω 的匹配电阻。

DDR 时钟匹配示意图如图 2-4 所示。

图2-4 DDR 时钟匹配示意图



2.2.2.3 数据信号设计

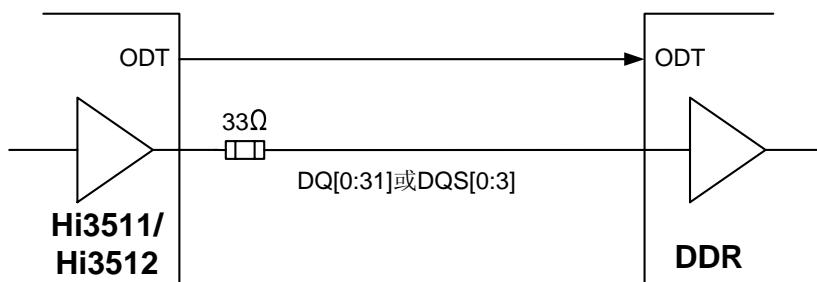
Hi3511/Hi3512 DDRC 数据信号包括 DQ[0:31]和 DQS[0:3]，二者均为端到端双向信号。



Hi3511/Hi3512 DDRC 工作时会通过 DDRODT 管脚来控制 DDR2 颗粒数据信号上的 ODT 管脚，通过该功能实现 DDR2 颗粒的 ODT 功能配置。Hi3511/Hi3512 读操作时，关断 DDR ODT 功能；Hi3511/Hi3512 写操作时，开启 DDR ODT 功能。

Hi3511/Hi3512 DDR 接口的每一根数据信号都在 Hi3511/Hi3512 端串联 1 个 33Ω 电阻，以确保信号质量，匹配方式如图 2-5 所示。

图2-5 数据信号推荐匹配方式



说明

建议 DQS 信号的外接匹配电阻单独使用，不要与其他信号使用同一个排阻，以方便走线时可以让每组数据走线与对应的 DQS 信号走到一起。

2.2.2.4 地址和控制信号设计

Hi3511/Hi3512 DDRC 的地址控制信号包括 DDRADR[13:0]、DDRBA[0:2]、DDRCKE、DDRCASN、DDRRASN、DDRCASN、DDRWEN、DDRODT，这些信号均为 Hi3511/Hi3512 一驱二单向信号，要在源端加 33Ω 的匹配电阻。

Hi3511/Hi3512 最大支持 512MB 存储器空间，地址构成如表 2-1 所示。

表2-1 Hi3511/Hi3512 DDR2 最大内存地址空间构成

参数	Addressing
Configuration	$8M \times 16\text{bit} \times 8\text{bank} \times 2\text{pcs}$
Refresh count	8K
Row address	A0~A13(16K)
Bank address	BA0~BA2(8)
Column address	A0~A9(1K)

2.2.2.5 时钟环回信号设计

Hi3511/Hi3512 提供了 DDRMRCVI 和 DDRMRCVO，用来提高 DDR 信号时序匹配质量。该功能管脚为可选功能管脚：



- 如果作为时钟环回信号使用，在原理图设计中在每个管脚端串联 33Ω 的电阻，然后走线直接相连环回，PCB 布线时控制 DDRMRCVO 到 DDRMRCVI 走线长度等于平均时钟走线长度加上平均 DQS 走线长度之和即可。
- 如果不作为时钟环回信号使用，这两个管脚可以作为 GPIO 使用。

2.2.3 器件选型建议

Hi3511/Hi3512 DDR 时钟工作在 135MHz，目前主流的 DDR2 颗粒都可以满足需求，选择主要依据容量需求和成本考虑。

可以通过 Hi3511/Hi3512 DDR 配置 CL 值以兼容不同的 DDR2 颗粒，因此在选择 DDR2 颗粒时，可以尽量选择 CL 值小的 DDR2 颗粒。

2.3 USB2.0 OTG 接口

2.3.1 接口介绍

Hi3511/Hi3512 USB2.0 OTG 支持 USB2.0 协议，支持高速和全速模式。USB2.0 OTG 模块在 Hi3511/Hi3512 内是独立的模块，可以选择使用，情况如下：

- 当不使用 USB2.0 OTG 模块时，OTG 模拟电源和模拟地 OTGVDDA33、OTGVSSA33 可以悬空；数字电源 OTGVDD12 和 OTGVSS 不能悬空，需要分别连接到 1.2V 电源和地。
- 使用 USB2.0 OTG：不发送接收数据时，可以关闭此模块，以降低芯片功耗。

2.3.2 典型 OTG 电路设计

OTGVBUS 管脚要求外接 5V 稳定电压，不能低于 4.75V。Device 拔出再插入时，OTGVBUS 需要一个下电 ($<0.8V$) 再上电的过程，该过程可以通过 GPIO 控制外接的电源泵电路实现，该下电脉冲宽度建议最少为 3s 的时间长度。

USB2.0 OTG 工作在 Host 模式时，Type A 型 USB 接口推荐电路如图 2-6 所示。



图2-6 OTG 工作在 Host 模式时，Type A 型 USB 接口推荐电路

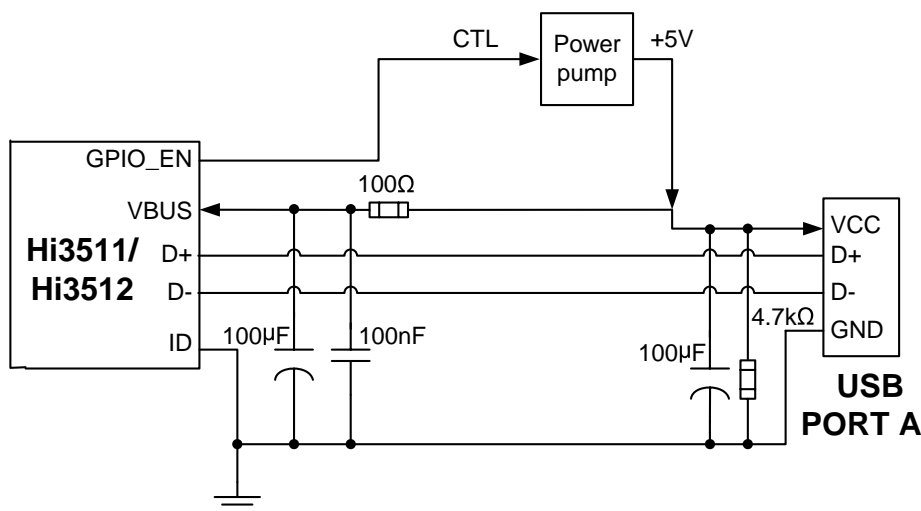


图 2-6 中，100μF 和 100Ω 组成的 RC 滤波电路要靠近 Hi3511/Hi3512 放置。另外电源泵电路的选型要根据外挂 Device 的功耗选择。建议驱动电流按外设工作电流的两倍设计。

2.3.3 USB 功能单元供电电源设计

USB 功能单元的供电电源分为 OTGVDD12、OTGVSS、OTGVDDA33C、OTGVSSA33C、OTGVDDA33T、OTGVSSA33T。设计建议如下：

- OTGVDD12 与 OTGVSS 为数字电源和地，建议如下：
 - OTGVDD12 通过磁珠与数字 1.2V 电源隔离。
 - OTGVDD12 加 100nF 的陶瓷电容。
 - OTGVSS 与数字地直接相连。
 - 1.2V 电源电压偏差控制在±5%以内。
- OTGVDDA33C、OTGVSSA33C、OTGVDDA33T、OTGVSSA33T 为模拟电源和地，建议如下：
 - OTGVDDA33C、OTGVDDA33T 通过磁珠与数字 3.3V 电源隔离。
 - OTGVSSA33C、OTGVSSA33T 在平面层铺成平面，通过单点与数字地相连。
 - 3.3V 电源电压偏差控制在±5%以内。
 - 每个 OTGVDDA33C、OTGVDDA33T 管脚都加一个 10μF、一个 100nF 和一个 1nF 的陶瓷电容，确保电源稳定。
- OTGREXT 管脚需要通过 3.48kΩ 电阻连接到 USB 模拟地平面。

2.3.4 USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成衰减，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：

- 保护器件建议紧靠 USB 端口连接器放置。



- 保护器件建议选用低寄生电容的 TVS 管保护器件。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 0.5pF。

2.4 GPIO 接口



注意

管脚 GPIO2_4/URXD1、GPIO2_5/UTXD1、GPIO2_6/URTSN1 和 GPIO2_7/UCTSN1 只能同时作为 UART1 的相关管脚或同时作为 GPIO 的相关管脚。

2.5 VI 接口

Hi3511/Hi3512 可以支持 4 通道 8bit 数字视频输入，可以支持 ITU.BT656 (D1)、ITU.BT656 (定制 2D1)、ITU.BT601、Digital Camera (Up to 3 Mega Pixel 非满帧)、HD 720p@30HZ Y/C 格式的 digital 视频输入。

Hi3511/Hi3512 视频输入通道默认支持从模式，即由外部的 A/D 或者数字视频输入模块提供像素同步时钟。该时钟根据外接设备的不同而不同，最高可以到 85MHz，为确保信号完整性，需要在源端串联匹配电阻。单个通道连接多个设备时，为避免互相干扰，需要选择数字总线开关器件进行隔离。

ITU.BT656 (2D1) 格式只兼容 Techwell 公司的视频 AD (如 TW2815 等)，芯片视频传输格式具体内容请参见 TW2815 的芯片手册。高清 Y/C 输入时，时钟信号只能连接到 VI0 的时钟管脚上。

Hi3511 和 Hi3512 视频 VI 通道的标准支持情况分别如表 2-2 和表 2-3 所示。

表2-2 Hi3511 视频 VI 通道的标准支持情况

视频通道	BT656 (D1)	BT656 (2D1)	BT601	Digital Camera	HD (Y)	HD (C)
VI0	支持	支持	支持	支持	支持	NC
VI1	支持	支持	NC	NC	NC	NC
VI2	支持	支持	支持	支持	NC	支持
VI3	支持	支持	NC	NC	NC	NC



表2-3 Hi3512 视频 VI 通道的标准支持情况

视频通道	BT656 (D1)	BT656 (2D1)	BT601	Digital Camera	HD (Y)	HD (C)
VI0	支持	支持	支持	支持	支持	NC
VI1	支持	支持	NC	NC	NC	NC
VI2	NC	NC	NC	NC	NC	支持

2.6 PCB 设计建议

Hi3511/Hi3512 主要针对监控市场产品应用，例如 DVR、DVS 和 IPCamera 等，所以 PCB 设计时，请参考常用产品形态的结构和接口器件布局以及应用业务和场景进行设计。

2.6.1 Fanout 封装设计建议

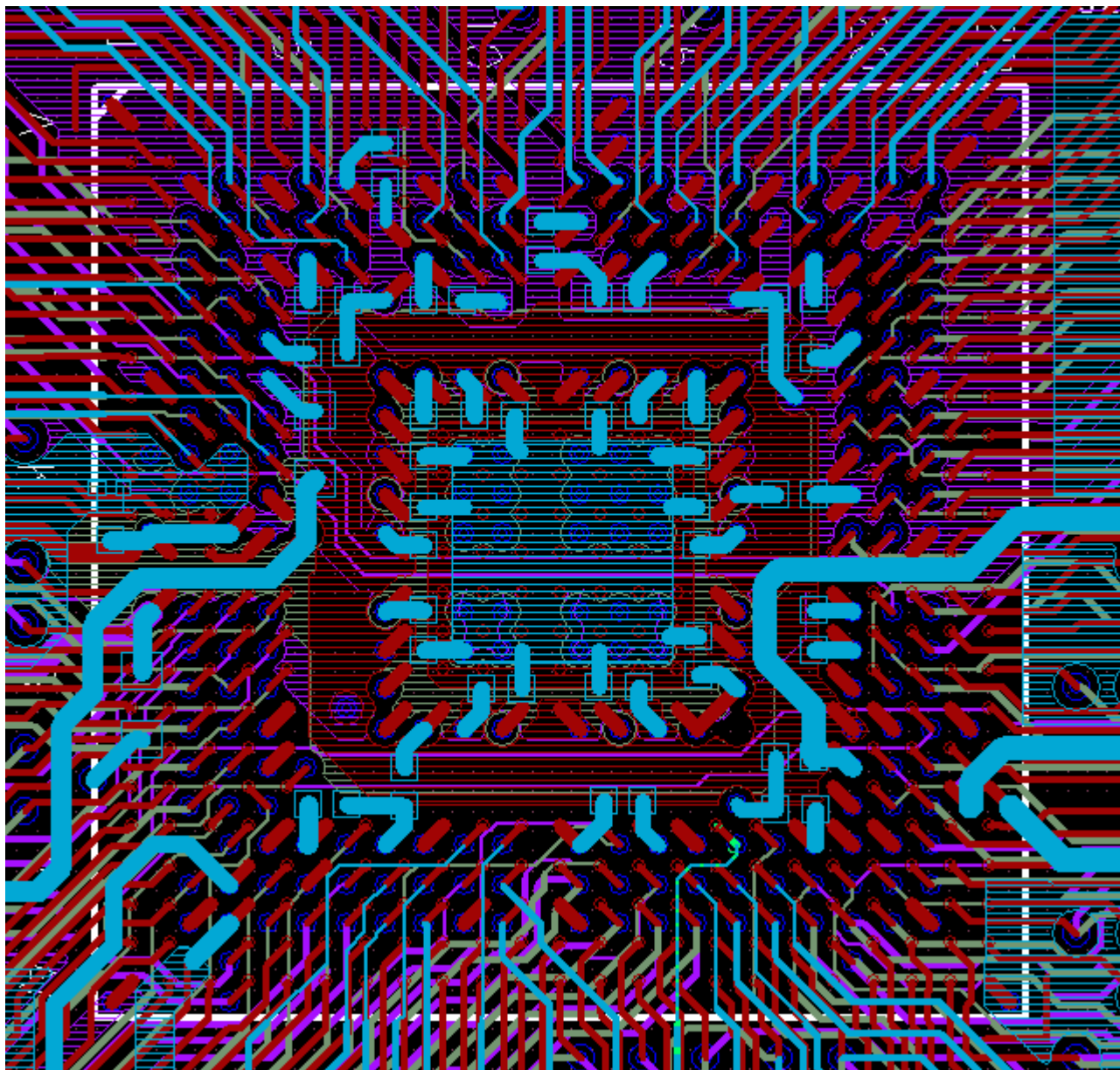
Hi3511/Hi3512 芯片采用 0.13μm 工艺、TFPBGA441 封装，封装尺寸 19mm×19mm×1.3mm，管脚间距为 0.8mm，TFBGA BALL 共 5 圈。具体的芯片尺寸和封装请参见《Hi3511/Hi3512 H.264 编解码处理器 用户指南》。

Hi3511/Hi3512 有 5 圈信号管脚分布在外侧，推荐使用 6 层走线进行 Fanout 设计。

图 2-7 为一个 6 层板设计的 Fanout 图。其中：

- 红色为 TOP 层走线，外围 1、2 圈的走线基本都是直接引出。
- 浅绿色走线为单板第 3 层，是第 2 层信号走线。
- 紫色走线为单板第 4 层，是第 3 层信号走线。
- 浅蓝色走线为 BOTTOM 层，是第 4 层信号走线。

图2-7 Hi3511/Hi3512 PIN Fanout 参考图



为了满足信号完整性要求，并且考虑到高密度 BGA 封装的信号管脚布线，建议采用 6 层 PCB 单板设计，层叠结构建议如下：

- TOP 层：信号层 1（器件层 1）
- 第 2 层：地平面层
- 第 3 层：信号层 2
- 第 4 层：信号层 3
- 第 5 层：电源平面层
- BOTTOM 层：信号层 4（器件层 2）

PCB Fanout 设计注意事项：



- 最外侧的 2 圈 BALL 不需要打过孔，直接从顶层 Fanout 出去。
- 内侧的 1 圈 BALL 基本都是电源或地，直接打过孔连接到电源或地。
- 中间 2 圈的 BALL 通过过孔从底层 Fanout 出去。
- 推荐过孔大小为 8mil，线宽采用 6mil，板厚不超过 2mm。

Hi3511/Hi3512 的电源管脚 3.3V、1.8V 或 1.2V 都尽可能通过较为完整的电源平面层供电。需要对电源平面层进行分割，其处理如图 2-8 和图 2-9 所示，1.8V 和 3.3V 直接在电源平面层进行分割，1.2V 在 TOP 层铺铜处理。图 2-8 白色选中部分为 1.8V 电源，其他部分为 3.3V 电源。图 2-9 中白色选中部分为 TOP 层的 1.2V 电源铜皮。

图2-8 电源平面层推荐分割示意图

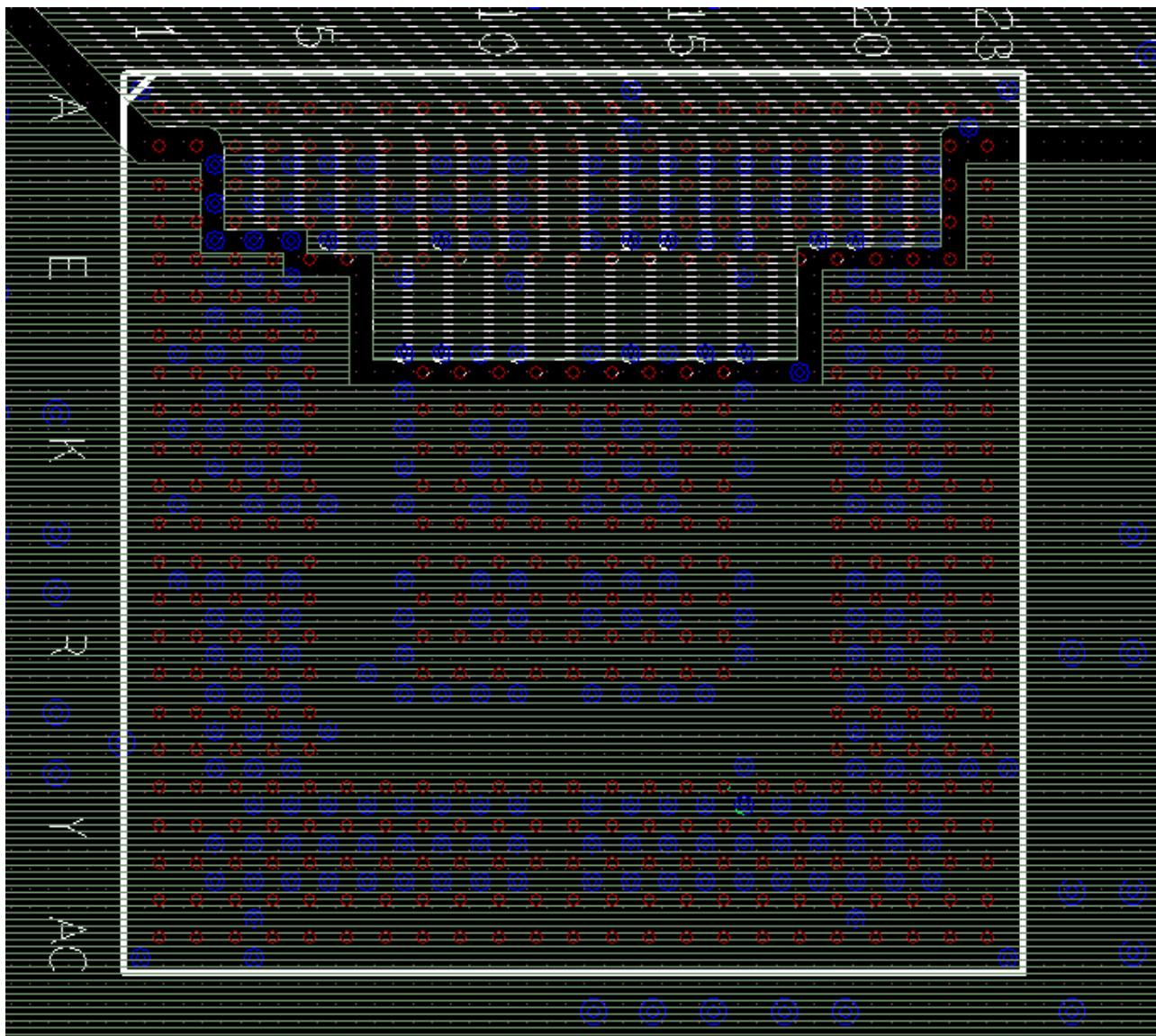
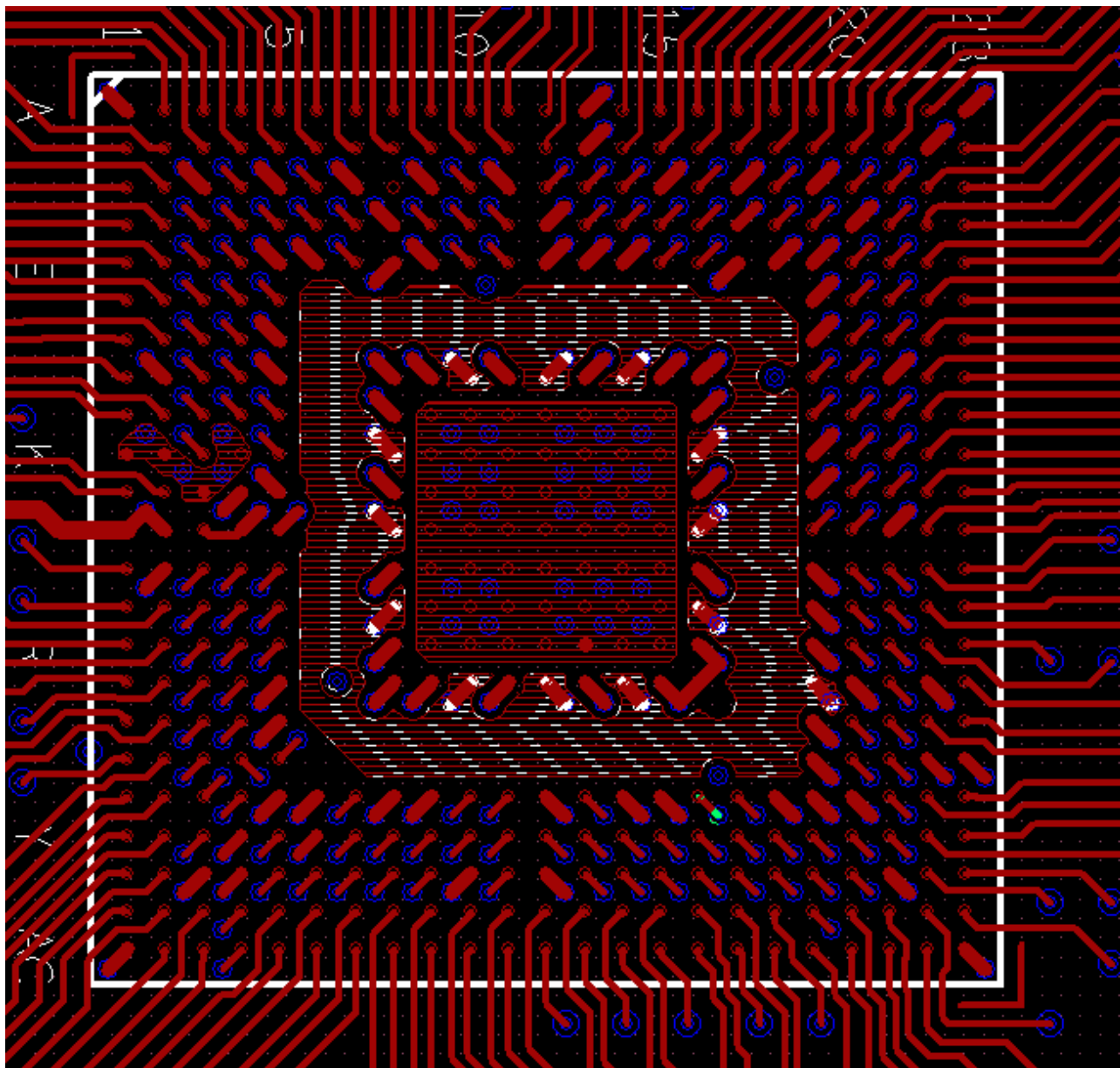


图2-9 1.2V 电源推荐分割示意图



2.6.2 DDR2 SDRAM 接口设计建议

为了满足 DDR2 总线高带宽的性能要求，Hi3511/Hi3512 内部集成了支持 SSTL-18 电平标准的端口驱动器，所以建议板级布线遵循 SSTL-18 信号布线设计规范。

Hi3511/Hi3512 和 DDR2 SDRAM 的 V_{ref} (0.9V) 电源都必须是隔离的，可以通过较宽的走线 (20mil 及以上) 连接，保证每个电源管脚尽可能就近摆放去耦电容，并且最好在 PCB 上对 V_{ref} 加包地屏蔽处理。DDR2 颗粒 1.8V 电源管脚与 Hi3511/Hi3512 DDR 1.8V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。

所有 DDR 信号尽量不要跨分割，保证以完整的平面层为参考平面。



2.6.2.1 接口设计

DDR2 SDRAM 接口外接双负载：2 个 16bit DDR2 SDRAM 通过数据信号线扩展成 32bit 数据位宽。DDR2 SDRAM 接口信号可以分为以下 3 组：

- 数据线 DDR2_DQ[0:31]、DDR2_DQS[0:3]，双向单负载。
- 地址/控制线 DDR2_ADDR[0:13]、DDR2_CTRL，单向双负载。
- 时钟/数据掩码线 DDR2_CLK、DDR2_DM[0:3]，单向单负载。

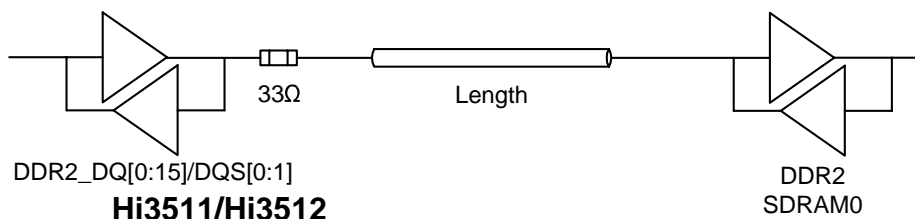
2.6.2.2 数据/数据选通信号线匹配设计

数据信号线 DDR2_DQ[0:15]和数据选通信号线 DQS[0:1]外接单负载 DDR2 SDRAM0，数据信号线 DDR2_DQ[16:31]和数据选通信号线 DQS[2:3]外接单负载 DDR2 SDRAM1，均为双向单负载拓扑。

数据信号线 DDR2_DQ 和数据选通信号线 DQS 匹配设计可采用以下结构（DDR2_DQS 与 DDR2_DQ 匹配方式相同）：靠近 Hi3511/Hi3512 端加 33Ω 电阻串联匹配。

数据/数据选通信号线串联匹配结构如图 2-10 所示。

图2-10 数据/数据选通信号线串联匹配结构



设计建议：

- 串联匹配电阻为 $33\Omega \pm 5\%$ 。
- 串联匹配电阻尽量靠近 Hi3511/Hi3512。
- 数据线与 DQS 等长走线，长度偏差小于 $\pm 200\text{mil}$ 。
- 线特性阻抗 $50\Omega \pm 10\%$ 。
- DQS[0:3]信号建议采用分立电阻匹配，方便与对应的数据信号平行走线，减小信号串扰。

2.6.2.3 地址/控制信号线匹配设计

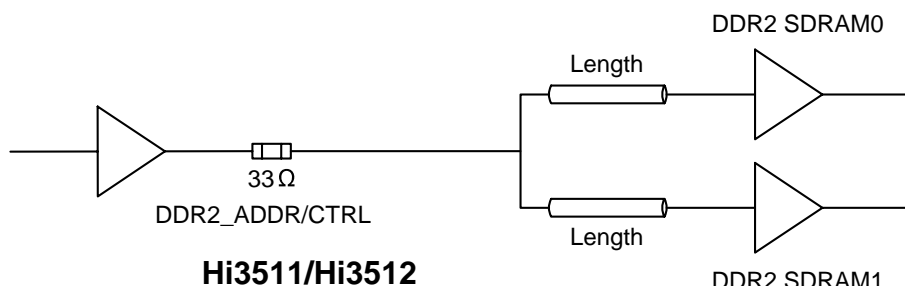
控制信号线 DDR2_CKE、DDR2_BA[0:2]、DDR2_CSN、DDR2_RASN、DDR2_CASN、DDR2_WEN、DDR2_ODT 与地址信号线 DDR2_ADDR[0:13]外接双负载，为单向双负载拓扑。信号匹配设计可采用以下结构：

- 地址/控制信号线 DDR2_ADDR/CTRL 在 Hi3511/Hi3512 端加 33Ω 电阻串联匹配。
- 2 片 DDR2 SDRAM 并联形成星形拓扑结构，保证分支走线尽量短。

地址/控制信号线 DDR2_ADDR/CTRL 在 Hi3511/Hi3512 源端串联匹配结构如图 2-11 所示。



图2-11 DDR2_ADDR/CTRL 在 Hi3511/Hi3512 源端串联匹配结构



设计建议:

- 分支点前的串联匹配电阻为 $33\Omega \pm 5\%$ 。
- 分支点前的串联匹配电阻尽量靠近 Hi3511/Hi3512。
- 分支点到 DDR2 SDRAM 端的分支走线尽量短并要求等长。
- DDR2_ADDR/CTRL 保持与时钟线等长处理，长度偏差 $\pm 200\text{mil}$ 。
- 线特性阻抗 $50\Omega \pm 10\%$ 。

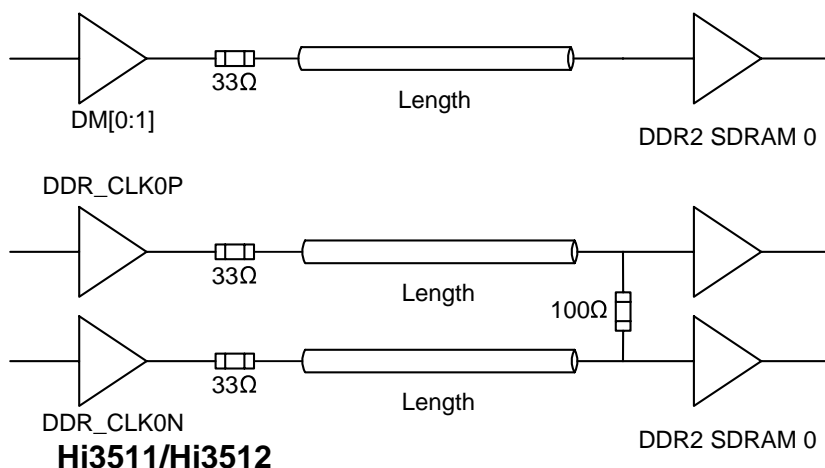
2.6.2.4 时钟/数据掩码信号线匹配设计

时钟/数据掩码信号线 DDR2_CLK/DM 外接单负载，为单向单负载拓扑，匹配设计可采用以下结构:

- 时钟/数据掩码信号线 DDR2_CLK/DM 在 Hi3511/Hi3512 端加 33Ω 电阻串联匹配。
- 时钟信号在 DDR2 端并联 100Ω 差分匹配电阻。

DDR2_CLK/DM 端匹配结构如图 2-12 所示。

图2-12 DDR2_CLK/DM 端匹配结构



设计建议:

- Hi3511/Hi3512 端串联匹配电阻为 $33\Omega \pm 5\%$ 。



- Hi3511/Hi3512 端串联匹配电阻尽量靠近 Hi3511/Hi3512。
- 保证时钟走线差分阻抗 $100\Omega \pm 5\%$ 。
- DDR2_CLK 除了 Fanout 外，不要增加额外的过孔。
- DDR2_CLK 走线与其他走线满足“3W 规则”。
- DDR2_CLK 走线不要跨分割，以地为参考平面。
- 线特性阻抗 $50\Omega \pm 10\%$ 。
- DQM[0:3]信号采用分立电阻匹配，方便走线。

2.6.2.5 信号线设计建议

为了保证 DDR2 部分的时序及信号完整性，建议按照如下原则完成 PCB 设计。

走线长度建议

建议 Hi3511/Hi3512 工作时打开 DLL 模块，理论上如果 DDR2_CLK、DDR2_DQS[0:3]、DDR2_DQ[0:31]、DDR2_ADDR[0:13]、DDR2_BA[0:2]、DDR2_DM[0:3]、DDR2_CKE、DDR2_CSN、DDR2_WEN、DDR2_CASN、DDR2_RASN 等所有线的长度相等，则效果达到最优。

DDR2 接口中的每一对时钟信号线 DDR2_CKP0、DDR2_CKN0 与 DDR2_CKP1、DDR2_CKN1 应该严格等长，偏差范围为 $\pm 50\text{mil}$ ，并且建议 DDR2_CLK 的走线长度小于 4.5inch 。

数据选通信号线 DDR2_DQS[0:3]的长度要求如下：

- DDR2_DQS[0:3]以 DDR2_CLK 时钟走线长度为参照走线，其走线长度相对于 DDR2_CLK 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DQS[0:3]之间的走线偏差为： $\pm 100\text{mil}$ 。

数据信号线 DDR2_DQ[0:31]的长度要求如下：

- DDR2_DQ[0:7]以 DDR2_DQS0 的走线长度为参照走线，其走线长度相对于 DDR2_DQS0 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DQ[8:15]以 DDR2_DQS1 的走线长度为参照走线，其走线长度相对于 DDR2_DQS1 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DQ[16:23]以 DDR2_DQS2 的走线长度为参照走线，其走线长度相对于 DDR2_DQS2 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DQ[24:31]以 DDR2_DQS3 的走线长度为参照走线，其走线长度相对于 DDR2_DQS3 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。

数据掩码信号线 DDR2_DM[0:3]的长度要求如下：

- DDR2_DM0 以 DDR2_DQS0 的走线长度为参照走线，其走线长度相对于 DDR2_DQS0 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DM1 以 DDR2_DQS1 的走线长度为参照走线，其走线长度相对于 DDR2_DQS1 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。
- DDR2_DM2 以 DDR2_DQS2 的走线长度为参照走线，其走线长度相对于 DDR2_DQS2 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。



- DDR2_DM3 以 DDR2_DQS3 的走线长度为参照走线，其走线长度相对于 DDR2_DQS3 的走线长度允许的偏差为： $\pm 200\text{mil}$ 。

地址信号线 DDR2_ADDR[0:13] 的长度要求如下：

- DDR2_ADDR[0:13] 以 DDR2_CLK 时钟走线长度为参照走线，其走线长度相对于 DDR2_CLK 的走线长度允许的偏差为： $\pm 650\text{mil}$ 。

控制信号线的长度要求如下：

- 控制信号线以 DDR2_CLK 时钟走线长度为参照走线，其走线长度相对于 DDR2_CLK 的走线长度允许的偏差为： $\pm 650\text{mil}$ 。

DDR2_CVENO+DDR2_CVENI 的长度要求如下：

- 该信号以 DDR2_CLK 时钟走线长度与 DDR2_DQS 走线长度的和为参照走线，其走线长度等于 DDR2_CLK 时钟走线长度与 DDR2_DQS[0:3] 的平均走线长度之和，允许的偏差为： $\pm 200\text{mil}$ 。

信号线走线控制建议

为减小信号反射，建议所有 DDR2 接口信号走线避免穿越电源地分割区域，保持完整的参考平面，传输线阻抗控制在 $50\Omega \pm 10\%$ 。

建议 PCB 布线设计采用以下原则：

- 所有 DDR2 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR2 信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 串联、并联电阻可以使用排阻，但排阻上的信号必须属于同一 DDR 信号线组，尤其避免 DDR2_DQS 与地址/控制线分布在同一个排阻上。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免时钟信号紧邻数据、地址总线。
- 避免地址信号紧邻数据信号。
- DDR2 信号与非 DDR2 信号走线间隔至少 20mil。
- 蛇形线间隔 20mil。

DDR2 功能单元电源设计建议

在设计 DDR2 电路时需要考虑的一个很关键的因素是要为 Hi3511/Hi3512 和 DDR2 SDRAM 器件提供一个非常干净的数字电源。为了获得最佳的电源去耦效果，建议在 Hi3511/Hi3512 的 DDR 模块供电管脚处均匀分布若干 100nF 和 1 μ F 的陶瓷电容，并紧靠供电管脚摆放。

VREF 参考电压设计建议

VREF 参考电压设计建议如下：

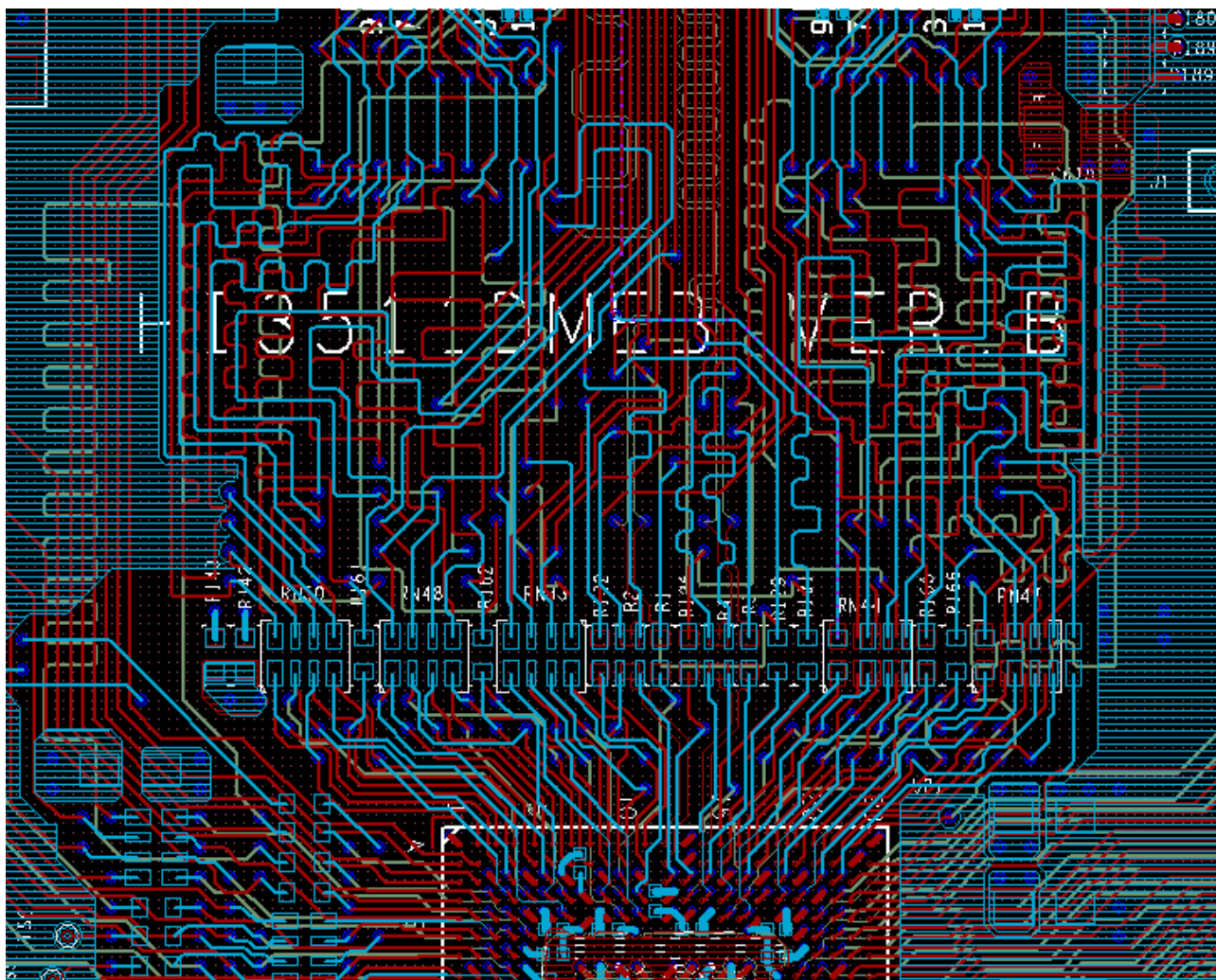


- 参考电压设计时，需要重点关注参考电压的布线。根据 SSTL-18 协议要求，VREF 参考电压上的噪声不得超过 2%，所以为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 建议在 Hi3511/Hi3512 的每个 VREF 管脚上增加去耦电容。
- 每个 Vref pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20-25mil。

2.6.2.6 DDR2 布线建议设计参考图

图 2-13 为一个 6 层板的设计中，DDR2 走线部分采用了 3 层走线的方式。该走线满足上文中的关于等长设计和相关的匹配要求。

图2-13 Hi3511/Hi3512 DDR2 布线参考示例图



2.6.3 SMI 接口电路设计建议

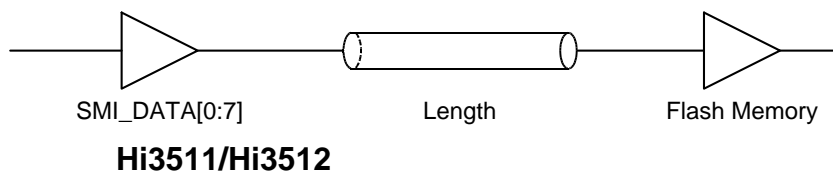
SMI 接口典型应用为连接 1 片 NORFlash (8bit)，SMI 接口数据信号包括 SMI_DATA[0:7]、SMI_ADDR[0:24]、SMI_CTL。



2.6.3.1 SMI_DATA[0:7]外接 1 个负载

SMI_DATA[0:7]外接 1 个负载时的拓扑图如图 2-14 所示。

图2-14 SMI_DATA[0:7]外接 1 个负载时的拓扑图



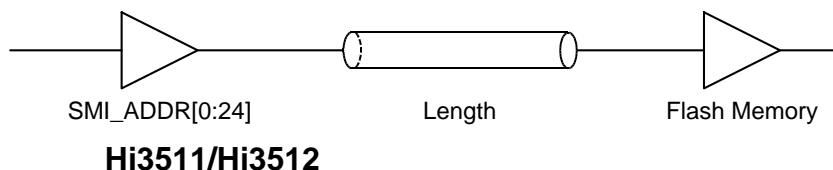
设计建议：

- 无需匹配电阻。
- 线特性阻抗 $50\Omega \pm 10\%$ 。

2.6.3.2 SMI_ADDR[0:24]外接 1 个负载

SMI_ADDR[0:24]外接 1 个负载时的拓扑图如图 2-15 所示。

图2-15 SMI_ADDR[0:24]外接 1 个负载时的拓扑图



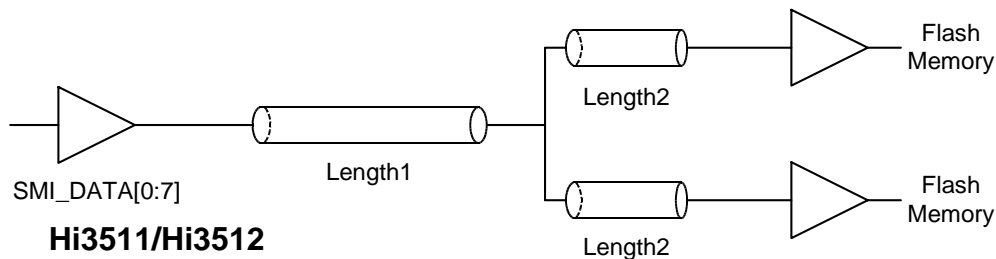
设计建议：

- 无需匹配电阻。
- 线特性阻抗 $50\Omega \pm 10\%$ 。

2.6.3.3 SMI_DATA[0:7]外接 2 个负载

SMI_DATA[0:7]外接 2 个负载时的拓扑图如图 2-16 所示。

图2-16 SMI_DATA[0:7]外接 2 个负载时的拓扑图





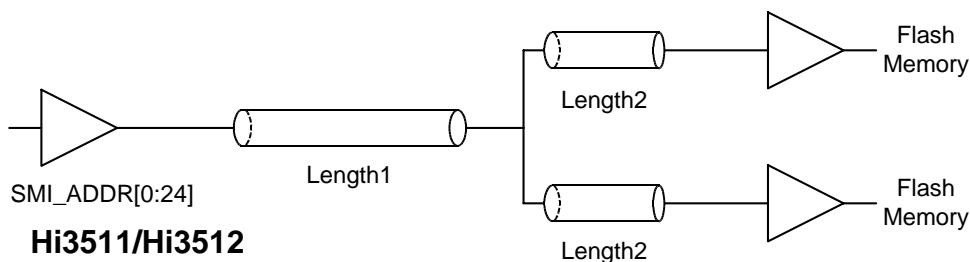
设计建议：

- 无需匹配电阻。
- 控制分支线 Length2 尽量短。
- 线特性阻抗 $50\Omega \pm 10\%$ 。

2.6.3.4 SMI_ADDR[0:24]外接 2 个负载

SMI_ADDR[0:24]外接 2 个负载时的拓扑图如图 2-17 所示。

图2-17 SMI_ADDR[0:24]外接 2 个负载时的拓扑图



设计建议：

- 无需匹配电阻。
- 控制分支线 Length2 尽量短。
- 线特性阻抗 $50\Omega \pm 10\%$ 。

2.6.3.5 信号线设计建议

为减小信号反射，建议所有 SMI 接口信号走线避免穿越电源地分割区域，保持完整的参考平面，传输线阻抗控制在 $50\Omega \pm 10\%$ 。建议 PCB 设计采用以下原则：

- 建议所有 SMI 信号走线分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，尽量保证 SMI 信号走线都有完整的参考平面。
- 在信号走线周围及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径。
- 所有信号线尽量短，并且在走线路径上尽量少打过孔，保证走线阻抗的连续性。
- 相邻信号走线间距保持在 2~3 倍线宽。
- 避免地址信号紧邻数据信号。
- 存储器的数据信号线尽量保持等长。

2.6.4 USB 接口电路设计建议

为了保证良好的信号质量，USB2.0 OTG 和 USB1.1 Host 端口数据线需要差分布线。差分数据线走线控制等长，走线间距保持均匀，控制 $90\Omega \pm 10\%$ 的均匀差分阻抗，并且避免靠近时钟芯片（比如：时钟谐振器、时钟振荡器和时钟驱动器等）。为了达到 USB2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长。



- 差分数据线走线宽度恒定，差分数据线要求平行。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。
- 差分数据线走线上不允许有分叉。
- 避免邻近其他高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

2.6.5 PCI 总线 PCB 设计建议

PCI 总线 PCB 设计建议如下：

- PCI 的各个时钟之间的 Skew 不要大于 2ns。
- PCI 的 flight time 不要超过 5ns。这个延时指信号从一个设备传输到另一个设备后，经过反射回到最初的芯片的传输延时，包括 PCB 走线延时和因为驱动器 buffer（包括走线拓扑）造成的信号畸变的延时。
- PCI 的阻抗设计需要根据实际的系统进行仿真决定，推荐值为 50Ω。
- 时钟匹配电阻的阻值、上拉电阻的阻值以及拓扑结构可以根据仿真结果决定。外挂 2~3 个从设备时推荐采用菊花链拓扑结构布线。
- PCI 走线有分叉时，分叉走线尽量短。

2.6.6 Hi3511/Hi3512 PLL 功能单元电路设计建议

Hi3511/Hi3512 PLL 功能单元的供电电源分为 AVDD33_PLL、AVSS33_PLL、DVDD12_0、VSS_0。

建议 PCB 设计时采用如下原则：

- DVDD12_0 为数字电源，VSS_0 为数字地，建议如下：
 - DVDD12_0 直接与数字 1.2V 电源相连。
 - VSS_0 与数字地直接相连。
 - 1.2V 电源电压偏差控制在±5%以内。
- AVDD33_PLL 为模拟电源，AVSS33_PLL 为模拟地，建议如下：
 - AVDD33_PLL 通过磁珠与数字 3.3V 电源隔离。
 - AVSS33_PLL 通过单点与数字地相连。
 - 3.3V 电源电压偏差控制在±5%以内。

2.6.7 其他

2.6.7.1 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，并结合提供的 Hi3511/Hi3512 接口 IBIS 模型、器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。

PCB 设计人员可以通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃和单调性等。



2.6.7.2 其他 PCB 设计注意事项

其他 PCB 设计注意事项如下：

- 时钟信号如果带多个负载，无论频率多高，都需要特别注意其信号质量，应保证信号边沿单调。
- Hi3511/Hi3512 的 SPI 时钟管脚 SPICK 与视频像素输出时钟管脚的驱动均为 12mA，PCB 设计时需要综合考虑其过冲与单调性。



3 硬件设计 checklist

关于本章

本章描述内容如下表所示。

标题	内容
3.1 电源和地	介绍在硬件设计时有关电源和地的检视内容。
3.2 系统配置、复位和时钟	介绍在硬件设计时有关系统配置、复位和时钟的检视内容。
3.3 JTAG	介绍在硬件设计时有关 JTAG 的检视内容。
3.4 存储器	介绍在硬件设计时有关存储器的检视内容。
3.5 外围接口	介绍在硬件设计时有关外围接口的检视内容。
3.6 PCB	介绍在硬件设计时有关 PCB 的检视内容。
3.7 单板散热	介绍在硬件设计时有关单板散热的检视内容。
3.8 其他	介绍在硬件设计时其他的检视内容。



3.1 电源和地

√	Items
	数字 CORE 电源 DVDD12 去耦滤波：连接数字 1.2V 电源，确保每 2 个管脚至少使用 1 个 100nF 陶瓷旁路电容，电容摆放的位置要尽量靠近电源管脚。靠近 Hi3511/Hi3512 均匀放置 2 个并联的 10μF 钽电容。
	数字 IO 电源 DVDD33 去耦滤波：连接数字 3.3V 电源，确保每 2 个管脚至少使用 1 个 100nF 陶瓷旁路电容，电容摆放的位置要尽量靠近电源管脚。靠近 Hi3511/Hi3512 均匀放置 3 个并联的 10μF 钽电容。
	数字 DDR 电源 DVDD18 去耦滤波：连接数字 1.8V 电源，确保每 2 个管脚至少使用 1 个 100nF 陶瓷旁路电容，电容摆放的位置要尽量靠近电源管脚。靠近 Hi3511/Hi3512 均匀放置 2 个并联的 10μF 钽电容。
	数字地信号 VSS：所有数字地管脚统一连接到数字地（GND）平面。
	DDR 参考电源管脚 VREF1~3：0.9V 参考电源，电阻直接分压得到，每个管脚使用 1 个 100nF 陶瓷旁路电容，电容摆放的位置要尽量靠近电源管脚。
	DDR 参考电源地管脚 VSSREF1~3：统一连接到数字地（GND）平面。
	USB1.1 模拟电源管脚 SAVDD33：与数字 3.3V 电源之间需要用磁珠隔离。推荐使用 1nF、0.1μF 和 10μF 的陶瓷电容滤波去耦。
	USB1.1 模拟电源对应地 SAVSS：与数字地用磁珠隔离。
	PLL 模拟电源 AVDD33_PLL：与数字 3.3V 电源之间需要用磁珠隔离。推荐使用 1nF、0.1μF 和 10μF 的陶瓷电容滤波去耦。
	PLL 模拟电源对应地 AVSS33_PLL：与数字地用磁珠隔离。
	PLL 数字电源 DVDD12_0：连接数字 1.2V 电源，推荐使用 1nF、0.1μF 陶瓷电容滤波去耦。
	PLL 数字地 VSS_0：连接数字地。
	OTG 数字电源 OTGVDD12：与数字 1.2V 电源之间需要用磁珠隔离。推荐使用 1nF、0.1μF 的陶瓷电容滤波去耦。
	OTG 模拟电源 OTGVDDA33C、OTGVDDA33T：连接到一起再与数字 3.3V 电源之间用磁珠隔离。推荐使用 1nF、0.1μF 和 10μF 的陶瓷电容滤波去耦。
	OTG 数字地 OTGVSS：与数字地直接相连。
	OTG 模拟地管脚 OTGVSSA33C、OTGVSSA33T：连接到一起与数字地之间用磁珠隔离。
	RTC 电池供电电源管脚 RTCBATT：选择 2.5V~3.3V 的电池供电，推荐使用 1nF、0.1μF 和 10μF 的陶瓷电容滤波去耦（RTC 不使用时，可以悬空）。



√	Items
	RTC 地管脚：直接连接数字地平面（RTC 不使用时，可以悬空）。
	RTC 电容滤波电源管脚 RTCAVDD12：外接 1 个 4.7 μ F 的旁路滤波电容。 当 RTC 功能不使用时，该电容不需要保留。
	电源设计要求：上电过程 Hi3511/Hi3512 的 Vio 总是先于 Vcore 上电，或者两者同时上电。
	电源设计要求：上电过程 Hi3511/Hi3512 的 Vio 值总是大于 Vcore 的值。
	设计为外设供电的电源时，需要根据实际的功耗需求按照降额 50% 设计。 当多个外设共享板上同一个电源而且需要支持热插拔时，该外设电源建议采用独立设计，避免因设备拔插而影响单板电源稳定。

3.2 系统配置、复位和时钟

√	Items
	加载模式选择管脚 FUNSEL0：需使用拨码开关或者电阻上下拉进行选择。 <ul style="list-style-type: none">• 0：boot from flash。• 1：boot from ddr。
	工作模式选择管脚 TESTMODE0：需使用拨码开关或者电阻上下拉进行选择。 <ul style="list-style-type: none">• 0：正常工作模式，ARM 可进入 debug 模式。• 1：测试模式。
	系统上电复位信号 RSTN：推荐使用专用的复位芯片对 Hi3511/Hi3512 复位，不推荐使用 RC 电路。推荐 RSTN 用 1k Ω 电阻下拉，确保 Hi3511/Hi3512 可靠复位。
	看门狗复位输出管脚 WDGRST：OD 输出，使用时需要外接上拉电阻。
	系统时钟管脚 XIN、XOUT：外接 27MHz 晶振，负载电容为 20pF~30pF，反馈电阻 1M Ω 。
	OTG 时钟管脚 XIN24、XOUT24：外接 24MHz 晶振，负载电容为 20pF~30pF，反馈电阻 1M Ω （不使用时，可以悬空）。
	RTC 时钟管脚 RTCXIN、RTCXOUT：外接 32.768kHz 晶振，负载电容为 20pF~30pF，反馈电阻 10M Ω （不使用时，可以悬空）。



3.3 JTAG

√	Items
	JTAG 连接信号需要满足 Hi3511/Hi3512 的信号上下拉规则。 <ul style="list-style-type: none"> • TCK: 1kΩ 下拉电阻。 • TMS、TDI、TDO: 4.7kΩ 上拉电阻。 • TRSTN: 10kΩ 下拉电阻。

3.4 存储器

√	Items
	EBI 和 DDR 总线的走线匹配规则, 请参见“ 2.6 PCB 设计建议 ”的要求。
	Flash 的复位信号和 Hi3511/Hi3512 的复位信号应当为同一网络。
	Hi3511/Hi3512 支持 Flash 规格为最大 32MB, 8bit 位宽的 NOR Flash。
	SMI 片选信号 EBICS0N、EBICS1N: 有效电平可以配置, 当配置为低电平有效时, 需外加上拉电阻。
	SMI 接口输入 ready 指示信号 EBIRDYN: 低电平有效, 不使用时可以悬空。
	Hi3511/Hi3512 支持的 DDR 规格为最大 512MB 容量, 支持 32bit 数据位宽。
	Hi3511/Hi3512 DDR 时钟管脚有 DDRCKP0/DDRCKN0、DDRCKP1/DDRCKN1 两对, 需要分别一对一连接到 DDR2 颗粒。
	不支持如下类型的 DDR 器件: auto precharge/all bank precharge controlled by A8, Hi3511/Hi3512 只支持 A10 作为这个控制位。

3.5 外围接口

√	Items
	Hi3511/Hi3512 视频输入通道 0~3 支持的视频格式不完全相同, 设计时请参见“ 2.5 VI 接口 ”的要求。
	音频 I2S0、I2S1 支持音频最多 8 路的复合输入, 具体格式兼容 Techwell 公司的 TW2815 系列芯片音频规格。



√	Items
	SIO0 通道作为音频的输入输出通道，SIO1 通道只能支持作为输入通道。
	推荐 Hi3511/Hi3512 芯片的 I ² S 接口作为从模式，即 SIODI、SIOXFS、SIORFS 和 SIOXCK 均为输入，只有 SIODO 为输出。如果音频 AD/DA 共用一个同步信号，那么应当将该信号同时连接 SIOXFS 和 SIORFS。 Hi3511/Hi3512 I ² S 接口工作在主模式时，即由 Hi3511/Hi3512 提供 SIOXFS、SIORFS 信号时，需要由 Hi3511/Hi3512 ACKOUT 管脚为外接的 codec 提供工作时钟。
	PCI 接口可以支持主从工作模式，不同工作模式设计时，请参见“ 2.1 PCI 总线接口 ”的要求。
	OTG 接口为非标 USB2.0 OTG 接口，在外接 TYPE A 型接口时，外接电源电路需要考虑 VBUS 掉电脉冲的需求。推荐电路请参见“ 2.3 USB2.0 OTG 接口 ”的要求。
	USB1.1 信号线 USBDM、USBDP 需要有 15kΩ 下拉电阻。
	USB 电源线应当有输出短路保护。
	推荐通过 GPIO 模拟 I ² C，不推荐使用 Hi3511/Hi3512 的 I ² C 信号。
	建议在关键外围器件（包括视频 DECODER、ENCODER、PCI 外扩设备控制电路、音频 CODEC 等）选型时，尽量采用与 Demo 板上相同或者兼容的器件，以确保设计准确。

3.6 PCB

√	Items
	Hi3511/Hi3512 芯片布局布线请参见“ 2.6 PCB 设计建议 ”的要求。
	Hi3511/Hi3512 芯片放置最好远离热源和其他强干扰源，尽量不要靠近板边放置。
	当使用 crystal 时，需要保证 crystal 尽可能接近 XTALi 和 XTALo 引脚。 当使用 reference clock 时，需要遵循源端匹配规则，并且保证匹配电阻离时钟输出端足够近。
	旁路电容需要靠近芯片的电源引脚。
	源端匹配电阻需要靠近芯片放置。
	Hi3511/Hi3512 的数字电源和地尽可能采用平面层或者铺铜方式进行设计。
	Hi3511/Hi3512 的模拟电源和模拟地的走线线宽要保证至少大于 10mil，建议尽可能采用铺铜连接，周围 100mil 范围内最好没有数字信号走线。



√	Items
	Hi3511/Hi3512 复位信号远离模拟信号、时钟电路，且走线尽量短。
	DDR 的时钟线、信号线等高速信号需要走在单板的内层，并且相邻层对应的位置是完整的地参考平面。
	信号线走线需要满足“3W 规则”。
	USB OTG、USB1.1 差分线的走线需要按照差分走线规则，走线之间的 Skew 小于 100mil。
	模拟信号在板上走线尽量短，且远离数字信号。
	PCI 走线的拓扑结构在外挂设备 2 个以上时，建议根据仿真结果进行设计调整。
	视频、音频信号远离电源电路，特别是 DC/DC 电源电路。
	PCI 板卡设计时，PCB 需满足通用 PCI 板卡的结构及工艺设计要求。

3.7 单板散热

√	Items
	尽可能对发热元器件分散布置，使单板表面热耗均匀。
	将发热量大的器件靠近通风孔。
	尽量增大单板上铺铜的面积，多打过孔。
	电源转换芯片需要通过铺铜进行散热设计或采取其他散热措施。
	Hi3511/Hi3512 中间的地管脚处要铺铜，多打过孔使其与整个单板的地最大可能连接。
	散热过孔设计：孔径 10mil~12mil，孔中心间距 50mil 以上。
	PCB 面积较小时，可以考虑增加铜皮的厚度加强散热。
	无特殊需求时，采用铝材散热器。
	散热器与芯片的接触面要求十分平整，粗糙度小于 1.6。



3.8 其他

√	Items
	在使用 I ² C 和 ETH 时，SDA、SCL、MDIO 管脚应该有 4.7kΩ 上拉电阻。
	闲置管脚的推荐处理方式如表 3-1 所示。

表3-1 闲置管脚的推荐处理方式

信号名	芯片内部处理	是否必须使用	不使用时处理方式
系统管脚			
XIN	CIN	是	-
XOUT	COUT	是	-
XIN24	CIN	否	悬空
XOUT24	COUT	否	悬空
RSTN	I _{SPU}	是	-
FUNSEL0	I _{SPD}	是	-
TESTMODE0	I _{SPD}	是	-
WDGRST	O _{OD}	否	上拉
JTAG 管脚			
TDI	I _{SPU}	否	上拉
TCK	I _{SPD}	否	下拉
TMS	I _{SPU}	否	上拉
TRSTN	I _{SPD}	否	下拉
TDO	O	否	悬空
VO 管脚			
VOCK	O	否	悬空
VODAT[0:7]	O	否	悬空
VI 管脚			
VI0CK	I	否	悬空
VI0HS	I _{SPU} /O	否	悬空
VI0VS	I _{PU} /O	否	悬空



信号名	芯片内部处理	是否必须使用	不使用时处理方式
VI0DAT[2:9]	I/O	否	悬空
VI1CK	I	否	悬空
VI1DAT[0:7]	I/O	否	悬空
VI2CK	I	否	悬空
VI2HS	I _{PU} /O	否	悬空
VI2VS	I _{PU} /O	否	悬空
VI2DAT[2:9]	I/O	否	悬空
VI3CK	I	否	悬空
VI3DAT[0:7]	I/O	否	悬空
I ² C 管脚			
SDA	I _{SPU} /O _{OD}	否	悬空
SCL	I _{SPU} /O _{OD}	否	悬空
UART 管脚			
URXD0	I _S	否	悬空
UTXD0	O	否	悬空
URXD1	I _{SPU} /O	否	悬空
UTXD1	I _{PD} /O	否	悬空
URTSN1	I _{PD} /O	否	悬空
UCTSN1	I _{PD} /O	否	悬空
SIO 管脚			
SIO0DI	I _{PU}	否	悬空
SIO0DO	O	否	悬空
SIO0XFS	I _{PU} /O	否	悬空
SIO0RFS	I _{PU} /O	否	悬空
SIO0XCK	I _{PU} /O	否	悬空
SIO0RCK	I _{PU} /O	否	悬空
ACKOUT	I _{PU} /O	否	悬空
SIO1DI	I _{PU} /O	否	悬空



信号名	芯片内部处理	是否必须使用	不使用时处理方式
SIO1RFS	I _{PU} /O	否	悬空
SIO1RCK	I _{PU} /O	否	悬空
EBI 管脚			
EBIWEN	O	否	悬空
EBIOEN	O	否	悬空
EBICS0N	O	否	悬空
EBICS1N	I/O	否	悬空
EBIRDYN	I _{SPU} /O	否	悬空
EBIADR[0:24]	O	否	悬空
EBIDQ[0:7]	I/O	否	悬空
ETH 管脚			
MDCK	O	否	悬空
MDIO	I/O	否	悬空
ETXD[0:3]	O	否	悬空
ETXEN	O	否	悬空
ETXCK	I _{PU}	否	悬空
ERXD[0:3]	I _{PU}	否	悬空
ERXDV	I _{PU}	否	悬空
ERXERR	I/O	否	悬空
ERXCK	I _{PU}	否	悬空
ECRS	I/O	否	悬空
ECOL	I/O	否	悬空
DDR2 管脚			
DDRMRCVI	I/O	否	悬空
DDRMRCVO	I/O	否	悬空
DDRCKP0	O	是	悬空
DDRCKP1	O	是	悬空
DDRCKN0	O	是	悬空
DDRCKN1	O	是	悬空



信号名	芯片内部处理	是否必须使用	不使用时处理方式
DDRCKE0	O	是	悬空
DDRRASN	O	是	悬空
DDRCASN	O	是	悬空
DDRWEN	O	是	悬空
DDRCASN	O	是	悬空
DDRADR[0:13]	O	是	悬空
DDRBA[0:2]	O	是	悬空
DDRDM[0:3]	O	是	悬空
DDRODT	O	是	悬空
DDRDQ[0:31]	I/O	是	悬空
DDRDQS[0:3]	I/O	是	悬空
USB 1.1 HOST 管脚			
USBDM	I/O	否	悬空
USBDP	I/O	否	悬空
USB 2.0 OTG 管脚			
OTGID	I	否	悬空
OTGDM	I/O	否	悬空
OTGDP	I/O	否	悬空
OTGREXT	I/O	否	悬空
OTGVBUS	I/O	否	悬空
RTC 管脚			
XINRTC	CIN	否	悬空
XOUTRTC	COUT	否	悬空
RTCAVDD12	I/O	否	4.7uf 电容滤波
RTCAGND	G	否	悬空
RTCBATT	P	否	悬空
MMC 管脚			
SDIOCMD	I _{SPU} /O	否	悬空



信号名	芯片内部处理	是否必须使用	不使用时处理方式
SDIODAT[0:3]	I _{SPU} /O	否	悬空
SDIOCK	I _{SPU} /O	否	悬空
SPI 管脚			
SPIDI	I _{SPU} /O	否	悬空
SPIDO	I _{PU} /O	否	悬空
SPICSN0	I _{SPU} /O	否	悬空
SPICK	I _{SPU} /O	否	悬空
PCI 管脚			
PCICLK	I _{PU} /O	否	悬空
PCIRSTN	I _{SPU} /O	否	悬空
PCIAD[0:31]	I _{PU} /O	否	悬空
PCIFRAMEN	I _{PU} /O	否	悬空
PCICBE[0:3]	I _{PU} /O	否	悬空
PCIIRDYN	I _{PU} /O	否	悬空
PCITRDYN	I _{PU} /O	否	悬空
PCISTOPN	I _{PU} /O	否	悬空
PCIDEVSELN	I _{PU} /O	否	悬空
PCIPAR	I _{PU} /O	否	悬空
PCIPERRN	I _{PU} /O	否	悬空
PCISERRN	I _{PU} /O	否	悬空
PCIIDSEL	I _{PU} /O	否	悬空
PCIINTAN	I _{PU} /O	否	悬空
PCIREQ0N	I _{PU} /O	否	上拉
PCIREQ1N	I _{PU} /O	否	上拉
PCIREQ2N	I _{PU} /O	否	上拉
PCIREQ3N	I _{PU} /O	否	上拉
PCIREQ4N	I _{PU} /O	否	上拉
PCIGRANT0N	I _{PU} /O	否	悬空
PCIGRANT1N	I _{PU} /O	否	悬空



信号名	芯片内部处理	是否必须使用	不使用时处理方式
PCIGRANT2N	I _{PU} /O	否	悬空
PCIGRANT3N	I _{PU} /O	否	悬空
PCIGRANT4N	I _{PU} /O	否	悬空
电源、地管脚（OTG）			
OTGVDD12	-	是	接 1.2V 数字电源，不需要磁珠隔离。
OTGVDDA33C	-	否	悬空
OTGVSSA33C	-	否	悬空
OTGVSS	-	是	接数字地
OTGVDDA33T	-	否	悬空
OTGVDDA33T	-	否	悬空
OTGVSSA33T	-	否	悬空
OTGVSSA33T	-	否	悬空
OTGVSSA33T	-	否	悬空
电源、地管脚（PLL）			
AVDD33_PLL	-	是	-
AVSS33_PLL	-	是	-
DVDD12_0	-	是	-
VSS_0	-	是	-
电源、地管脚（USB 1.1 HOST）			
SAVDD33	-	否	悬空
SAVSS	-	否	悬空
电源、地管脚（DDR）			
DVDD18	-	是	-
VREF3	-	是	-
VSSREF3	-	是	-
VREF2	-	是	-
VSSREF2	-	是	-
VREF1	-	是	-



信号名	芯片内部处理	是否必须使用	不使用时处理方式
VSSREF1	-	是	-
电源、地管脚（其它）			
DVDD33	-	是	-
DVDD12	-	是	-
VSS	-	是	-