# **515152電子設計自動化演算法與實作 Electronic Design Automation Algorithms and Implementation**

**ICCAD contest Problem D:**

**APB Transaction Recognizer**

**組員1:**

**組員 2: v(113065537)黃奕立**

##### 題目簡介

設計並實作一套 VCD（Value Change Dump）解析器，能夠即時解析 APB 匯流排交易，並針對交易過程中的多種錯誤情境進行偵測與統計。透過此工具，可協助設計者驗證 APB （Advanced Peripheral Bus）匯流排的交易合法性、Completer 連線狀態、交易效率與錯誤分析。

競賽網站公告的題目介紹中嘗試引導介紹驗證電路的三種常見型態，基於模擬（Simulation-Based Verification）、形式驗證（Formal Verification）以及基於測試平台（Testbench-Based Verification）的三種驗證流程，但實際上題目的要求被限縮在觀察AMBA（Advanced Microcontroller Bus Architecture）中的APB協議，並且主要以識別其中三種APB Protocol為任務目標，分別為UART、GPIO、SPI Master。

任務目標為透過識別APB交易過程中六個主要訊號，即PCLK(時脈)、PADDR(地址)、PWRITE(讀/寫標誌)、PENABLE(始能訊號)、PSEL(外設選擇訊號)、PWDATA/PRDATA(數據)，識別APB Transaction、從Bus使用率交易數量週期解析Bus行為，最後驗證並且記錄限定的六種APB交易錯誤。

##### 方法流程圖

VCD 檔案讀取

│

▼

逐行解析 VCD 變化

│

▼

餵入 Transaction Analyzer

│

├── 判斷交易起始 (Setup Phase)

│

├── 判斷 Access Phase

│

├── 判斷 Timeout、Overlap、Mirroring、Corruption

│

├── 判斷 Completer 類型 (UART / GPIO / SPI)

│

▼

交易完成 → 記錄交易資訊

│

▼

統計交易結果、錯誤類型

│

▼

輸出報告

##### 方法介紹

1. VCD 檔案解析

使用 VCDStreamer 讀取並解析 VCD 檔案，建立符號表與即時訊號變化 紀錄。主要流程：

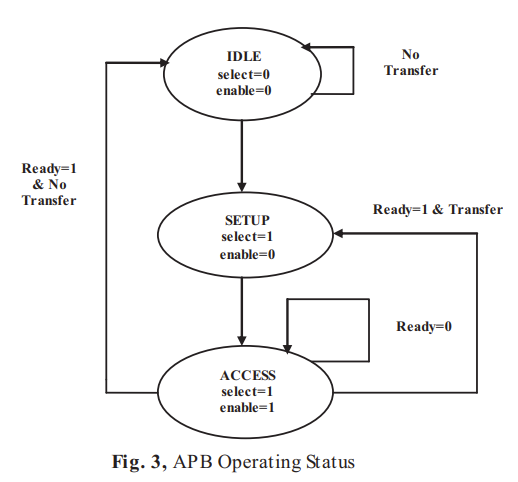
建立 symbol → signal name 映射表。

逐行解析時間點與訊號變化。

透過 callback 將每筆變化傳遞給 TransactionAnalyzer。

2. Transaction 分析

題目需解析的VCD是單一時序的序項解析過程，解析後的映射表不需要再經過複雜的資料結構預處裡。



(合法APB 操作過程的State Diagram ，按參考資料一Fig. 3.)

使用 TransactionAnalyzer 進行交易解析，並即時偵測以下六種錯誤：

Timeout：超過預設週期未完成。

Mirroring：讀取到其他地址曾寫入的資料。

Overlap：新的讀交易與尚未完成的寫交易重疊。

Address/Data Corruption：交易過程中地址或資料異常改變。

Out-of-Range：PADDR 不屬於合法 Completer 範圍。

3. Completer 判斷

透過 PADDR 範圍自動對應 Completer：

UART：0x1A100000 ~ 0x1A100FFF

GPIO：0x1A101000 ~ 0x1A101FFF

SPI Master：0x1A102000 ~ 0x1A102FFF

4. 錯誤報告與統計

輸出以下統計項目：

各類交易數量（讀取/寫入、含等待週期/不含等待週期）

Bus 使用率

平均交易週期

Timeout 次數

Out-of-Range 次數

Mirror 次數

Overlap 次數

Completer 連線狀態

Address/Data Corruption 位元浮接分析

1. 可能的調整方向

競賽的得分方式，主要在於APB 交易解析的正確性，同分比序才會加入Cpu程式執行時間做為參照，因此針對測題D所限定的測資範圍，未來可以嘗試導入File I/O Buffering，針對不同錯誤類別設計個別模組化以實現並行處理來加速。

1. 組員貢獻內容

李謝昀完成主程式骨幹以及測資的產生、以及期末報告，黃奕立完成期末報告整理，目前modularization尚未完成。

##### TestCase 介紹表格

官方原先公告會提供六種錯誤的測資，但目前看不到測資的更新(Date: 6/19)。關於併行化處理，競賽題目中引用的文獻VCD file 大小可以達到200GB 的數量級[2]，目前官方公告最大的Testcase 大小為2MB。

基於APB Protocol可以生成出基本功能所需要驗證的六種錯誤情形。

##### 實驗結果比較表格

##### Reference

[1] K.V. Kumar and R. C. Rao, "Design and Verification of Advanced Microcontroller Bus Architecture-Advanced Peripheral Bus (AMBA-APB) Protocol," 2021 International Conference on Innovative Computing and Communications (ICICV), 2021, pp. 1-5, doi:10.1109/ICICV50876.2021.9388549.

[2] R. V. Anam, P. S. Deogade, and S. S. Shingare, "Accelerated Analysis of Simulation Dumps through Parallelization on Multicore Architectures," 2021 24th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), 2021, pp. 1-6, doi:10.1109/DDECS52668.2021.9417048.

1. **報名截圖、繳交證明**