



同济大学 计算机科学与技术学院
TONGJI UNIVERSITY SCHOOL OF COMPUTER SCIENCE AND TECHNOLOGY

《计算机组成原理实验》 数字逻辑设计实验报告

开课学期：2025-2026 第一学期

项目名称：抢答器

专 业：软件工程

班号组号：25T78 04

学 号：2452207

姓 名：刘相成

一、实验方案

项目名称： 抢答器		实验时间： 2025.11.13
小组合作：是 <input checked="" type="checkbox"/> 否	小组成员： 胡正华、姚翼钊、刘相成	
实验目的：本实验旨在设计并在 NI Multisim 中搭建一个完整的抢答器电路，实现“按键输入→编码→锁存→显示与计时→蜂鸣提示”的功能流程，验证系统能正确识别并显示首个按下按键的选手编号与计时信息，再额外实现人工计分功能。		
实验设备和材料		
实验软件：NI multisim 10.0		
芯片列表（型号及数量）：		
器材名称	型号	数量
优先编码器	74LS148D	1
锁存器	74LS175N	1
译码器	74LS48N	7
双 D 触发器	74LS74N	1
与门	74LS08D	2
或门	74LS32N	2
反相器	74LS04D	3
计数器	74LS192N	2
计数器	74LS192D	4
其他：		
数码管	共阴 7 段数码管	7
按键	轻触按键	5
蜂鸣器	BUZZER 200Hz	3
定时器	LM555CM	1
电阻	#	若干
电容	10μF、100μF	若干
电源模块	VCC (5. 0V)	若干

实验内容：

1. 设计方案概述：

一、4 名选手编号为：1，2，3，4。各有一个抢答按钮，按钮的编号与选手的编号对应，也分别为 1，2，3，4。

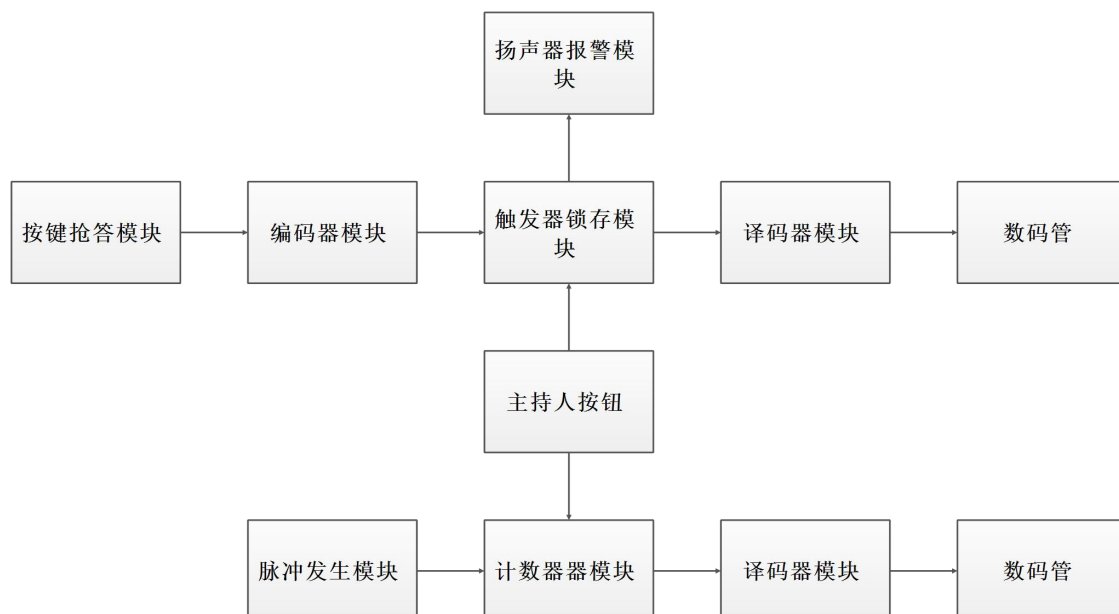
二、给主持人设置一个控制按钮，用来控制系统清零和抢答的开始。

三、抢答器具有数据锁存和显示的功能。抢答开始后，若有选手按动抢答按钮，该选手编号立即锁存，并在抢答显示器上显示该编号，同时扬声器给出音响提示，封锁输入编码电路，禁止其他选手抢答，同时计数器显示此时的时间。抢答选手的编号一直保持到主持人将系统清零为止。

四、抢答器具有定时（自定义）抢答的功能。当主持人按下开始按钮后，定时器开始倒计时，定时显示器显示倒计时，若无人抢答，倒计时结束时，扬声器响。参赛选手在设定时间内抢答有效，抢答成功，扬声器响，同时定时器停止倒计时，抢答显示器上显示选手的编号，定时显示器上显示剩余抢答时间，并保持到主持人将系统清零为止。

五、如果抢答定时已到，却没有选手抢答时，本次抢答无效。系统扬声器报警，并封锁输入编码电路，禁止选手超时后抢答，时间显示器显示 0。

六、主持人根据回答情况进行计分操作。



2. 设计原理介绍：

各种器件实现功能及用途：

抢答按键：四个抢答选手可通过按动自己的按钮将信号送入 74LS148 进行编码。

编码器：选用 74LS148 编码器，将抢答按钮输入的信号进行编码，再将编码结果输入 74LS175D 触发器。

触发器：选用 74LS175 触发器，将编码器编码信息进行锁存，再送入 74LS48 译码器。

脉冲发生电路：脉冲发生电路产生标准 1HZ 脉冲，供计数器进行计数。

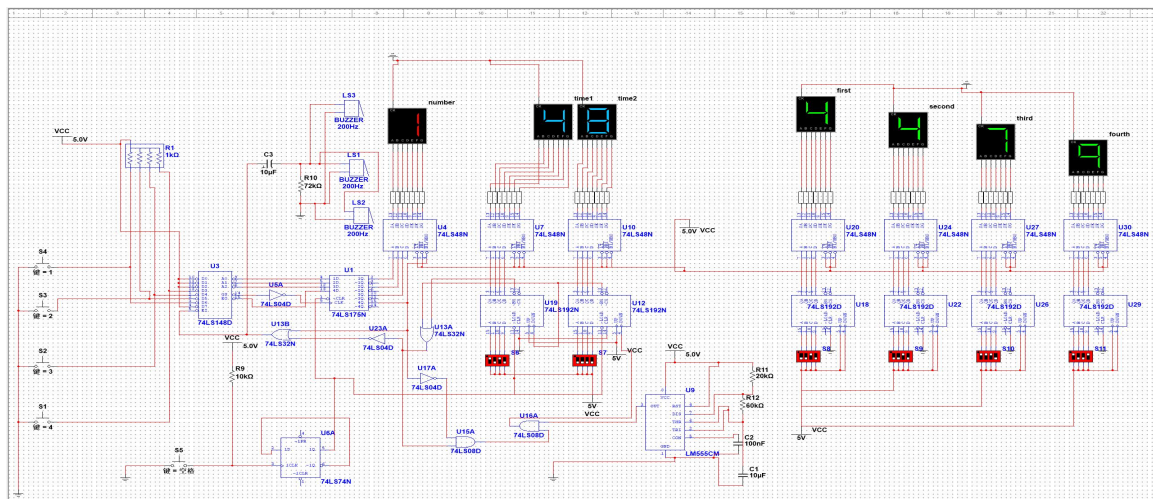
计数器：计数器 74ls160 对 1HZ 脉冲进行计数，计时即对秒脉冲进行计数。

译码器：选用 74LS48 译码器，将触发器所存的按键信号、计数器计数结果进行译码，译成相应的 BCD 码以驱动数码管进行显示相应选手号码以及计时时间。

数码管：选用共阴极数码管。其相应端口与译码器相连，根据输入的 BCD 码显示抢答成功选手的编号和倒计时时间。

扬声器报警电路：当四个抢答者有一个抢答者抢答成功后启动扬声器电路，由一个两个或门跟蜂鸣器构成，当有按键按下时触发器锁存住信号由原来的 0000 变为 1-4 的某一个数使得或门输出为 1，从而蜂鸣器响。

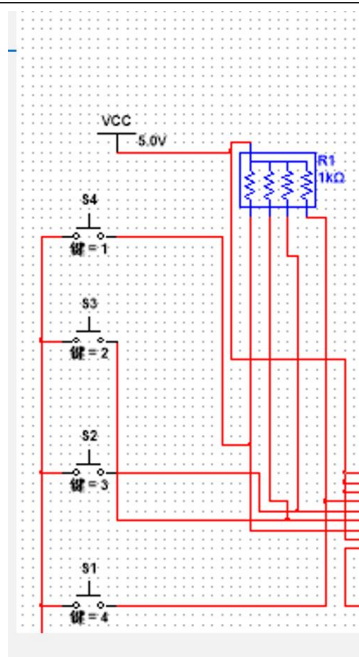
总电路图：



2.1 按键抢答模块设计

抢答按键一端上拉电阻一端接触发器输出后经过四输入与门的输出后取反，则当有一个按键按下时与门输出为低电平，使得按键两端都为高电平，所以当有一个按键按时其他按键按下不会产生电平变化，从而实现抢答功能。

电路如下所示：

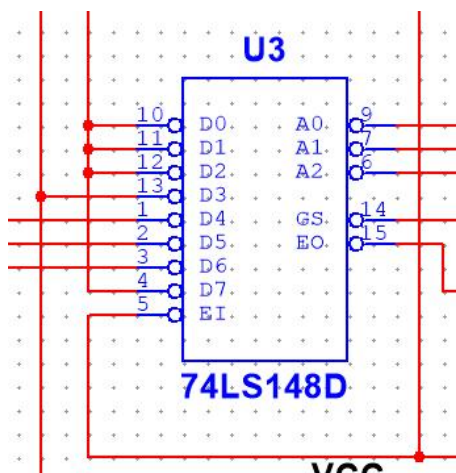


2.2 编码模块设计

编码模块由 74ls148 优先编码器构成。其功能表如下所示：

输入									输出				
EI	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
1	X	X	X	X	X	X	X	X	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	X	X	X	X	X	X	X	0	0	0	0	0	1
0	X	X	X	X	X	X	0	1	0	0	1	0	1
0	X	X	X	X	X	0	1	1	0	1	0	0	1
0	X	X	X	X	0	1	1	1	0	1	1	0	1
0	X	X	X	0	1	1	1	1	1	0	0	0	1
0	X	X	0	1	1	1	1	1	1	0	1	0	1
0	X	X	0	1	1	1	1	1	1	1	0	0	1
0	0	1	1	1	1	1	1	1	1	1	1	0	1

由其功能表可发现当 4、3、2、1 输入为 0 时输出分别为 1、2、3、4，分别为抢答者编号。则将其 6 个按键输出接入编码器 6、5、4、3、2、1 输入口，输出接入触发器输入。电路图如下所示：



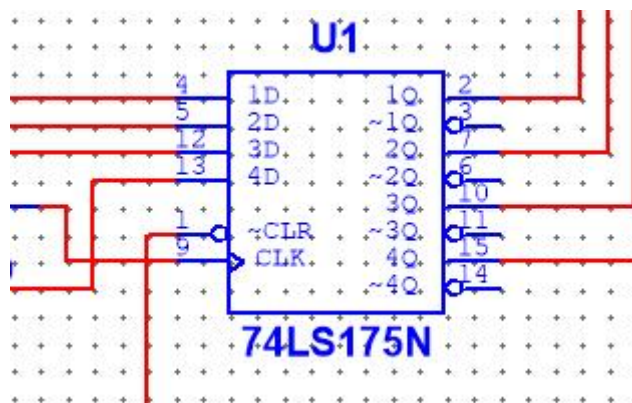
2.3 数据保持模块设计

将编码器的 3 个输出端与 D 触发器 3 个输入端相连, 再将 8 号按键输入取反接入触发器最高位, 8 线-3 线优先编码器 (74LS148) 将输入的低电平有效信号进行优先选择, 并且将选择出的信号触发器模块进行锁存。74LS175 触发器保持时需要上升沿脉冲, 所以用与门对按下按键进行判断从而产生上升沿脉冲。

74ls175 功能表:

输入						输出			
R_D	CP	1D	2D	3D	4D	1Q	2Q	3Q	4Q
L	×	×	×	×	×	L	L	L	L
H	↑	1D	2D	3D	4D	1D	2D	3D	4D
H	H	×	×	×	×	保持			
H	L	×	×	×	×	保持			

电路图电路如下:



2.4 倒计时模块电路设计

倒计时模块电路采用十进制可逆计数器 74LS192。74LS192 是具有置数和清零功能。

P0、P1、P2、P3——置数并行数据输入；

Q0、Q1、Q2、Q3——计数数据输出；

CR——清零端；

LD——置数端；

CPu ——加法计数 CP 输入；

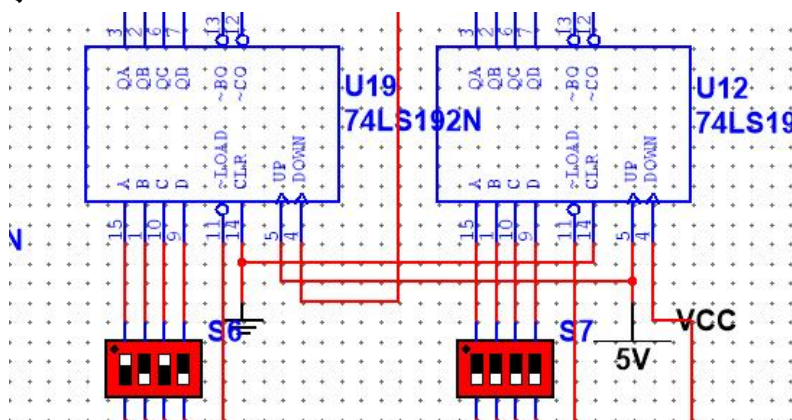
CPd ——减法计数 CP 输入；

CO——进位输出端；

BO——借位输出端。

上述 74LS48 的 7, 6, 2, 3 引脚接受来自 74LS192 的输出信号并把它译码显示在数码管上。74LS192 的 9, 10, 11, 15 引脚完成时间设定功能, 本设计要求定时可通过按钮进行设置, 所以把 74LS192 可逆计数器输入端再接一可逆计数器输出, 此可逆计数器脉冲输入端由两上拉电阻按钮输入, 使的初始时间设定可通过按钮进行加减。工作过程为: 抢答开始前, 74LS192 的置数端为低电平, 处于初始状态, 数码管显示为 9, 5 引脚接高电位。抢答开始后, 秒脉冲推动 74LS192 的开始倒计时, 完成十进制的倒计时功能。当有人抢答后 1Q 的输出为 1, 经过非门后变为 0, 通过与门屏蔽了秒信号, 停止记时, 完成显示抢答时间的功能。当记到了 9 秒时即计数器 74LS192 计数到 0, 74LS192 产生的借位信号输出为低电平, 也屏蔽了秒信号, 使得数码管显示为 0。

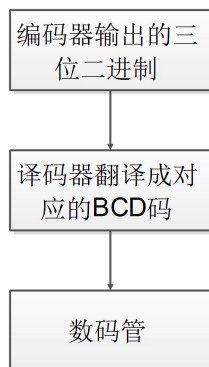
电路图如下所示:



2.5 译码模块设计

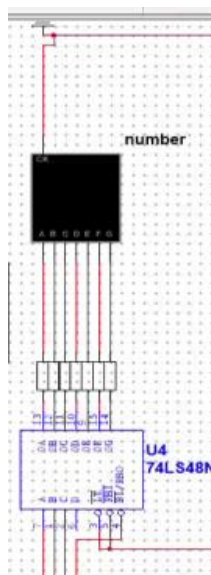
将触发器和计数器的输出送入 74ls47 共阳极译码器转换成呼叫号所对应的 BCD

码，再将该 BCD 码输入到七段字形译码器并由七段阴极数码管显示呼叫数字以及倒计时时间。



译码显示模块设计流程图

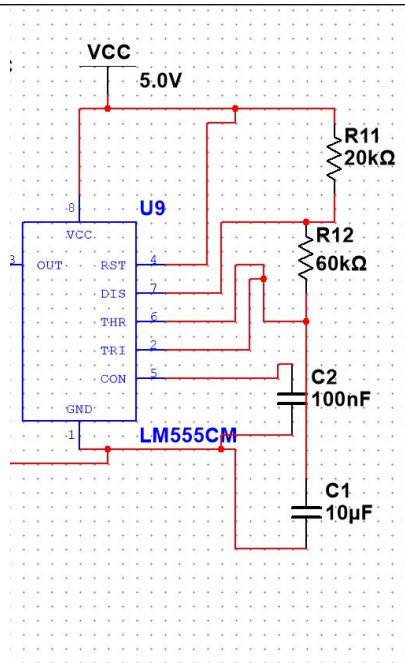
电路图如下：



2.6 脉冲发生器模块电路

脉冲源电路为 555 定时器构成多谐振荡电路：

由集成电路定时器 555 与 RC 组成的多谐振荡器产生矩形脉冲：暂稳状态的脉冲宽度 t_{p1} ，即 u_c 从 $(1/3)U_{cc}$ 充电上升到 $(2/3)U_{cc}$ 所需的时间： $t_{p1} \approx (R_1 + R_2)C \ln 2 = 0.7(R_1 + R_2)C$ 。脉冲宽度 t_{p2} ，即 u_c 从 $(2/3)U_{cc}$ 放电下降到 $(1/3)U_{cc}$ 所需的时间： $t_{p2} \approx R_2 C \ln 2 = 0.7R_2 C$ 。振荡周期： $T = t_{p1} + t_{p2} = 0.7(R_1 + 2R_2)C$ 。因此，令 $R_1 = 20K\Omega$ ， $R_2 = 60K\Omega$ ，输出频率为 1Hz 即 $T = 1s$ ，则可求出 $C = 10\mu F$ 。电路图如下所示：

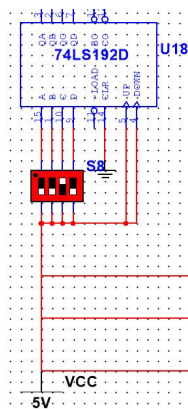


2.7 计分模块电路

计分模块由 74LS192 可逆计数器、拨码开关、上拉电阻、以及 74LS48 BCD→7 段译码驱动与限流电阻组成。每一位十进制分数使用一片 74LS192（4 位 BCD/十进制可逆计数器）驱动一片 7 段数码管（通过 74LS48 翻译成段信号）。通过 74LS192 的并行置数、清零、上/下计数脉冲和进/借位输出，可以实现分数的预置、加分、减分及多位进位联级。

工作流程：比赛过程中，通过手动设置拨码开关来实现对每位选手的分数的记录，这样操作相对于使用时钟信号进行加分和减分操作更加简单。计数器输出二进制信号后，再由译码器输出驱动数码管显示的信号，使之形成对应的数字，以完成计分操作。

电路如下图所示：



二、实验小结与心得

在本次抢答器实验中，我们小组共同完成了一个功能完整的抢答器系统设计与仿真。从方案提出到电路搭建，再到功能调试，整个过程不仅锻炼了我们的数字电路设计能力，也加深了对编码器、锁存器、计数器、译码器等芯片功能及其协同工作的理解。

方案形成的过程：

我们首先明确了抢答器的基本功能需求，包括抢答识别、编号显示、倒计时、声音提示和人工计分等。在此基础上，通过查阅芯片手册和参考网上资料，我们确定了以 74LS148 优先编码器为核心进行抢答信号编码，使用 74LS175 触发器实现数据锁存，再通过 74LS48 驱动数码管显示，配合 74LS192 实现倒计时功能。整个系统分为抢答模块、编码锁存模块、计时模块、显示模块和计分模块，各模块之间通过逻辑门和触发器协同工作。

项目完成情况：

我们在 NI Multisim 中成功搭建了完整的抢答器电路，实现了以下功能。1. 主持人可控制系统的启动与清零。2. 抢答过程中能正确识别最先按键的选手编号并锁定显示。3. 倒计时结束后若无人抢答则蜂鸣器报警。4. 抢答成功后显示剩余时间并锁定其他按键。5. 支持手动设置和显示选手得分。

设计中遇到的困难：

1. 锁存信号不稳定。最初使用简单的 D 触发器时，锁存信号在按键释放后会出现抖动，导致显示错误。后来我们通过引入与门和反相器组合，实现了边沿触发锁存，解决了抖动问题。
2. 倒计时模块不工作。初步连接 74LS192 时，发现计数器不响应脉冲信号。经检查发现是置数端和清零端电平设置错误，调整后恢复正常。
3. 显示乱码。在连接 74LS48 和数码管时，由于段选信号接反或共阴或者共阳类型不匹配，导致显示异常。通过逐一排查引脚连接和更换数码管类型，最终解决。

调试中出现异常现象的分析与讨论：

在调试过程中，我们发现当多个按键同时按下时，系统偶尔会显示错误的选手编号。分析后发现是 74LS148 的优先级编码功能未完全理解，其输入信号在同时有效时只响应最高优先级。通过重新阅读芯片手册并调整输入顺序，确保了编码正确性。此外，蜂鸣器在无人抢答时误响，是由于触发信号未经过适当的逻辑屏蔽，后续通过增加或门和与门控制信号路径，解决了误触发问题。

对现有电路方案的思考改进：

1. 计分模块目前依赖手动拨码，未来可改为自动计分，配合触发器实现加分/减分；
2. 可扩展支持更多选手（8 人），只需增加编码器和触发器数量；

个人心得：

在本次抢答器项目中，我主要负责核心的“倒计时模块”的设计与实现。这个模块关系到抢答的公平性与系统的节奏控制，是整个系统的关键一环。我的工作核心是让两片 74LS192 十进制可逆计数器实现从设定值（30 秒）开始的准确倒计时。一开始，我以为只要接上 1Hz 的时钟脉冲它就能自己减下去。但实际连接后，问题却很多：要么计数器不计数，要么借位信号无法传递到十位芯片，导致“29”之后直接跳变到“19”。

为了解决这个问题，我反复研读 74LS192 的数据手册，终于弄懂了其异步置数、借位输出高有效的特性。我重新检查了芯片间级联的线路，确保了个位芯片的借位输出端与十位芯片的减法计数输入端正确连接，并验证了置数和清零端的电平状态。通过这次实践，我深刻体会到理论知识与工程实践之间的差距。逻辑电平只有通过亲手连接和调试，才能转化为电路中鲜活的时序逻辑。这次经历不仅让我彻底掌握了同步计数器的工作原理，更锻炼了我分析和解决复杂问题的实力。这让我认识到，一个好的设计既需要扎实的理论基础，也需要耐心细致的实践精神。这次经历对我今后的专业学习很有帮助。