

C1 - Introduction

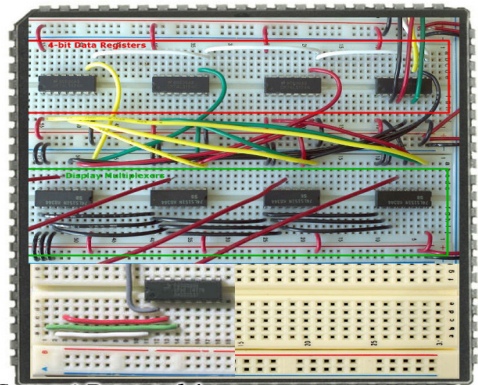
Yann DOUZE
VHDL

1

VHDL = LOGIC DESIGN

- ***Just Like Building a Circuit on Your Breadboard!!***
- ***Also known as a "Hardware Description Language"***

```
5  LIBRARY ieee;
6  USE ieee.std_logic_1164.all;
7
8  ENTITY LabExCG4 IS
9  PORT(
10     u, v, w, x, y : IN BIT;
11     s : IN STD_LOGIC_VECTOR(2 DOWNTO 0);
12     m : OUT BIT);
13 END LabExCG4;
14
15 ARCHITECTURE Behavior OF LabExCG4 IS
16 BEGIN
17 PROCESS(s)
18 BEGIN
19     CASE s IS
20     WHEN "000" => m <= u;
21     WHEN "001" => m <= v;
22     WHEN "010" => m <= w;
23     WHEN "011" => m <= x;
24     WHEN "100" => m <= y;
25     WHEN OTHERS => m <= y;
26 END CASE;
27 END PROCESS;
28 END Behavior;
```



(NOT Actual equivalent Circuit - For Concept Demo only)

2



Qu'est ce que le VHDL?

- VHDL : VHSIC Hardware Description Language
- VHSIC : Very High Speed Integrated Circuit
- VHDL : langage de description matérielle, décrit la structure et le comportement d'un circuit numérique.
- Langage **standard** de description de circuits ou de systèmes numériques en vue de:
 - **Modélisation** (simulation) des circuits ou systèmes
 - **Synthèse** (génération automatique) de circuit numérique.
 - Descriptions de programmes de **test** (banc de test)
 - Description de type hiérarchique (**netlist**)

3



Historique

- 1981 - Lancé par le USA DoD (Department of Defense) pour résoudre la crise du cycle de vie du matériel.
- 1983-85 - Développement de la base du langage par Intermetrics, IBM et TI.
- 1986 - Toutes les droits transférées à l'IEEE (Institute of Electrical and Electronics Engineers)
- 1987 - Publication des normes IEEE Standard 1076-1987
- 1994 - Norme révisée VHDL-1076-1993 (Tout le nécessaire, utilisé par 90% des designer)
- 2002 - VHDL Norme IEEE 1076-2002
- 2009 – VHDL 2008 Norme IEEE 1076-2008



https://www.doulos.com/knowhow/vhdl_designers_guide/a_brief_history_of_vhdl

4



Autres langages proches

- Verilog est plus ancien. La syntaxe est proche de celle du langage C. Très utilisé aux USA et en Asie
- VHDL-AMS Langage de modélisation mixte numérique-analogique IEEE.1076.1-1999. Il est entièrement compatible avec le VHDL. Utilisé uniquement pour la modélisation.
- System C
- System Verilog

5



Modélisation ou synthèse ?

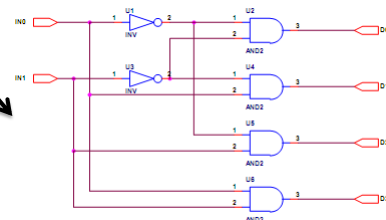
- Modélisation
 - Tout le langage. Logique + Temporel
 - Un modèle peut être comportemental, structurel ou de type data-flow.
- Synthèse
 - Le VHDL de synthèse est un **sous-ensemble** du VHDL généraliste
 - La synthèse demande une bonne connaissance du circuit et de la technologie.

6

La synthèse (1)

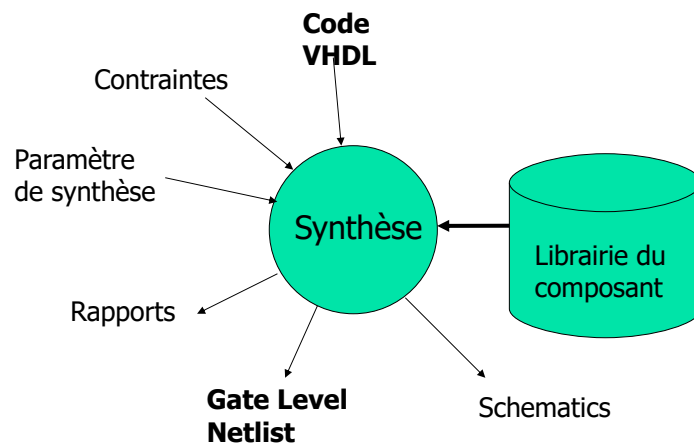
```
entity DECOD1_4 is
    port(IN0, IN1: in std_logic;
          D0, D1, D2, D3: out std_logic);
end DECOD1_4;
```

Synthèse



7

La synthèse (2)



8



Avertissement pour la synthèse

- La synthèse est très sensible à la manière dont est écrit le VHDL.
- **Pour la synthèse, il faut respecter certaines règles de codage.**
- Un bon design ne peut venir que d'un bon code VHDL (l'outil ne synthèse ne fait pas des miracles)
- La synthèse ne peut pas remplacer l'expertise humaine.
- **" Le VHDL de synthèse est un sous-ensemble du VHDL généraliste "**



9

Les cibles matérielles spécialisés

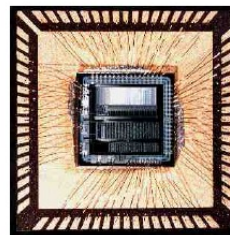
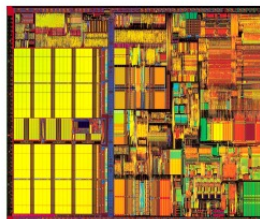
Spécification
Langage VHDL

SYNTHETISEUR

CIRCUIT

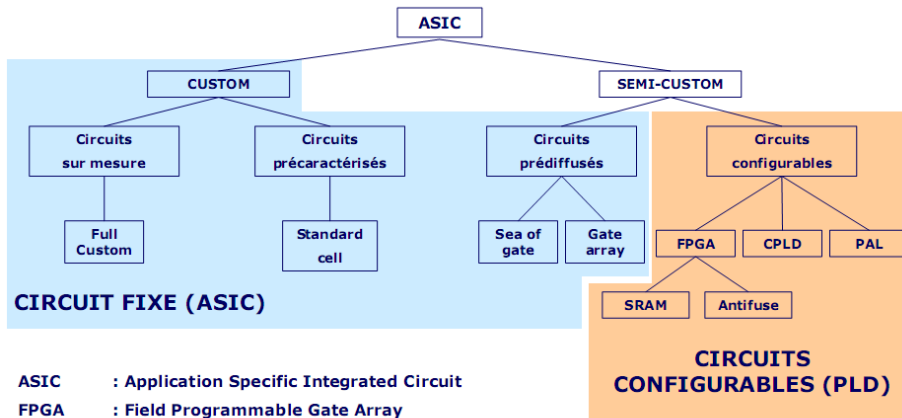
■ ASIC : Application Specific Integrated Circuit

- Numérique, analogique ou mixte (télécommunication)
- Spécialisé pour une application
- Réalisation complexe (de la spécification haut niveau à la synthèse physique)
- Extrêmement performant : dédié+ réalisation parallèle + technologie de pointe
- Circuit = cahier des charges



10

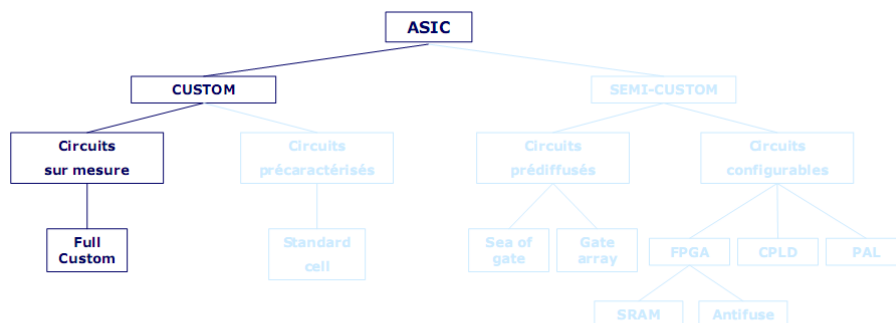
Les différentes cibles matérielles



ASIC : Application Specific Integrated Circuit
 FPGA : Field Programmable Gate Array
 CPLD : Complex Programmable Logic Device
 PAL : Programmable Array Logic
 GAL : Generic Array Logic = PAL
 SRAM : Static Random Access Memory

11

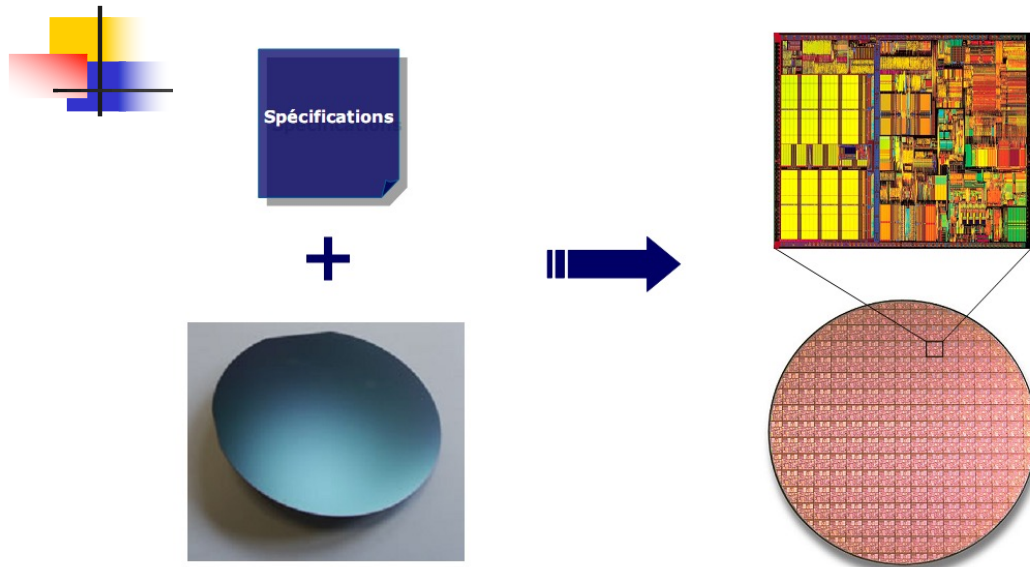
ASIC Full Custom



ASIC : Application Specific Integrated Circuit

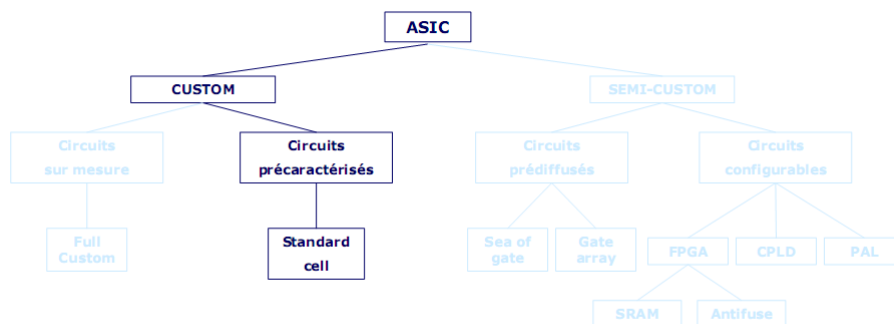
12

ASIC Full Custom



13

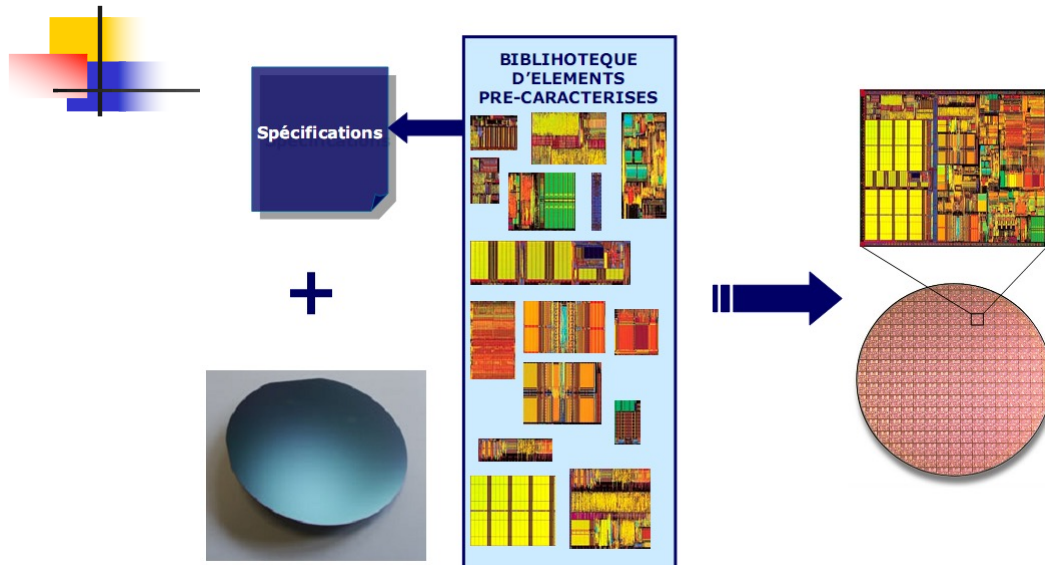
ASIC Standard Cells



ASIC : Application Specific Integrated Circuit

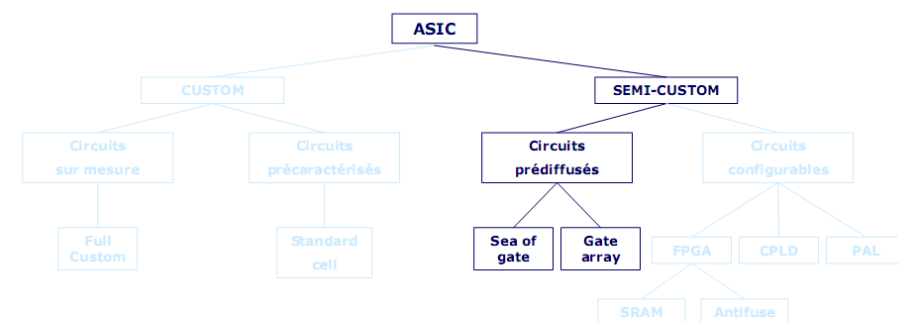
14

ASIC Standard Cells



15

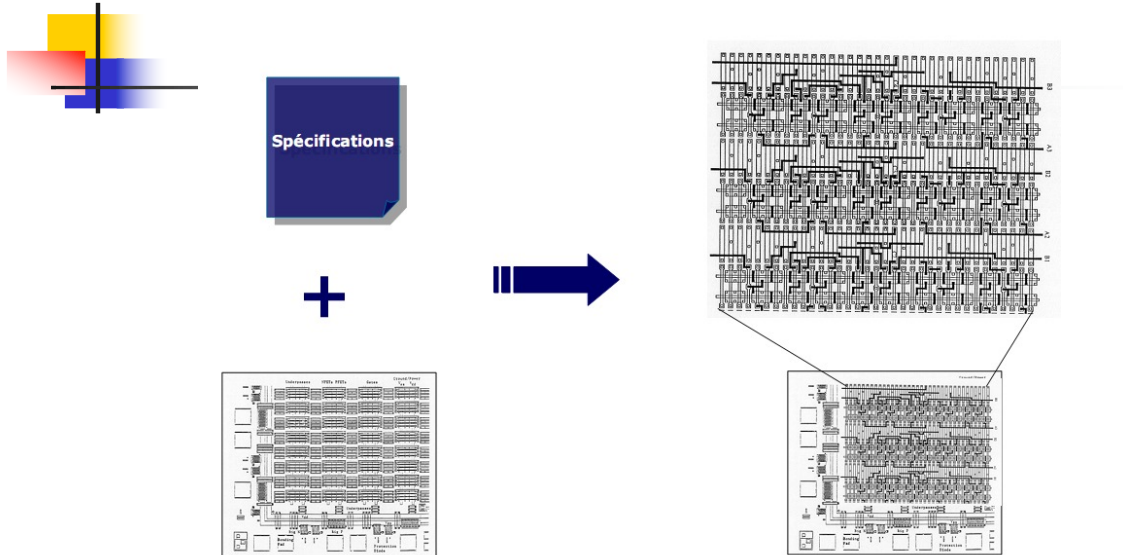
ASIC Gate Array



ASIC : Application Specific Integrated Circuit

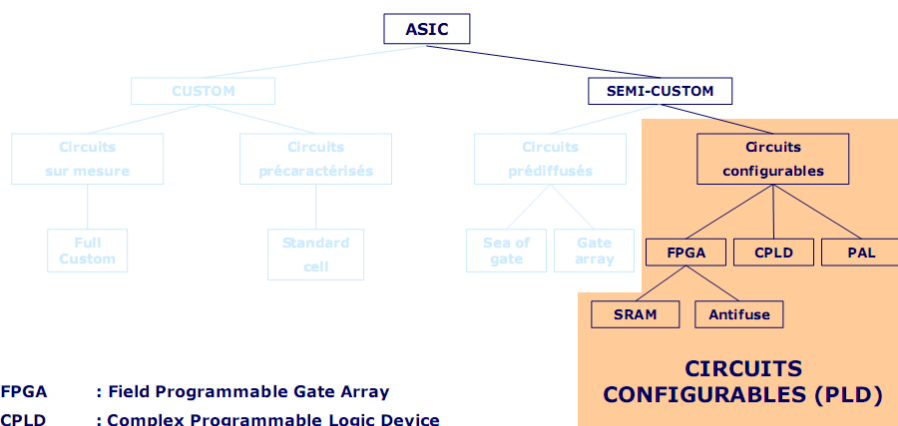
16

ASIC Gate Array



17

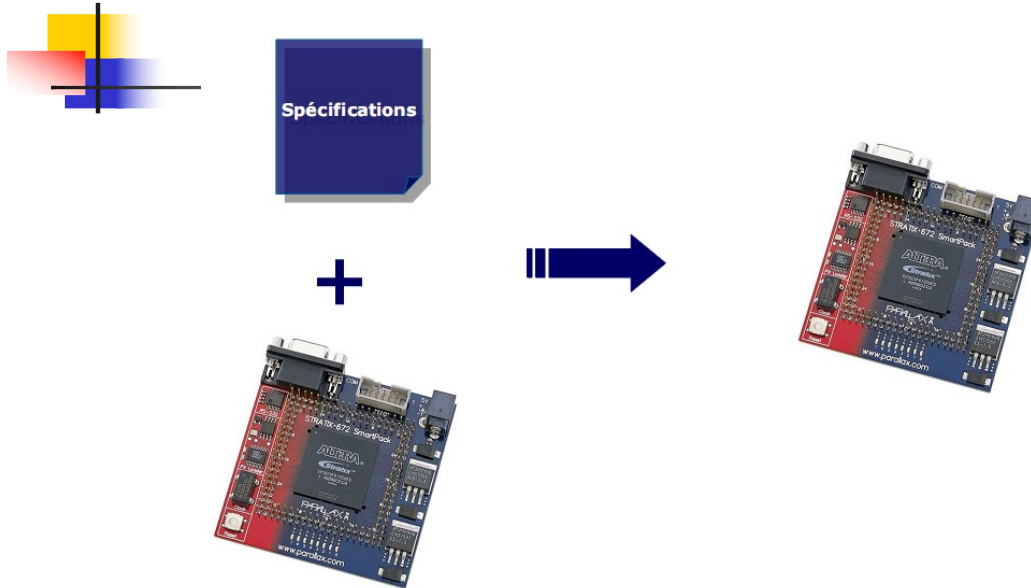
Circuit Configurable



FPGA : Field Programmable Gate Array
CPLD : Complex Programmable Logic Device
PAL : Programmable Array Logic
GAL : Generic Array Logic = PAL
SRAM : Static Random Access Memory

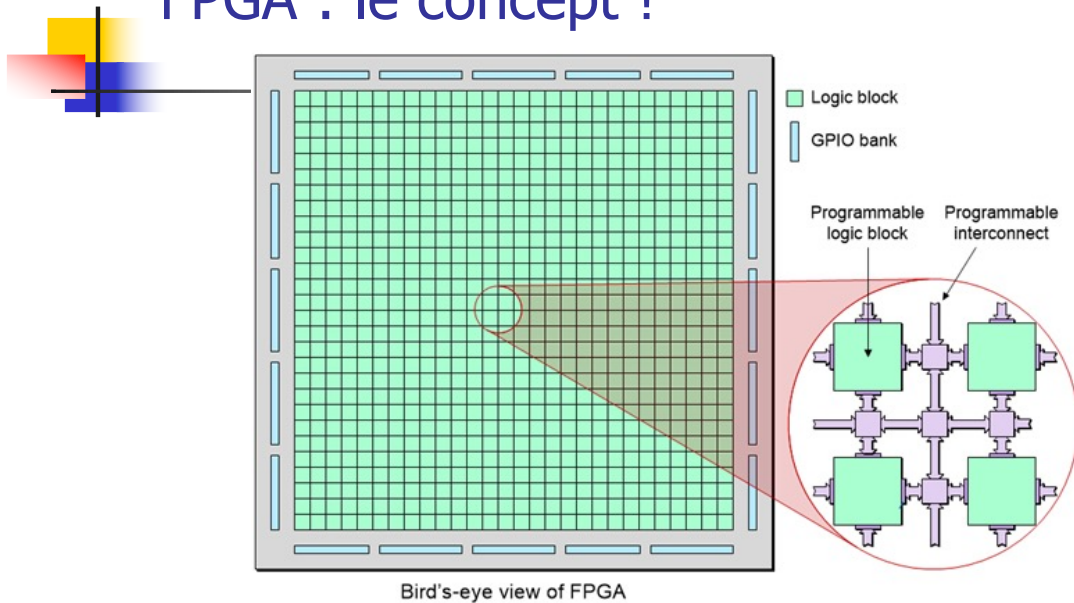
18

Circuit Configurable



19

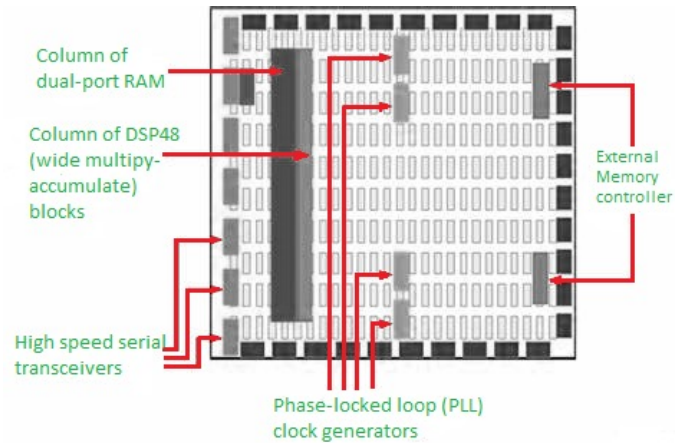
FPGA : le concept !



20



FPGA internal architecture

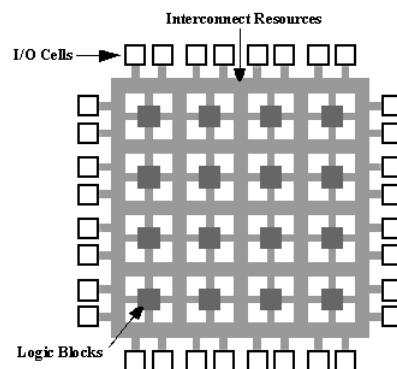


21



Principaux Fabricants de FPGA

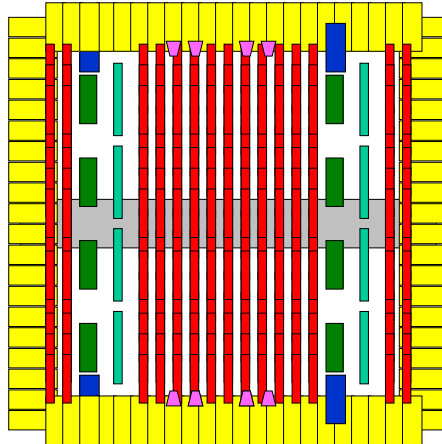
- **AMD-Xilinx**
- **Intel-Altera**
- Lattice Semiconductor
- Actel (microsemi)
- Cypress
- Atmel
- QuickLogic



22

FPGA Architecture

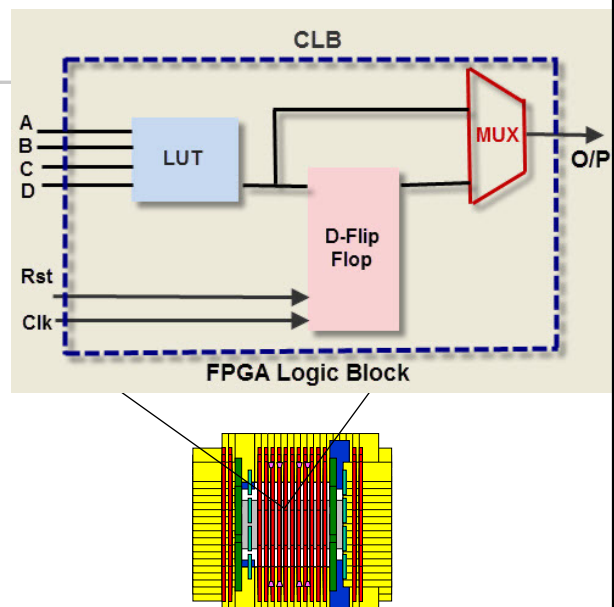
- Logic Fabric
 - Gates and flip-flops
- Embedded Blocks
 - Memory
 - DSP/Multipliers
 - Clock management (PLL)
 - High speed serial I/O
 - Soft/hard processors
- Programmable I/Os
- In-system programmable



23

Logic Fabric

- Logic Cell (AMD-Xilinx) / Logic Element (Intel-Altera)
 - Lookup table (LUT)
 - D Flip-Flop
 - Carry logic
 - Muxes
- Slice
 - Two Logic Cells/Element



24

Logic Cell (AMD-Xilinx)

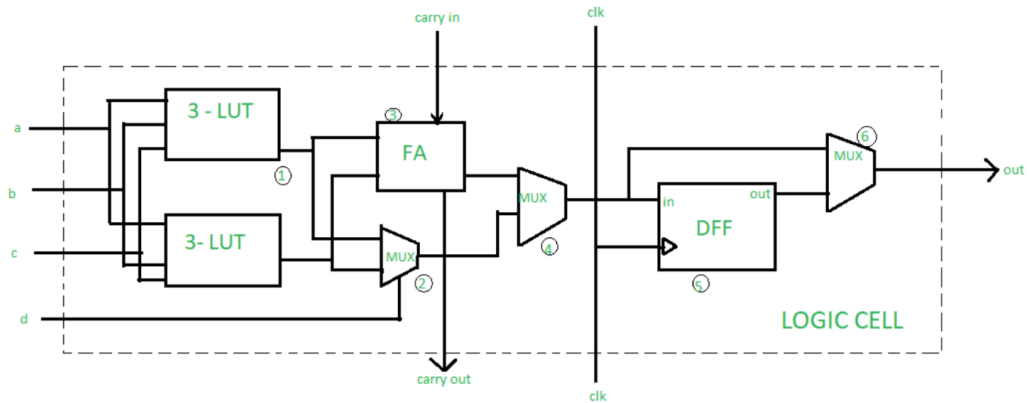
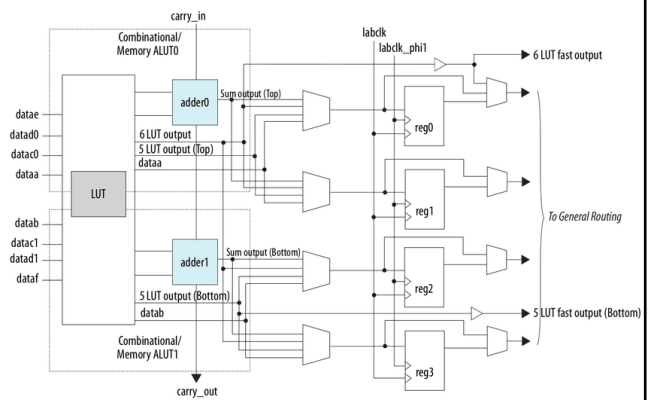
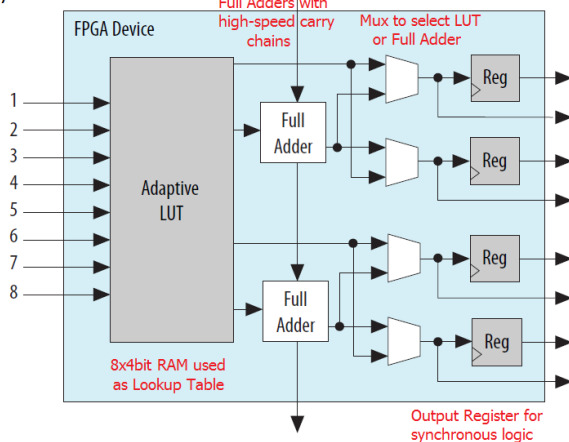


fig. A Simplified CLB

25

ALM : Adaptative Logic Module (Intel-Altera)

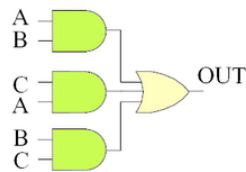
Cyclone V ALM Structure



26

Look-Up Table (LUTs)

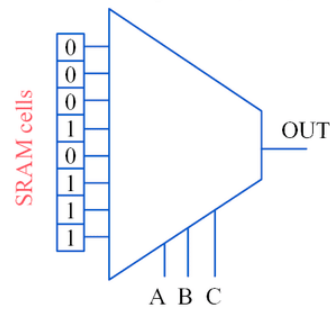
Combinational logic function



Truth table

A	B	C	OUT
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Lookup Table (LUT)

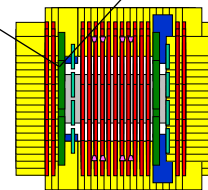
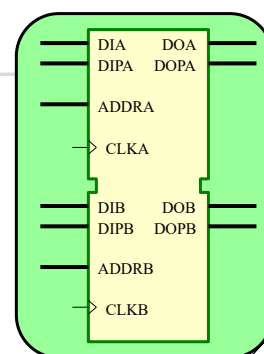


27

Blocs Memory

■ **Block RAM**

- RAM or ROM
- True dual port
 - Separate read and write ports
- Independent port size
 - Data width translation
- Excellent for FIFOs

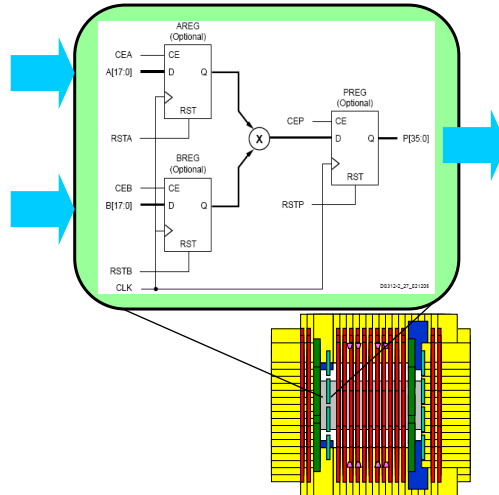


28

Multipliers, DSP Blocks

DSP : Digital Signal Processing

- Signed or unsigned
- Optional pipeline stage
- Cascadable



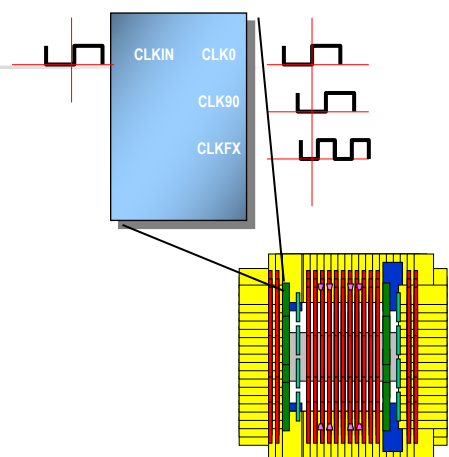
29

Gestion des horloges

Synthétiseur de fréquence :

Digital Clock Managers (DCM) or
Phase Locked Loop (PLL)

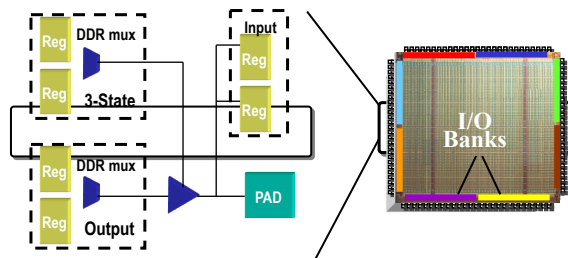
- Clock de-skew
- Phase shifting
- Clock multiplication
- Clock division
- Frequency synthesis



30

Programmable I/Os

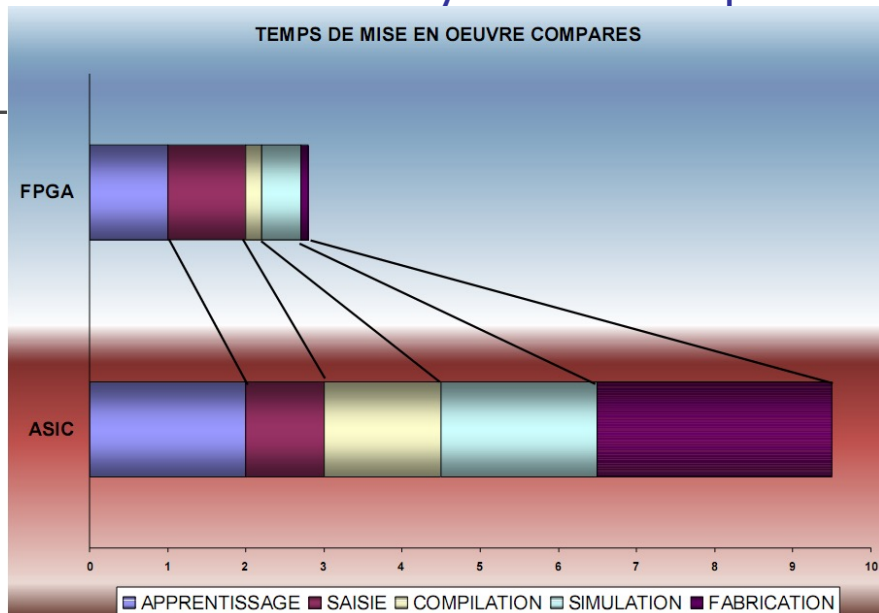
- Single ended
- Differential / LVDS
- Programmable I/O standards
 - Multiple I/O banks



	Standard	Output V_{CCO}	Input V_{REF}
Single ended	LVTTTL	3.3V	--
	LVCNOS33	3.3V	--
	LVCNOS25	2.5V	--
	LVCNOS18	1.8V	--
	LVCNOS15	1.5V	--
	LVCNOS12	1.2V	--
	PCI 32/64 bit 33MHz	3.3V	--
	SSTL2 Class I	2.5V	1.25V
	SSTL2 Class II	2.5V	1.25V
	SSTL18 Class I	1.8V	0.9V
	HSTL Class I	1.5V	0.75V
	HSTL Class III	1.5V	0.9V
	HSTL18 Class I	1.8V	0.9V
	HSTL18 Class II	1.8V	0.9V
	HSTL18 Class III	1.8V	1.1V
Differential	GTL	--	0.8V
	GTL+	--	1.0V
	LVDS2.5	2.5V	--
	Bus LVDS2.5	2.5V	--
	Ultra LVDS2.5	2.5V	--
	LVDS_ext2.5	2.5V	--
	RSDS	2.5V	--
	LDT2.5	2.5V	--

31

Durée dans le cycle de conception



32

Les ASIC

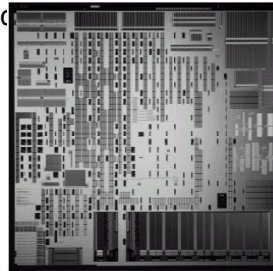


■ AVANTAGES

- hautes intégrations
- hautes performances (vitesse, low-power)
- coûts faibles pour de gros volumes de production
- personnalisation
- Sécurité industrielle

■ INCONVENIENTS

- prix du 1er exemplaire
- pas d'erreur possible
- non-flexible
- time-to-market élevé
- fabrication réservée aux spécialistes (fondeur)



33

Les FPGA



■ AVANTAGES

- Possibilité de prototypage
- time-to-market faible
- adaptabilité aux futurs évolutions grâce à la reconfiguration
- flexibilité

■ INCONVENIENTS

- intégration limitée par les ressources de routage
- performances
- prix à l'unité élevé pour de grosses productions



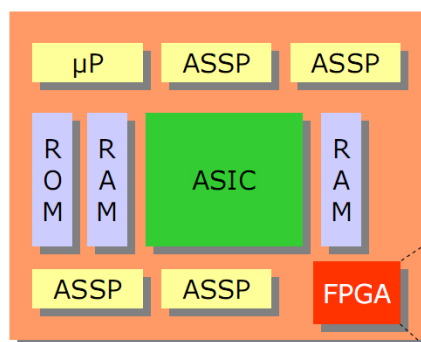
34

Evolution des méthodes de conception

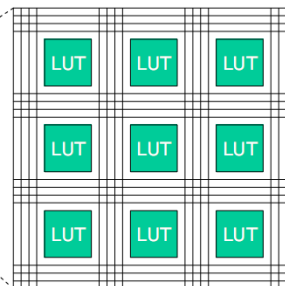
- Toujours plus d'intégration (SoC)
- Les FPGA sont de plus en plus performant et de moins en moins cher donc de plus en plus utilisé.
- Les FPGA viennent lentement remplacer les circuits ASIC.
- Illustration ...

35

1990 : FPGA = Glue Logique

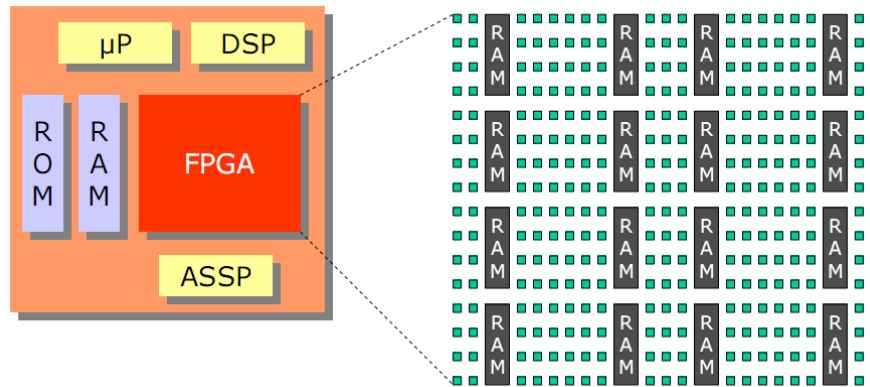


- ASIC : Application Specific Integrated Circuit
- ASSP : Application Specific Standard Product
- FPGA : Field Programmable Gate Array
- RAM : Random Access Memory
- ROM : Read Only Memory



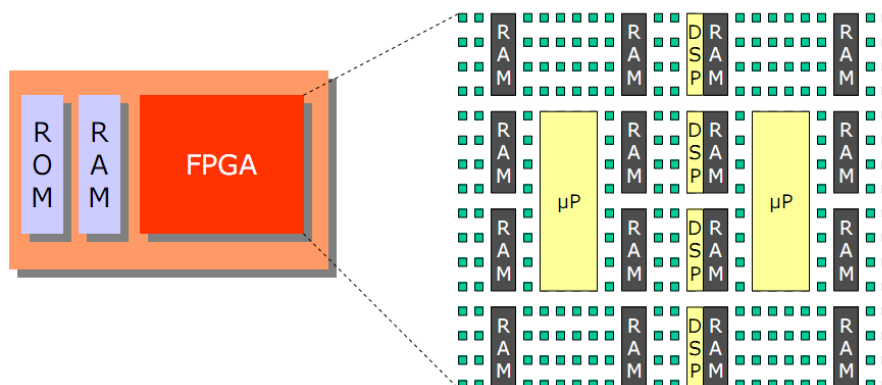
36

2000 : FPGA = une alternative aux ASIC (augmentation de la capacité)



37

Depuis 2012 : FPGA + Cœurs de processeurs



38



Conclusion sur les cibles matérielles

- Avantages
 - Grandes performances : consommation de puissance et fréquence de fonctionnement
 - Parallélisme, pipeline ...
 - Possibilité de traitement temps réel
 - Spécialisation du circuits à l'application
 - Possibilité d'avoir des composants flexibles : FPGA
 - Choix large de techno, boîtier, gamme ...
- Inconvénients
 - Conception plus ou moins complexe et longue
 - Les coûts de conception peuvent être élevés (ASIC et FPGA de taille importante)
 - Nécessite des méthodes de conception rigoureuse.
 - Demande une plus grande expertise

39



Différence entre un μ C et un FPGA

- Un μ C:
 - Exécute les instructions d'un programme de manière séquentielle.
- Un FPGA :
 - Description matérielle d'un système.
 - Un FPGA peut comporter un ou plusieurs μ C ou μ P, on parle alors de SoC ou SoPC.

40



Qu'est ce qu'une IP ?

- IP (Intellectual Property)
 - composant virtuel
 - Fonction décrit par un langage HDL
- Vendeur d'IPs :
 - ARM
 - www.design-reuse.com
- IPs open source :
 - www.opencores.org

41



VHDL WWW

- VHDL sur Internet
 - <http://vhdl33.free.fr/>
 - https://www.doulos.com/knowhow/vhdl_designers_guide/
 - <http://www.opencores.org/>
 - Composants RTL open source (IPs)
 - <http://www.freemodelfoundry.com/>
 - Composants behaviour (modélisation) pour la simulation.

42