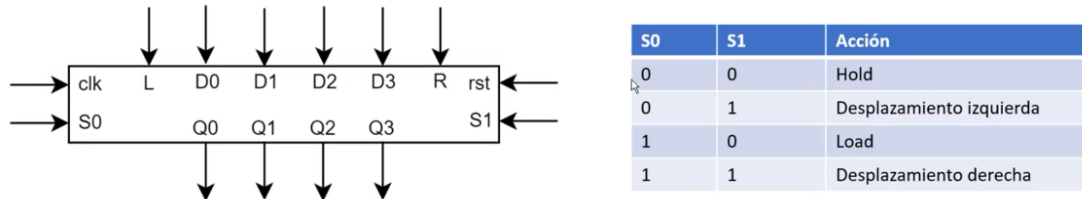


SHIFT REGISTER

Diseñar un registro con capacidad de hacer desplazamientos a la derecha o izquierda, así como cargar dato a la salida mediante el valor de una entrada S como se muestra en la siguiente figura.



Se sugirió en clase el uso de la función `sll` y `srl` para implementar esta práctica sin embargo se encontró que esas funciones no son compatibles con versiones nuevas de VHDL por lo que se utilizó una que si esta vigente que es `shift_left` y `shift_right`.

```
architecture Behavioral of reg_shift is
    SIGNAL Q_temp: STD_LOGIC_VECTOR (3 downto 0) := "0000";
begin
    reg: process(rst, clk)
    begin
        if (rst = '1') then
            Q_temp <= "0000";
        elsif rising_edge(clk) then
            case S is
                when "00" => Q_temp <= Q_temp;
                when "01" =>
                    Q_temp <= std_logic_vector(shift_left(unsigned(Q_temp), 1));
                    Q_temp(0) <= L;
                when "10" => Q_temp <= D;
                when "11" =>
                    Q_temp <= std_logic_vector(shift_right(unsigned(Q_temp), 1));
                    Q_temp(3) <= R;
                when others => Q_temp <= Q_temp;
            end case;
        end if;
    end process;
    Q <= Q_temp;
end;
```

Para comprobar el correcto funcionamiento de esta practica se implementó una cama de pruebas con las siguientes características y resultados.

S0	S1	Acción
0	0	Hold
0	1	Desplazamiento izquierda
1	0	Load
1	1	Desplazamiento derecha

```

D <= "1111";
S <= "10";
wait for 10 ns;
S <= "01";
L <= '0';
wait for 10 ns;
S <= "01";
L <= '1';
wait for 10 ns;
S <= "11";
R <= '0';
wait for 10 ns;
S <= "11";
R <= '1';
wait for 10 ns;
S <= "00";
wait for 10 ns;

```

