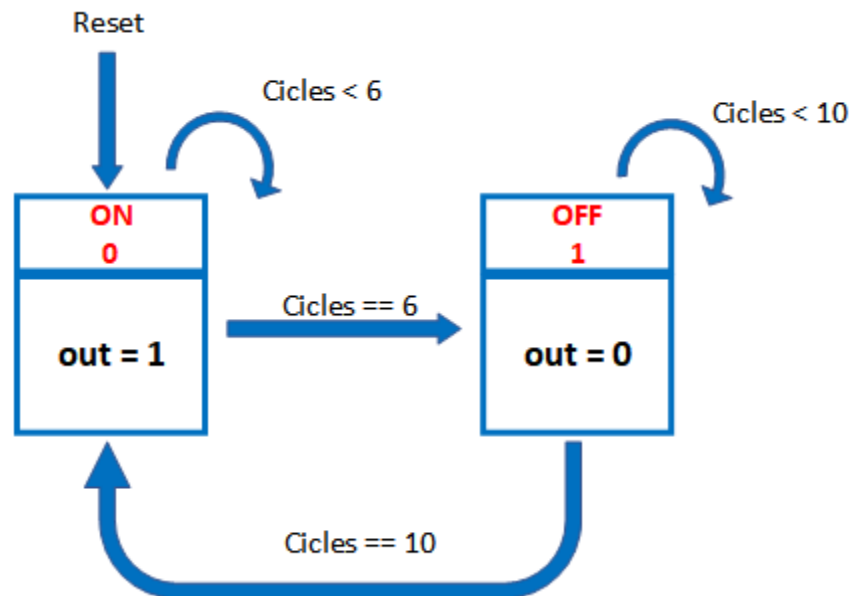
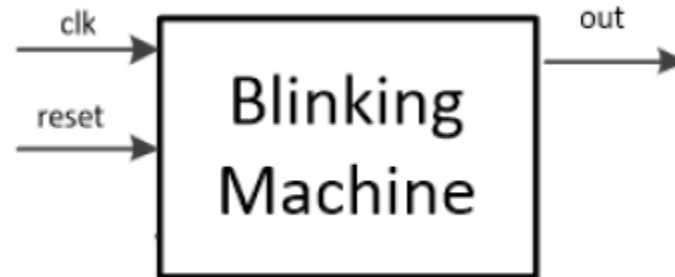
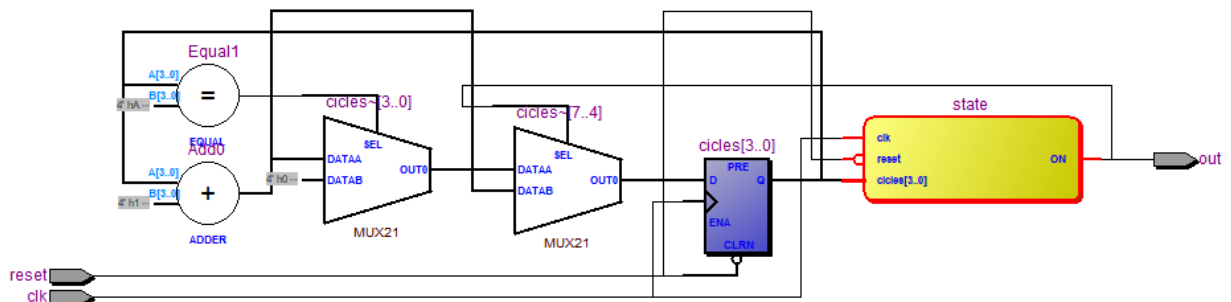


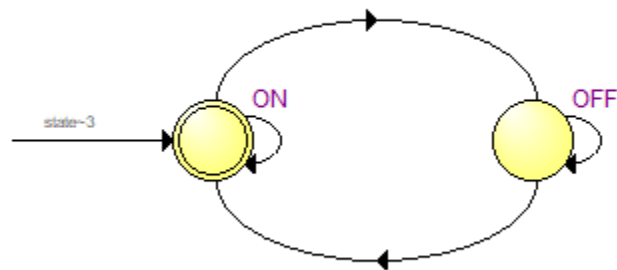
## Tarea 1

Realizar la implementación de un sistema de blinking con la siguiente interfaz:

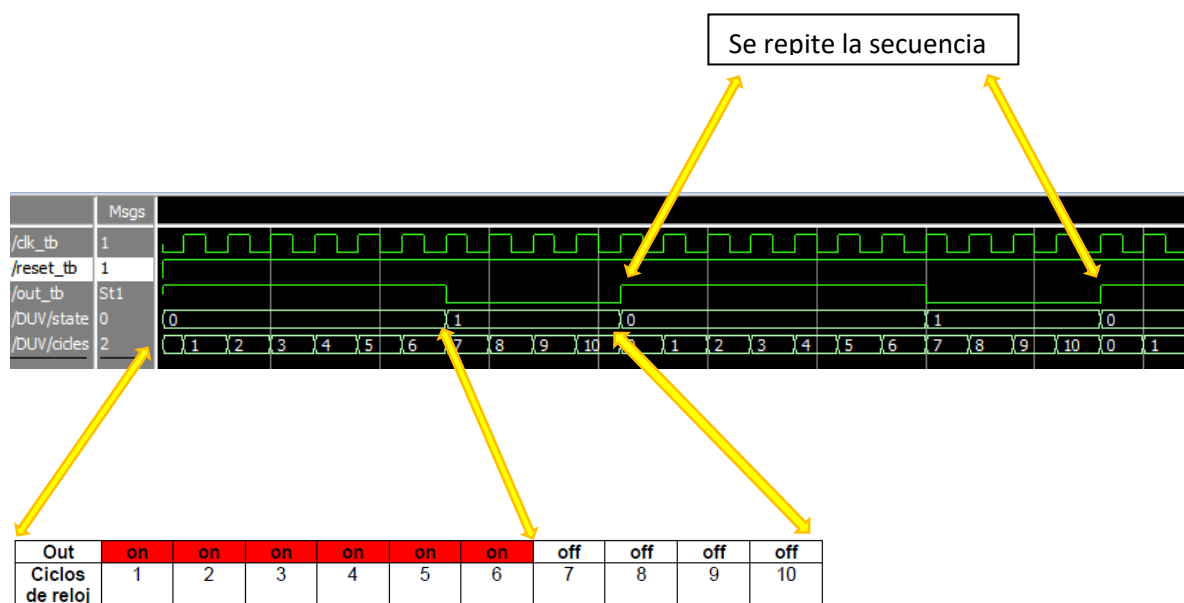


## RTL





## Simulación



## Efecto interesante.

Cuando se tiene el state declarado de la forma

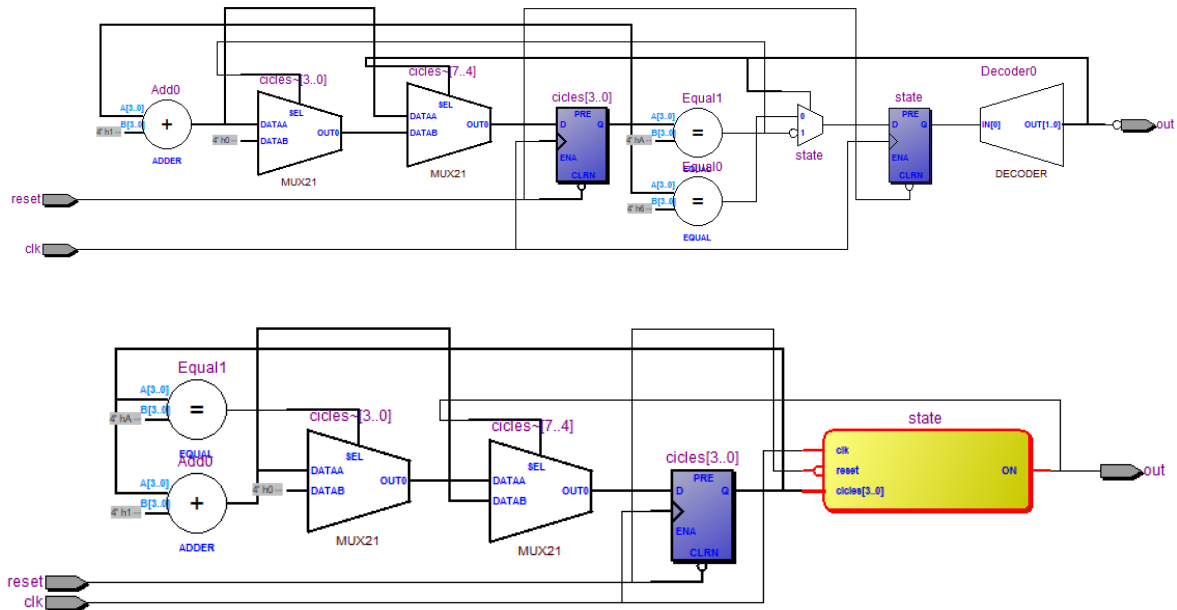
```
reg [0:0] state;
```

quartus infiere una máquina de estados a la perfección, sin embargo, si se quiere declarar de la forma

```
reg state;
```

quartus en lugar de inferir una maquina de estados, coloca un flip-flop en su lugar.

### Comparativa



### Video

El video de la implementación de la tarea en el FPGA se encuentra en el siguiente link.

<https://drive.google.com/file/d/1zMnWZRHxUfWPesASCMamfQEH2ueXCgY/view?usp=sharing>