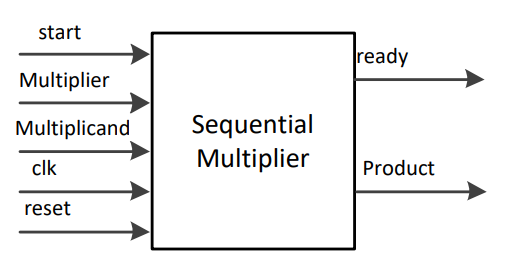
Tarea 2

Realizar el diseño, verificación e implementación de un multiplicador secuencial (MS), el cual tiene la siguiente interfaz:



ready se pone en alto cada que se va a iniciar una nueva operación.

Tercer start

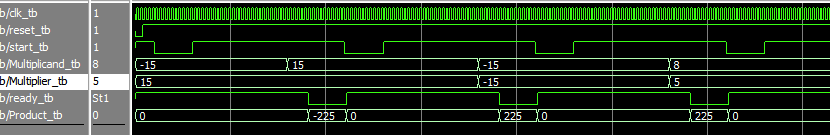
-15 x -15 = 225

Segundo start

15 x 15 = 225

Primer start

-15 x 15 = -225



Resultado

Resultadov

Resultadov

Salida se vuelve 0 cuando no se ha completado la operación

**Video**

El video de la implementación de la tarea en el FPGA se encuentra en el siguiente link.

https://drive.google.com/file/d/18NdabY4m2R5w3XwrtSeEyDMmDQsUf4z9/view?usp=sharing