

삼성 퍼스널컴퓨터①

# SPC—1000

이 글은 5회 연재로 게재되며 주요 목차는 다음과 같다.

제1회

- I. SPC-1000의 개요
- II. SPC-1000의 CPU와 주변LSI

제2회

- III. 입출력 컨트롤시스템(IOCS)

제3회

- IV. SPC-1000의 Circuit Diagram과 Timing Chart

제4회

- V. Basic Interpreter

제5회

- VI. Basic Program의 기법

## I. SPC-1000의 개요

### 1. 기 능

Z-80A를 CPU로 하고 있는 SPC-1000의 외관 및 블록 다이어그램은 그림 1~2에서 보는 바와 같으며 이의 기능은 다음과 같다.

#### (a) CPU

Z-80A, 4MHz

#### (b) ROM

삼성 HuBASIC 32KByte

#### (c) RAM

user's memory 64KByte

VRAM 6KByte

#### (d) 표시능력

##### ● text 표시

화면구성 : 32행×16열(512자) 4page

표시문자수 : ASCII표준64자+사용자 정의문자 128자(초기문자는 영·대·소문자, 숫자 및 특수문자 등 192자)

##### ● semigraphic

attribute : 2컬러, 2세트

Reverse/Normal

화면구성 : 64행×32열

64행×48열

color : black포함 9color

##### ● graphic

화면구성1 : 256(H)×192(V) 화소  
3컬러, 2세트

화면구성2 : 128(H)×192(V) 화소  
5컬러, 2세트

##### (e) 음성출력

8 옥타브, 3 채널, SPEAKER내장

##### (f) 보조기억장치

1200baud cassette mechanism내장

##### (g) keyboard

ASCII표준 key배열, 67key(cursor key, control key, function key 포함)

##### (h) Video 출력

TV접속용 RF출력 및 composite color monitor 접속용 출력

##### (i) Printer Interface

parallel interface(centronics type접속 가능)

##### (j) expansion connector

34pin확장 bus사용

##### (k) joystick interface : 2 대 접속가능

RS-232C interface : option

##### (l) 전원 : AC 100V/220V

소비전력 : 20 watts

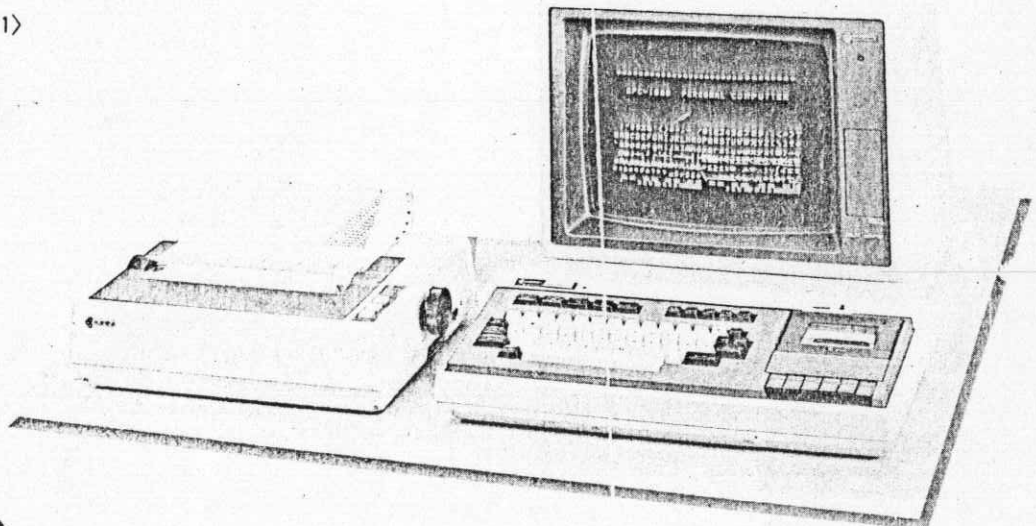
외형 : 480(W)×275(P)×95(H)m/m

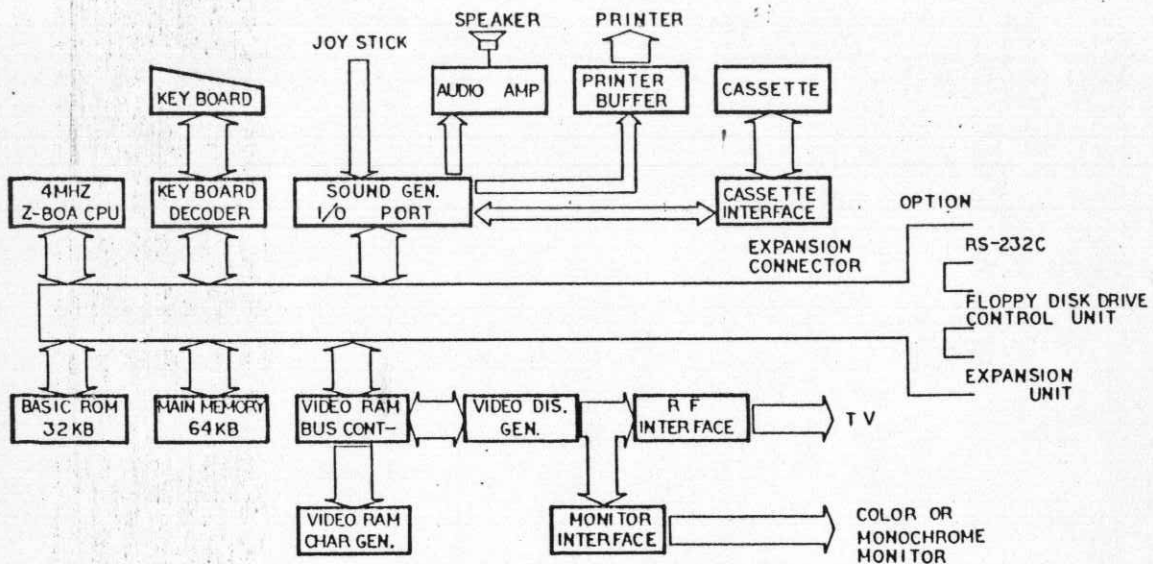
중량 : 4.86kg

보관온도 : -10℃~60℃

동작온도 : 0℃~40℃

〈그림 1〉





〈그림 2〉 SPC-1000의 블록 다이어그램

## 2. 특 징

### (a) 가정용TV접속기능

컴퓨터 전용 Display장치를 사용하지 않고 보통 사용하고 있는 가정용TV에도 표시될 수 있는 고주파 변조기(RF MODULATOR)를 내장하고 있어 저렴한 비용으로 컴퓨터 이용이 가능하다.

### (b) Graphic 기능

256×192점까지 미세한 점(點) 및 도형의 묘사가 가능하며 화면을 구성하는 명령이 타기종에 비해 풍부히 준비되어 있고 그 속도가 매우 빠르므로 Full Graphic의 작도를 쉽게 할 수 있다.

### (c) 조작이 간편한 screen Editor 구성

상하좌우 및 HOME 방향의 전용 cursor key를 장비하고 있으므로 삽입, 삭제 및 정정 등 CRT screen 상에서 편집이 가능하며 대부분의 명령어가 약자로 대치 가능하여 programming 시간을 절약할 수 있다.

### (d) 대용량의 화면 표시 기억장치

4page(2048문자분)의 VRAM을 갖고 있으며 4page 연속의 상하 scroll이 가능하고 4page 각각의 독립적인 입출력도 할 수 있다.

(e) 음향(sound) 및 음악(music) 발생장치 내장  
음향 합성용 LSI를 내장하고 있어 8옥타브에 걸친 3중 화음의 음악 발생이 가능하며 기타 특수음향 발생에도 응용이 가능하다.

### (f) 보조기억장치의 내장

Cassette Tape Deck를 내장하고 있어 game program, 학습용 program을 편리하게 이용할 수 있고 사용자가 개발한 program의 보존에도 편리하게 되어 있다.

### (g) Hard Copy기능

Graphic기능을 가진 printer를 접속하면 화면상에 표시된 문자, 그래픽도형 등을 그대로 printer에 인자가능

### (h) 9 색의 다양한 color표시기능

## II. CPU 및 주변 LSI

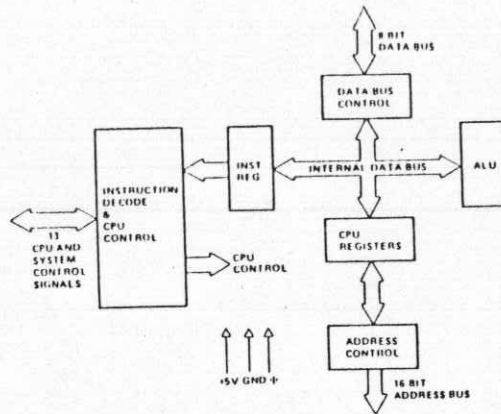
### 1. Z-80A CPU

#### (a) 개 요

마이크로컴퓨터 시스템(MICROCOMPUTER SYSTEM)은 Z-80군(FAMILY)을 사용해서 상당히 간단하게 구성할 수 있다. 모든 시스템(SYSTEM)은 다음과 같이 3부분으로 나눌 수 있다.

- 1) CPU(CENTRAL PROCESSING UNIT)
- 2) 메모리(ROM, RAM)

〈그림 3〉



CPU : CENTRAL PROCESSING UNIT  
ALU : ARITHMETIC & LOGIC UNIT

3) 주변기기 접속회로(INTERFACE CIRCUITS)  
CPU는 시스템의 두뇌라 할 수 있으며 그 기능은 메모리로부터 명령(INSTRUCTION)을 가져오고 원하는 동작을 실행하는데 있다. 메모리는 대부분의 경우 데이터(DATA)로 되어 있지만 명령도 포함하고 있다.

예를 들면 전형적인 명령 시퀀스(INSTRUCTION SEQUENCE)는 특정한 주변기기로부터 데이터를 읽어 들일 수도 있고 메모리에 있는 기억공간에 데이터를 저장할 수도 있다. 또한 패리티를 검사하거나 다른 주변기기에 데이터를 옮길 수도 있으며 광범위하게 쓰이는 메모리 장치도 어떤 소스(SOURCE)에서나 사용 가능하다. 외부로직(LOGIC)회로 없이도 간단하게 연결해서 사용할 수 있고 사용자가 개발해야 될 것은 소프트웨어(SOFTWARE)이다. 즉, 사용자는 메모리에 내장되어 있는 명령군으로서 자신의 문제를 해결할 수 있다.

이 소자는 이런 소프트웨어적인 문제를 간단히 하였으며 한가지 좋은 예는 어셈블리 언어(ASSEMBLY LANGUAGE)내의 간단한 니모닉(MNEMON-

IC)은 CPU가 수행할 수 있는 모든 명령을 나타내고 있다.

따라서 사용자는 복잡한 크로스 리스팅(CROSS LISTING)이 필요없이 명령이 수행되고 있는 것을 정확히 알 수 있다.

#### (b) 구조(ARCHITECTURE)

##### 1) CPU레지스터(REGISTER)군

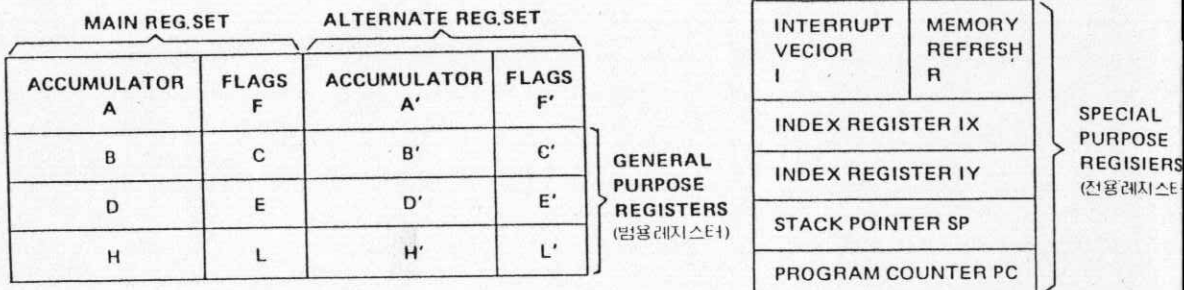
Z-80A CPU의 내부 레지스터군은 프로그래머가 액세스 할 수 있는 208비트의 READ/WRITE 메모리를 가지고 있다.

그림 4는 레지스터의 배열을 나타낸다. 이 레지스터군은 독립적으로 8비트 레지스터 혹은 16비트의 PAIR 레지스터로 사용되는 2세트의 범용 레지스터 및 어큐뮬레이터 레지스터, 플래그(FLAG)레지스터도 있다. Z-80A의 레지스터는 STATIC RAM으로 구성되어 있다.

##### ① 프로그램 카운터(PC)

PC는 현재 실행중인 명령의 메모리 어드레스를 보유하고 있고 CPU는 PC가 지정하는 메모리 어드레스로부터 명령을 페치(FETCH), 즉 가져오게

〈그림 4〉





한다. PC는 그 내용이 어드레스 라인을 따라 전송 되면 자동적으로 1이 증가된다.

프로그램 점프인 경우, PC는 증가하지 않고 새로운 값이 직접 PC에 세트된다.

## ② 스택 포인터(SP)

SP는 외부 RAM상의 스택영역 최상위의 16비트 어드레스를 보유하고 있고 외부 스택은 LIFO(LAST-IN, FIRST-OUT)파일로 구성되어 있다. 데이터는 PUSH 및 POP명령에 따라 CPU가 지정하는 레지스터로부터 스택에, 혹은 스택으로부터 CPU가 지정하는 레지스터로 전송된다. 스택으로부터 POP된 데이터는 스택에 마지막으로 PUSH된 데이터이다. 각종 레벨(LEVEL)의 인터럽트(INTERRUPT), 제한된 서브루틴(SUBROUTINE), 다양한 데이터 조작 방법 등으로 간략화가 가능하다.

## ③ 인덱스 레지스터(IX & IY)

두개의 독립된 인덱스 레지스터는 인덱스트 어드레싱 모우드에 사용되는 16비트 어드레스를 보유하고 있다. 이 모우드에서 인덱스 레지스터는 데이터가 저장되거나 지정되는 경우 메모리 영역에서 기준치(BASE)로 사용된다. 부가되는 바이트는 이 기준치로부터 디스플레이스먼트를 명시하는 인덱스트 인스트럭션을 나타내고 디스플레이스먼트는 2의 보수(TWO'S COMPLEMENT SIGNED INTEGER)로 명시된다. 이 어드레싱 모우드는 데이터 테이블이 사용되는 많은 종류의 프로그램을 간단하게 만들 수 있다.

## ④ 인터럽트 페이지 어드레스 레지스터(INTERUPT PAGE ADDRESS REGISTER) (I)

Z-80A CPU는 어떤 메모리 영역에 대해서나 인터럽트에 응답하는 INDIRECT CALL MODE에 사용될 수 있다. 이 레지스터는 인터럽트 디바이스가 하위 8비트의 어드레스를 제공하는 동안 인다이렉트 어드레스의 상위 8비트를 저장하는 목적으로도 사용한다. 또한 인터럽트 루틴이 그 루틴에 가장 짧은 액세스 타임으로 메모리 영역 어디에나 위치할 수 있도록 하는 특징도 있다.

## ⑤ 메모리 리플레시 레지스터(MEMORY REFRESH REGISTER) (R)

Z-80A CPU는 다이나믹 메모리를 스테틱 메모리와 같이 쉽게 사용할 수 있도록 메모리 리플레시 카운터를 갖고 있다. 이 8비트 레지스터 중 7개 비트는 각 명령이 페치(FETCH)된 후 자동적

으로 증가되며 8번째 비트는 LD R,A의 결과와 마찬가지로 프로그램된 채 남아있게 된다. 리플레시 카운터에 있는 데이터가 리플레시 제어신호를 따라 어드레스 버스의 하부로 보내지는 동안 CPU는 페치된 명령을 디코딩하고 수행한다. 프로그래머는 이 리플레시 모우드를 확실히 알아야 되며 CPU동작시간을 지연시켜서는 안된다. 또한 테스트를 위해서 R레지스터를 LOAD시켜 볼 수도 있지만 보통 R레지스터를 사용하지 않는다. 리플레시하는 동안 1 레지스터의 내용이 어드레스 버스의 상위 8비트에 위치하게 된다.

## ⑥ 어큐뮬레이터 및 플래그 레지스터(ACCUMULATOR AND FLAG REGISTER)

CPU에는 두개의 독립된 8비트의 어큐뮬레이터와 플래그 레지스터가 있다. 플래그 레지스터가 8비트나 16비트 오퍼레이션의 경우 특수한 예를 들면 오퍼레이션의 결과가 0인가 아닌가 등의 체크를 하는 동안 어큐뮬레이터는 산술적 혹은 논리적 연산의 결과를 나타내게 된다.

프로그래머가 어큐뮬레이터 및 플래그 레지스터 쌍을 사용해서 쉽게 처리하기를 원한다면 1개의 변환명령(EXCHANGE INSTRUCTION)으로 선택이 가능하다.

## ⑦ 범용 레지스터

범용 레지스터는 서로 잘 보완될 수 있도록 2 SET로 되어 있다. 각각의 세트는 프로그래머에 의해서 8비트 레지스터나 쌍으로, 즉 16비트 레지스터로 사용될 수 있는 6개의 8비트 레지스터로 되어 있다. 한 세트는 BC, DE, HL이고 이에 대응하는 SET는 BC', DE', HL' 라고 불리워진다. 어느 때나 프로그래머가 1개의 변환 명령만으로 위의 2세트 중 하나를 선택해 사용할 수 있다. 범용 레지스터의 한 세트나 어큐뮬레이터/플래그 쌍은 빠른 인터럽트 처리가 요구될 때 효과적이다. 인터럽트나 서브루틴을 처리하는 동안 외부 스택에 레지스터의 내용을 저장하거나 지정하므로써 인터럽트 처리 시간을 상당히 줄일 수 있다. 이런 범용 레지스터는 프로그래머에 의해서 폭넓게 응용될 수 있다. 또한 프로그래밍을 간단하게 만들고 특히 ROM BASED SYSTEM에 있어서는 외부 READ/WRITE메모리에는 영향을 주지 않는다.

## 2) ARITHMETIC & LOGIC UNIT(ALU)

CPU의 8비트 산술적, 연산적 명령은 ALU에서

수행된다. 내부적으로 ALU가 수행할 수 있는 기능은 다음과 같다.

ADD	LEFT OR RIGHT SHIFTS OR ROTATES (ARITHMETIC AND LOGICAL)
SUBTRACT	INCREMENT
LOGICAL AND	DECREMENT
LOGICAL OR	SET BIT
LOGICAL EXCLUSIVE OR	RESET BIT
COMPARE	TEST BIT

### 3) 인스트럭션 레지스터 및 CPU제어

메모리로부터 명령을 가져와서 인스트럭션 레지스터에 놓고 디코드시킨다. CPU의 제어부분은 이러한 역할을 하고 레지스터에 데이터를 주고 받는데 필요한 신호를 공급한다. 또한 ALU를 제어하고 필요한 모든 외부 제어신호를 공급한다.

#### (c) Z-80 CPU각 핀 설명

Z-80 CPU는 산업용 표준 40PIN DUAL IN-LINE 패키지로 되어 있다.

각 핀의 명칭 및 기능은 그림 5과 같다.

각 핀의 기능

$A_0 \sim A_{15}$  (어드레스 버스)

: TRI-STATE 출력 어드레스 정논리, 16비트의 버스로서 메모리나 I/O(입출력) 어드레스를 나타내 준다. 리플레시때 하위 7비트는 리플레시 어드레스를 나타낸다. 입출력 어드레스 지정은 하위 8비트를 사용하여 사용자가 직접 256개의 입력이나 256개의 출력단을 선택할 수 있다.  $A_0$ 는 LSB(L-

AST SIGNIFICANT BIT)를 나타낸다.

$D_0 \sim D_7$  (데이터 버스)

: TRI-STATE, 입출력, 정논리, 8비트의 쌍방향 데이터 버스이다. 메모리와 입출력 장치의 데이터 전송에 사용된다.

$\overline{M1}$  (MACHINE CYCLE ONE)

: 출력, 부논리. 이 신호는 현재의 머신 사이클이 OP코드 페치사이클이라는 것을 나타낸다. 2바이트 OP코드 수행중에는  $\overline{M1}$  신호는 각 OP 코드 바이트가 페치될 때마다 발생하게 된다. 이러한 2바이트 OP코드는 항상 CBH, DDH, EDH 혹은 FDH에서 시작된다. 또한 인터럽트 인식 사이클(INTERUPT ACKNOWLEDGE CYCLE)을 나타내기 위하여  $\overline{IORQ}$  신호와 함께 발생된다.

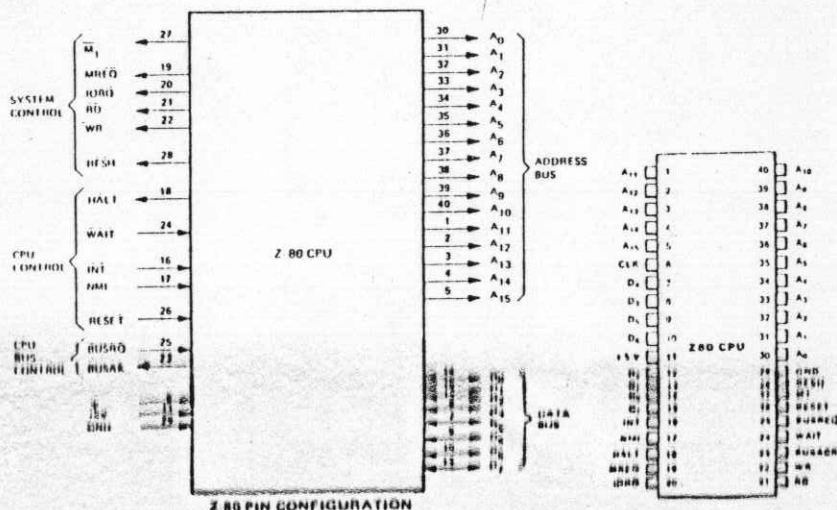
$\overline{MREQ}$  (MEMORY REQUEST)

: TRI-STATE, 출력, 부논리. 이 신호는 어드레스 버스가 메모리 READ나 메모리 WRITE를 위해 어드레스를 지정하는 것을 나타낸다.

$\overline{IORQ}$  (INPUT/OUTPUT REQUEST)

: TRI-STATE, 출력, 부논리. 어드레스 버스의 하위 8비트에 입출력 READ나 WRITE를 위해 정확한 입출력 어드레스가 출력되고 있는 것을 나타낸다. 또한 이 신호는 인터럽트 발생시, 데이터 버스상에 인터럽트 RESPONSE VECTOR가 실렸다는 것을 인식할 때  $\overline{M1}$  신호와 함께 발생된다. 입출력 동작은  $\overline{M1}$  사이클에서는 발생하지 않는 반면 인터럽트 인식 동작은  $\overline{M1}$  사이클에서 발생하게 된다.

<그림 5>



### $\overline{RD}$ (MEMORY READ)

: TRI-STATE, 출력, 부논리. 이 신호는 CPU가 메모리나 입출력 장치로부터 데이터를 읽어 들인다는 것을 나타낸다. 어드레스가 지정된 입출력 장치나 메모리는 CPU 데이터 버스상에 데이터를 실기 위해서 이 신호를 사용하게 된다.

### $\overline{WR}$ (MEMORY WRITE)

: TRI-STATE, 출력, 부논리. CPU 데이터 버스에 정확한 데이터가 실리고 어드레스가 지정된 메모리나 입출력 장치에 저장되는 것을 나타낸다.

### $\overline{RFSH}$ (REFRESH)

: 출력, 부논리. 어드레스 버스의 하위 7 BIT는 다이내믹 메모리를 위해서 리플레시 어드레스를 나타낸다. 그리고 현재  $\overline{MREQ}$ 신호는 모든 다이내믹 메모리에 대해서 리플레시 READ를 하는데 사용된다.

### $\overline{HALT}$ (HALT STATE)

: 출력, 부논리. CPU가 SOFTWARE적으로 정지 명령을 실행하고 동작하기전에 MASKABLE INTERRUPT나 NON MASKABLE INTERRUPT요청을 기다린다. 정지 중에는 NOP 명령을 실행해서 메모리 리플레시 상태를 유지시킨다.

### $\overline{WAIT}$ (WAIT)

: 입력, 부논리. 어드레스가 지정된 메모리나 입출력 장치가 데이터를 전송할 준비가 되어 있지 않으니 기다리라는 것을 나타내주는 신호이다. CPU는 이 신호가 LOW인 동안은 계속 웨이트 상태에 머물게 된다. 또한 이 신호는 메모리나 입출력 장치의 속도에 상관없이 CPU에 동시에 액세스 할 수 있도록 해준다.

### $\overline{INT}$ (INTERRUPT REQUEST)

: 입력, 부논리. 이 신호는 입출력 장치에 의해서 발생되며 SOFTWARE적으로 IFF(INTERRUPT ENABLE FLIP-FLOP)이 ENABLE되고  $\overline{BUSRQ}$ 신호가 들어오지 않으면 현재 수행되고 있는 명령의 끝 부분에서 요구(INTERRUPT REQUEST)가 받아들여진다. CPU가 INTERRUPT 요구를 받아들일 때에는 ACKNOWLEDGE신호( $\overline{MI}$  CYCLE 동안의  $\overline{IO-RQ}$ 신호)를 통해 실행 명령의 끝 부분으로 보내진다. 인터럽트 처리 프로그램에는 3가지가 있다.

### $\overline{NMI}$ (NON-MASKABLE) INTERRUPT

: 입력, NEGATIVE EDGE TRIGGERED, IFF의 상태에 상관없이 NON-MASKABLE INTERRUPT 요

구는  $\overline{INT}$ 보다 우선 순위이고 항상 실행되고 있는 명령의 끝 부분에서 받아들여진다.  $\overline{NMI}$ 신호는 자동적으로 CPU가 0066H번지로부터 다시 시작하도록 지시하는 기능을 가지고 있다. PC(PROGRAM COUNTER)는 사용자가 인터럽트가 걸린 프로그램으로 돌아갈 수 있도록 스택에 저장된다.

### $\overline{RESET}$

: 입력, 부논리. 이 신호는 PC를 "0"(ZERO)로 만들고 CPU를 초기화(INITIALIZE)시킨다. CPU 초기화에는 다음과 같은 사항이 포함된다.

① IFF DISABLE

② 레지스터 1=00H로 세트(SET)

③ 레지스터 R=00H로 세트

④ 인터럽트 모우드 "0"(ZERO)로 세트

리세트 타임(RESET TIME)동안 어드레스 버스와 데이터 버스는 하이 임피던스(HIGH IMPEDANCE)상태가 되고 제어 출력신호는 인액티브(INACTIVE)상태가 된다.

### $\overline{BUSRQ}$ (BUS REQUEST)

: 입력, 부논리. 어드레스버스, 데이터버스, 그리고 TRI-STATE제어 출력 신호가 하이 임피던스상태가 되어 다른 장치로 하여금 이 버스들을 제어할 수 있도록 요구하는 신호로 사용된다.  $\overline{BUSRQ}$ 신호가 들어왔을 때 CPU는 현재 수행되고 있는 CPU머신 사이클이 끝나자마자 이 버스들을 하이 임피던스 상태로 만들어준다.

### $\overline{BUSAK}$ (BUS ACKNOWLEDGE)

: 출력, 부논리. 어드레스버스, 데이터버스, 그리고 TRI-STATE 제어버스 신호가 하이 임피던스상태가 되도록 요구하는 신호로서 외부 장치가 이 신호들을 제어할 수 있도록 해준다.

$\phi$

: +5V에 한개의 330 $\Omega$  풀-업(PULL-UP) 저항이 필요한 단상(SINGLE PHASE) TTL 레벨 클럭을 말한다.

## 2. VIDEO DISPLAY GENERATOR (68047)

### (가) 개 요

VDG(68047)는 표준 NTSC방식과 겸용할 수 있는 흑백 TV, 칼라 TV 혹은 모니터(MONITOR)에 표시할 수 있는 복합 영상 신호(COMPOSITE VIDEO)를 만들어 내도록 고안되었다. 68047이 발생



할 수 있는 표시 방식은 크게 3가지로 볼 수 있다. 이러한 3가지 방식은 각각의 형태가 정상 혹은 반전된 영상신호를 갖는 2가지 형태의 영숫자 모우드를 갖고 있다.

또한 2종류의 세미 그래픽 모우드가 있고 8종류의 풀 그래픽 모우드가 있다.

#### 그래픽 모우드

영숫자(ALPHANUMERIC) 모우드 : 2종

세미 그래픽(SEMIGRAPHIC) 모우드 : 2종

풀 그래픽(FULL GRAPHIC) 모우드 : 8종

#### 1) 영숫자 모우드(ALPHANUMERIC MODES)

32행×16열(계 512문자)을 표시할 수 있는 내부(INTERNAL) 모우드와 외부(EXTERNAL) 모우드가 있다. 내부 모우드에서는 각 문자가 5×7 도트 매트릭스(DOT MATRIX)로 표시되며 64개의 ASCII 문자가 들어 있는 온 칩(ON CHIP) ROM을 이용한다. 외부 메모리가 필요한 외부 모우드에서는 ROM 혹은 RAM이 각 문자가 8×12도트 매트릭스안에 위치하게 되는 32×16문자 매트릭스를 표시하는데 사용된다. 내부 모우드와 외부 모우드, 정상과 반전된 영상신호의 전환은 문자대 문자로 이루어진다.

#### 2) 세미 그래픽 모드(SEMIGRAPHIC MODES)

세미 그래픽 4(SG4), 세미 그래픽 6(SG6) 등은 2가지 세미 그래픽 모우드로서 8×12도트로 된 512(32×16) 문자 블록(BLOCK) 각각에 대해서 2×2도트 혹은 2×3도트의 더 작은 블록으로 세분해서 사용할 수 있다. SG4에서는 각 블록이 4×6도트로 구성되고 SG6에서는 각 블록이 4×4도트로 구성되어 있다. 또한 SG4나 SG6 모드에서는 BLACK을 제외하고도 8가지 혹은 4가지 색으로 표시가 가능하다. 화면 표시 기간에 영숫자 모우드를 세미 그래픽 모우드 혹은 반대의 경우로 바꾸는 표시 모우드를 마이너 모우드 스위칭(MINOR MODE SWITCHING)이라 부르고 문자 단위로 바꿀 수도 있다.

#### 3) 풀 그래픽 모우드(FULL GRAPHIC MODES)

8가지의 풀 그래픽 모우는 크게 4가지 혹은 2가지 색표시가 가능한 2개의 그룹으로 나눌 수 있다.

- ① 모우드 0 : 64×64
- ② 모우드 1 : 128×64
- ③ 모우드 2 : 128×64

④ 모우드 3, 4 : 128×96

⑤ 모우드 5 : 256×96

⑥ 모우드 6 : 128×192

⑦ 모우드 7 : 256×192

모우드 0, 2, 4, 6은 4가지 칼라로 표시될 수 있고 모우드 1, 3, 5, 7은 2가지 칼라로 표시되어질 수 있다.

모드 7이 가장 높은 밀도를 가지고 있다.

표시 메모리의 양은 모우드 7의 경우에 있어서 최대 6KBYTE로 표시 밀도가 비례적으로 증가하게 된다. 영숫자 모우드 혹은 세미 그래픽 모우드를 풀 그래픽 모우드 중의 한 모우드로 바꾸는 스위칭을 메이저 모우드 스위칭(MAJOR MODE SWITCHING)이라 부른다. 이 메이저 모드는 매 12번째 주사선 스캔(SCAN)의 마지막에서 발생하게 된다.

#### (b) 특 징

1) 두가지 색깔의 32행×16열(계 512) 영숫자(ALPHANUMERIC)가 내부 혹은 외부 문자 생성 ROM(CHARACTER GENERATOR ROM)에 의해서 BLACK바탕의 화면에 표시된다.

2) BLACK과는 별도로 8가지 또는 4가지 칼라에서는 각각 64×32에서부터 64×48까지 범위의 표시밀도(DISPLAY DENSITY)를 나타낼 수 있는 2가지의 세미 그래픽 모드(SEMIGRAPHIC MODE)가 가능하다.

3) 2색 또는 4색 표시로 64×64부터 256×192까지 범위의 표시밀도를 나타낼 수 있는 풀 그래픽 모드(FULL GRAPHIC MODE)가 가능하다.

4) 인터레이스(INTERLACED) 또는 논인터레이스(NON-INTERLACED) 표시를 선택할 수 있는 완전 NTSC 복합 영상 신호 출력이다.

5) 마이크로 프로세서(MICROPROCESSOR)와 겸용할 수 있는 접속신호(INTERFACE SIGNALS)를 공급해 준다.

6) 표시 리플레시 RAM어드레스(DISPLAY REFRESH RAM ADDRESSES)를 발생시킨다.

7) NMOS소자이며 5V 공급만으로 동작이 가능하고 로직 레벨(LOGIC LEVEL)과 겸용할 수 있는 TTL레벨(LEVEL)이다.

8) 풀 그래픽 모드(FULL GRAPHIC MODE)에서 칼라 선택 핀으로 8가지 칼라표시가 가능하다.

(c) 비디오 형태(VIDEO DISPLAY FORMAT), 타





$\overline{A}/S$

: 영숫자 모우드와 세미 그래픽 모우드간을 바꾸는 역할을 한다.

$\overline{MS}$

: 메모리를 선택하는 기능.  $\overline{MS}$ 가 로우일 때 TV화면은 B-LACK으로 된다.

$\overline{A}/G$

: 영숫자 모우드와 그래픽 모우드를 바꾸는 역할을 한다.

$\overline{FS}$

: 피일드를 동기시킨다. 수직 블랭킹시간 동안 로우 상태가 된다.

CSS

: COLOR SET SELECT.

GM1, GM2 GM4

: 그래픽 모우드를 선택하는 것으로서 8가지 모우드 중의 하나를 택한다.

### 3. PROGRAMMABLE SOUND GENERATOR (PSG) :

AY-3-8910

#### (a) 개요

SOFTWARE적으로 다양한 복합 음향을 낼 수 있는 소자이다. 동작은 DC 5V 만으로 가능하고 TTL (TRANSISTOR TRANSISTOR LOGIC) LEVEL의 클럭(CLOCK)을 사용한다.

PSG는 어떤 시스템 버스에도 쉽게 접속(INTERFACE)할 수 있다. 이러한 장점은 음악 합성, 음향 효과, 경보, 톤 신호 및 FSK모뎀(FREQUENCY SHIFT KEYING MODEM) 등의 이용에 적합하다. 프로세서(PROCESSOR)가 다른 일을 하고 있는 동안 음향효과를 내기 위해서 PSG는 처음 명령이 제어 프로세서에 의해 주어진 다음부터 음향발생을 계속 할 수 있다. 3개의 독립적으로 제어할 수 있는 채널이 있어서 한가지 효과 이상의 생생한 음향을 발생시킬 수 있다. 모든 제어신호는 원래는 디지털(DIGITAL)신호이고 마이크로프로세서나 마이크로컴퓨터에 의해서 공급되도록 되어 있다. 이와 같은 사실은 외부 회로의 변경없이도 필요한 모든 범위의 소리를 발생할 수 있다는 것을 의미한다.

#### (b) 특징

- 1) 음향발생을 소프트웨어로 완전히 제어할 수 있다.
- 2) 대부분의 8비트와 16비트 마이크로프로세서에 연결하여 사용할 수 있다.
- 3) 각각 독립적으로 프로그램되어 있어서 음향

을 발생할 수 있는 3개의 아날로그 출력단을 보유하고 있다.

4) 두개의 8비트 범용 입출력단을 가지고 있다.

#### (c) 구조

AY-3-8910은 PSG를 위한 전용 레지스터를 갖고 있으며 프로세서와 PSG간의 전달(COMMUNICATION)은 MEMORY-MAPPED I/O개념으로 이루어진다. 제어명령은 16개의 MEMORY-MAPPED레지스터에 사용하므로써 PSG에 전달되고 마이크로프로세서가 필요시에 현재의 상태, 저장된 데이터 값을 결정할 수 있도록 PSG에 있는 각각 16개의 레지스터를 읽을 수 있다. 또한 PSG의 모든 기능은 일단 프로그램되어서 음향을 발생, 유지하는 16개의 레지스터에 의해서 제어된다.

1) 기본 기능 블록(BASIC FUNCTIONAL BLOCKS)

#### \* 레지스터 배열(REGISTER ARRAY)

PSG의 주요 요소는 16개의 READ/WRITE 제어 레지스터의 배열이다. 이들 16개의 레지스터는 CPU에게는 메모리 블록 또는 1024개의 가능한 어드레스로부터 16WORD 블록을 차지하고 있는 것처럼 보인다. 10개의 어드레스 비트는 그림 8과 같다.

4개의 하위 어드레스 비트는 16개의 레지스터중 하나를 선택하며 상위 6비트 어드레스는 TRI-STATE 쌍방향 버퍼(BUFFER)를 제어하는 칩(CHIP)선택의 기능을 가지고 있다. 상위 2비트 A9 및 A8은 항상 0, 1이 되도록 만들어져 있다.

2) 프로그램된 음향을 발생시키는 기본 블록(BLOCK)은 그림 9, 그림 10과 같다.

- ① TONE 발생
- ② NOISE발생
- ③ MIXER : TONE발생기와 NOISE발생기를 결합한다.
- ④ AMPLITUDE제어

<그림 8>

$\overline{A9}$	A8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0
0	1	0	0	0	0	0	0	0	0
THRU									
0	1	0	0	0	0	1	1	1	1
HIGH ORDER (Chip Select)					LOW ORDER (Register #)				

<그림 9>

BIT		B7	B6	B5	B4	B3	B2	B1	B0
REGISTER									
R0	Channel A Tone Period	8-BIT Fine Tune A							
R1						4-BIT Coarse Tune A			
R2	Channel B Tone Period	8-BIT Fine Tune B							
R3						4-BIT Coarse Tune B			
R4	Channel C Tone Period	8-BIT Fine Tune C							
R5						4-BIT Coarse Tune C			
R6	Noise Period					5-BIT Period Control			
R7	Enable	IN/OUT			Noise			Tone	
		IOB	IOA	C	B	A	C	B	A
R10	Channel A Amplitude				M	L3	L2	L1	L0
R11	Channel B Amplitude				M	L3	L2	L1	L0
R12	Channel C Amplitude				M	L3	L2	L1	L0
R13	Envelope Period	8-BIT Fine Tune E							
R14		8-BIT Coarse Tune E							
R15	Envelope Shape/Cycle					CONT	ATT	ALT	HOLD
R16	I/O Port A Data Store	8-BIT PARALLEL I/O on Port A							
R17	I/O Port B Data Store	8-BIT PARALLEL I/O on Port B							

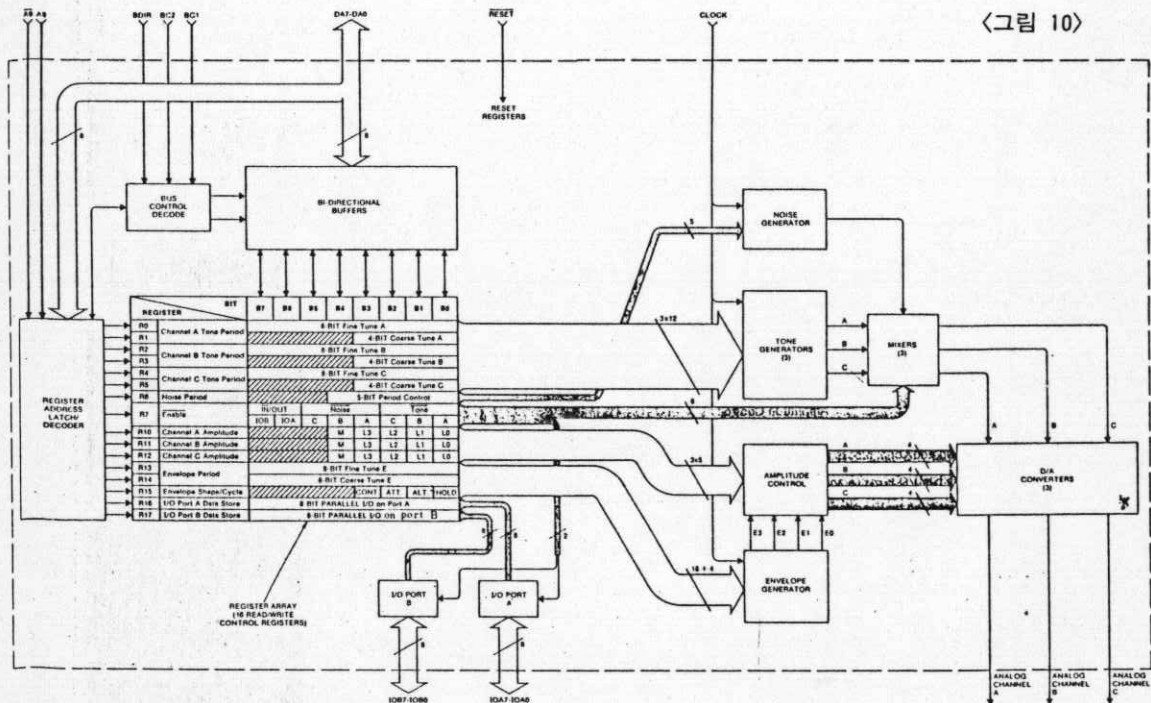
⑤ ENVELOPE발생

⑥ D/A 변환

3) I/O단자

음향 발생과 상관이 없는 PSG내에 있는 두 개의 부가적인 블록(BLOCK)이 입출력 단자(A 및 B)이다.

마이크로프로세서를 사용하여 발생하는 음향의 실제적인 사용이 프로세서와 외부 사이의 접속이 요구되므로 이 단자가 PSG에 포함되어 있다. CPU는 데이터를 PSG의 다른 기능에 영향을 주지 않고 입출력 단자들(PORTS)을 이용하여 쓰고 읽을 수 있다.

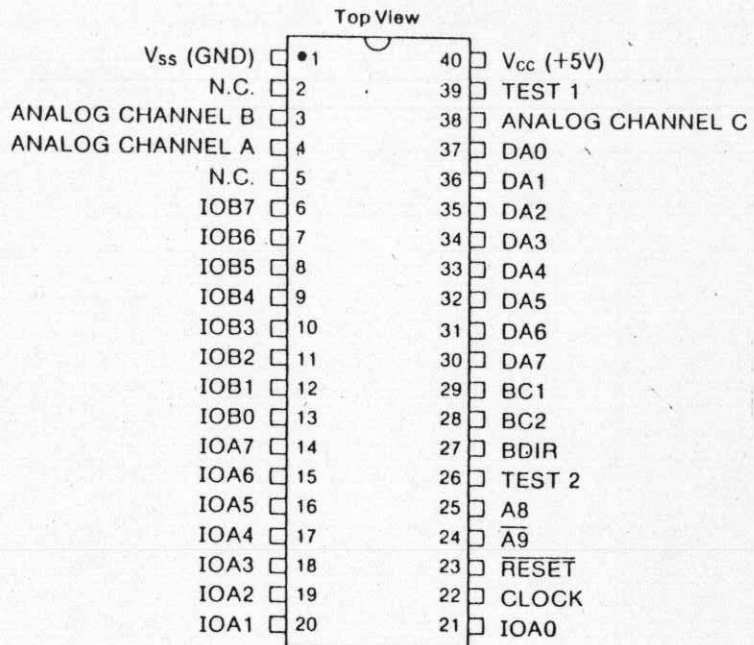


<그림 10>



(d) PIN 설명

〈그림 11〉



DA0~DA7

: 이 8 라인은 8 비트의 쌍방향 버스로서 마이크로프로세서 (CPU)가 사운드 제네레이터(AY-3-8910)에 데이터와 어드레스를 보내고 또한 AY-3-8910으로부터 데이터를 받는데 사용된다.

RESET

: AY-3-8910의 초기상태로 만드는 것으로 RESET 핀에 레벨을 가하므로써 모든 레지스터의 내용을 "0"으로 만든다.

CLOCK

: TTL과 같은 레벨로 톤(TONE), 노이즈(NOISE), 인벨로프 제네레이터(ENVELOPE GENERATORS)에 대한 타이밍을 공급한다.

BDIR, BC 2, BC 1

: AY-3-8910의 버스를 제어하는 신호이다.

아날로그 채널(ANALOG CHANNEL A, B, C)

: 이들 신호 각각은 각 신호(A, B, C)에 해당하는 디지털

신호를 아날로그 신호로 바꾼 출력으로서, 사운드 제네레이터에 의해 만들어진 복잡한 소리를 나타내는 신호를 만든다.

두개의 8 비트 범용 입출력단자(IOA0~IOA7, IOB0~IOB7)

: 이들 두개의 범용 입출력단자는 외부 장치(DEVICE)들로부터 사운드 제네레이터나 CPU로 8 비트의 데이터를 주고받을 수 있는데 사용된다.

테스트 핀(TEST 1, TEST 2)

: 이 핀들은 제조회사(GI)에서만 이용되는 것으로 오픈(OPEN)된 채로 내버려둔다.

VCC

: +5V±5%의 전원으로 PSG(사운드 제네레이터)를 구동시킨다.

VSS

: 사운드 제네레이터에 대해 GND를 제공한다.

(다음호에 계속)

