

Titelblad

Titel: Styresystemet - Android

Afleveret: 21/04/2021

Projektperiode: 08/02/2021 - 26/04/2021

Fag: Teknologi Dmba0920

Vejleder: Karsten Jeppesen

Denne rapport er udarbejdet af:



Julius Bendt



Magnus Baggesen



Michael Andreas Graversen



Mike Johansson



Nicolai Harms

Antal anslag/sider: 6702 ~ 3 sider

(en normalside er 2400 anslag med mellemrum)

Bilagsantal: 0

1. Indledning

Vi har fået stillet en opgave i Teknologi, hvor vi skal vælge et styresystem, samt en CPU (Central processing unit) hørende til det pågældende styresystem, herefter skal vi lave en detaljeret beskrivelse af disse. Beskrivelsen vil omhandle cpu'ens arkitektur, samt generelle informationer omkring en CPU og et styresystem.

Opgaven omhandler i sin helhed om at forstå og kunne forklare opbygningen af CPU'er, og hvordan disse fungerer i et samarbejde med styresystemet.

Vi har valgt Android som vores styresystem, mere specifikt Android version 4.4, også kaldet KitKat. Denne version har vi valgt, da vi gerne ville arbejde med Snapdragon 200 SoC, som anvender en Cortex-A7 processor. Dette vil blive beskrevet i punktet [Android CPU](#).

2. Android

Android er udviklet af Google, er et styresystem som oftest benyttes på små enheder, altså mobiler, single-board computere, og bil-infotainment systemer m.m. Android er skabt til at være et letvægts operativsystem, som har en hurtig start-up tid, uden at kræve en større mængde computer hardware kraft.

Android er et open source operativsystem, hvilket betyder at udviklere og forbrugere, har mulighed for at modificere systemet, til deres behov. Det betyder også at der er større mulighed for at ødelægge noget, da tilgangen ikke har nogle restriktioner. Det modsatte vil være Apple OS som har låst alle muligheder for at ændre i deres styresystem.

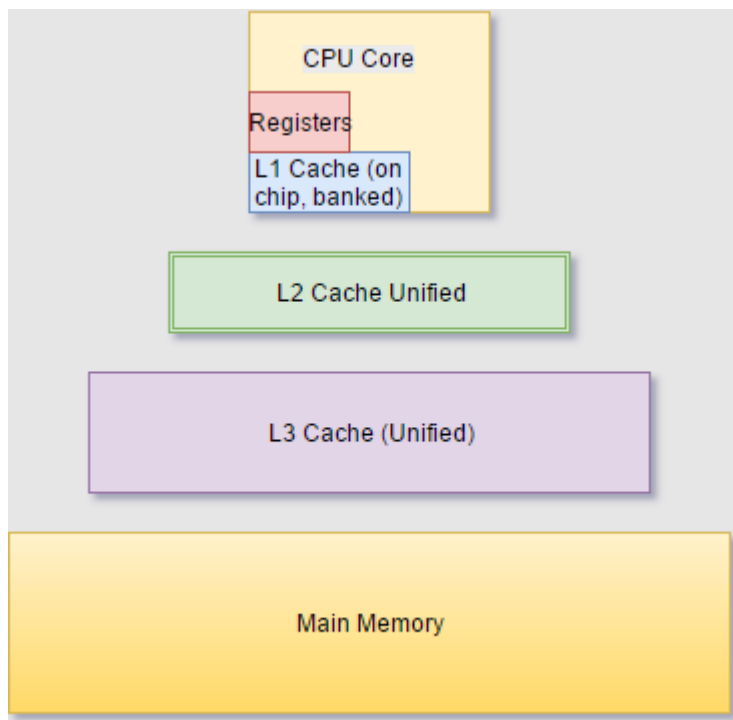
3. Android CPU

Vi har valgt en snapdragon 200 fra 2013 med en cortex-A7 CPU, som er baseret på ARMv7 arkitekturen. Den er designet til billige mobiler i 2013, som en erstatning til deres "MSM8225 S4 Play" chip, der før var go-to valget til low-end mobiler. Snapdragon 200 cortex-A7 findes i to varianter, en dual-core og quad-core version, hver core kører med op til 1.2 GHz. Snapdragon 200 serien er en del af deres SoC(System on a Chip) varianter, hvilket i dette tilfælde vil sige at den også kommer med en GPU([Adreno 302](#)), en DSP Digital signal processor ([Hexagon QDSP6](#)), mobile DDR([LPDDR2](#) Single-channel 333 MHz), et modem(Gobi 3G) og bluetooth 4.1.[2]

Hvad er cache

En CPU cache bliver brugt af CPU'en på en computer til at reducere tiden/handlingerne det tager at få adgang til data fra main memory(RAM). Cachen er et meget mindre og meget hurtigere stykke hukommelse som er placeret tættere eller på CPU'en, den opbevarer kopier af data der ofte bliver hentet fra main memory.

Cache i en processor er inddelt efter hastighed, og hedder oftest L1,L2 samt L3. Her skal det forstås som at L1 er hurtigt. Dette hierarki kan ses på figur 3.1.



figur 3.1 - Forskellige typer cache i en computer [3]

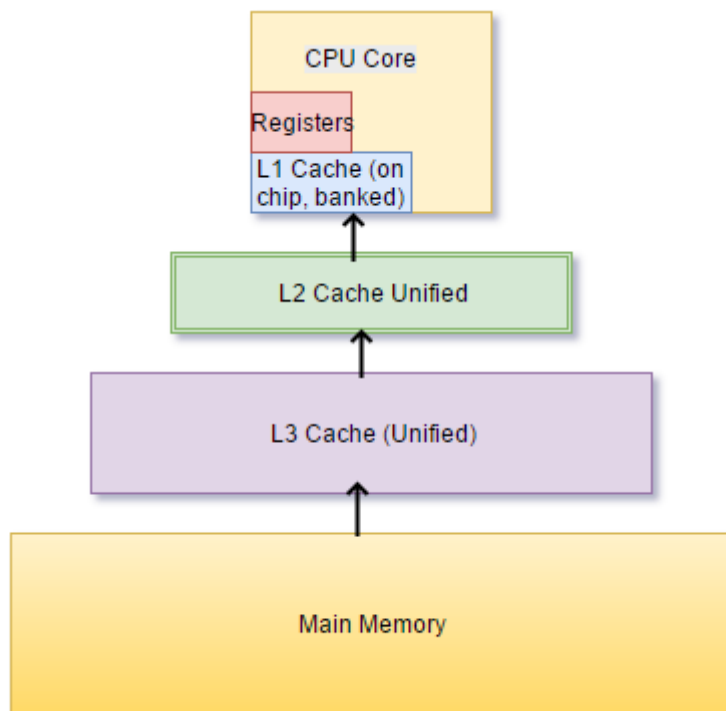
L1 har til opgave at cache meget specifikke data, som en cpu skal bruge mens den håndtere forskellige opgaver. L1 sidder på CPU coren, og er klart den hurtigste af de tre. Det skal dog påpeges, at L1 også klart er den dyreste, og at denne cache (i hvert fald i 2013) aldrig havde mere end *max* et par megabytes plads på highend server chips, "normale" consumer chips ligger normalt på kilobytes-niveau.

L2 cachen er oftest større. Hvor L1 oftest bliver målt i kilobytes, bliver L2 målt i megabytes. L2 er langsommere end L1, men er som beskrevet ovenfor også væsentligt større i forhold til cache plads. Selvom L2 er langsommere end L1, er L2 stadig meget hurtigere end traditionelt RAM.

L3 cache er den største af alle levels, og der er set eksempler på at highend consumer chips har en L3 cache på op til 32mb. Grundet L3 placering på selve cpu'en, og ikke en hos de enkelte cores som L1 og L2, bliver der også gemt mere generel data her.

Fra cache til cpu

På figur 3.2 kan det ses hvordan data bliver overført fra de forskellige caches til cpu'en. Vi kan antage at dataen starter med at være i Main Memory (Ram), hvorefter dataen bevæger sig op til L3, derefter til L2, og til sidst til L1. Dette er med henblik på at data skal være hurtig tilgængelig for CPU'en. Det skal dog påpeges at det kun er data som cpu'en efterspørger, som vil komme højere op i hierarkiet. Dataen bevæger sig op og ned i hierarkiet for at sikre den bedste latency. Latency er den tid mellem datoen bliver efterspurgt, til den er klar til brug i cpu'en.



Figur 3.2 - Flow af data fra RAM (main memory) til L1 cachen [3].

Hvad er registers

Registers er en lille hurtig intern hukommelse på CPU'en, som er en del af CPU'ens kerne arkitektur. Vores Cortex-a7 CPU indeholder et 32-bit register, hvor alle CPU'ens registre indeholder diverse funktioner, som kan udføres af CPU'en. Der er mange registre, og de har hver især en reserveret mængde hukommelse. Herunder er en tabel som viser ARM(32-bit) register arkitekturen.

ARM	Description	x86
R0	General Purpose	EAX
R1-R5	General Purpose	EBX, ECX, EDX, ESI, EDI
R6-R10	General Purpose	–
R11 (FP)	Frame Pointer	EBP
R12	Intra Procedural Call	–
R13 (SP)	Stack Pointer	ESP
R14 (LR)	Link Register	–
R15 (PC)	<- Program Counter / Instruction Pointer ->	EIP
CPSR	Current Program State Register/Flags	EFLAGS

Tabel 3.1 ARM 32-bit register arkitektur[1]

For at give en bedre forståelse, er der beskrevet et par eksempler herunder:

- **R13** også kaldet SP, indeholder Stack pointeren, altså hvor i stacken vi befinder os på nuværende tidspunkt.
- **R14** også kaldet LR, indeholder det man kalder Link register, som gemmer retur adressen, som benyttes når en funktion er blevet færdig og skal returnere data,
- **R15** også kaldet PC, indeholder en Program counter, som har til formål at holde styr på hvor computeren er i den pågældende program sekvens.

Det er vigtigt at forstå at registrene er separat fra cachen, og registrene har et meget stærkere bånd med CPU'en. Et register er kun en lille mængde datalagring, der letter nogle CPU-operationer. Hvorimod cachen er en volatil hukommelse, med høj hastighed og større hukommelses mængde, der hjælper processoren med at reducere hukommelses operationer.

Pipeline

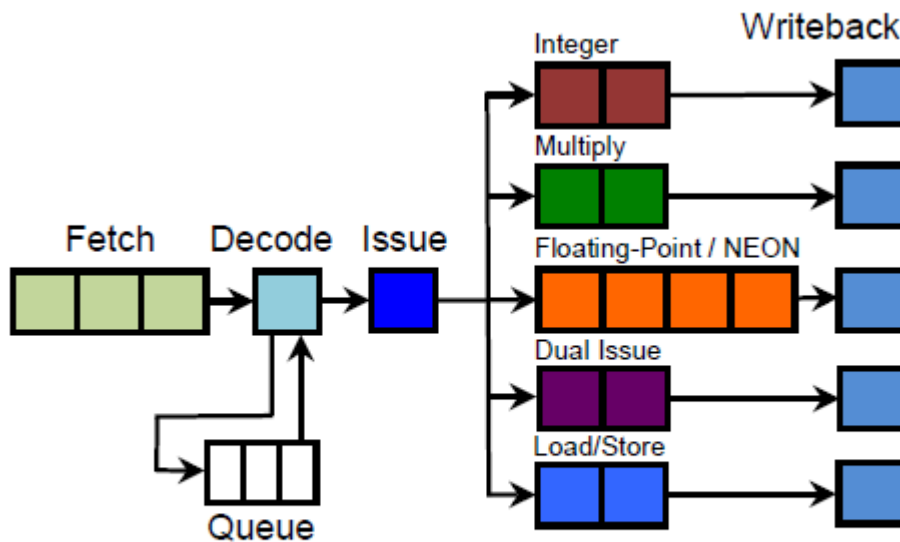


Figure 1 Cortex-A7 Pipeline

Qualcomms Cortex-A7 processor anvender en 8-stadiers pipeline. [4]

Bus architecture

Der er kun en single bus, som er dens 128-bit AMBA AXI4 bus interface. AMBA (Advanced Microcontroller Bus Architecture) er den generelle arkitektur, som bussen er bygget op om. AXI4 (Advanced eXtensible Interface 4) er en parallel kommunikationsgrænseflade, med fokus på høj ydeevne, synkronisitet og er multi-master / multi-slave. Den bruges hovedsageligt til communication i chippen.

Litteraturliste

- [1] ARM datatyper og registre, <https://azeria-labs.com/arm-data-types-and-registers-part-2/>, senest tilgået d. 21/04/2021
- [2] Liste over Snapdragon processorer, <https://bit.ly/3vb1cU3>, senest tilgået d. 21/04/2021
- [3] Figur med hiraki over caches, https://en.wikipedia.org/wiki/Cache_hierarchy, senest tilgået d. 21/04/2021
- [4] Anadeck, <https://bit.ly/3x9n9Vw>, , senest tilgået d. 21/04/2021