

AD7606 200 kSPS, 8-Channel, Simultaneous Sampling, Bipolar 16-Bit ADC

FEATURES	ХАРАКТЕРИСТИКИ
Eight Simultaneously Sampled Inputs	Восемь входов с одновременной выборкой
True bipolar analog input ranges: ± 10 V, ± 5 V	Диапазоны истинно биполярных аналоговых входов: ± 10 В, ± 5 В
Single 5V Analog Supply, 1.8V to +5V VDRIVE	Единый аналоговый источник питания 5 В, от 1,8 В до +5 В VDRIVE
1MΩ Analog Input Impedance	Импеданс аналогового входа 1MΩ
Analog Input Clamp Protection	Зашита зажима аналогового входа
2nd Order Anti-alias Analog Filter	Аналоговый фильтр 2-го порядка с антиалиасом
Fast throughput rate: 200 kSPS for all 8 channels	Высокая пропускная способность: 200 кС/с для всех 8 каналов
90dB typ SNR at 200ksps	90 дБ типичного SNR при 200 кс
Over-sampling capability with digital filter, e.g. 93dB typ SNR at 50ksps	Возможность передискретизации с цифровым фильтром, например, 93dB typ SNR при 50ksps
Low power: 100 mW typ at 200 kSPS	Низкая мощность: 100 мВт при 200 кС/с.
On-chip accurate reference and reference buffer	Точный опорный сигнал и буфер опорного сигнала на кристалле
Flexible Parallel/Serial interface: SPI®-/QSPI™-/MICROWIRE™-/DSP-compatible	Гибкий параллельный/последовательный интерфейс: SPI®-/QSPI™-/MICROWIRE™-/DSP-совместимый
Standby Mode: 6 mW typ	Режим ожидания: 6 мВт обычно
64-lead LQFP Package	64-выводной корпус LQFP

GENERAL DESCRIPTION	ОБЩЕЕ ОПИСАНИЕ
The AD76061 is an eight channel simultaneously sampled 16-bit ADC. The AD7606 is capable of achieving a sampling rate of 200 ksps per channel. The input signals are sampled simultaneously thus preserving the relative phase information of the signals on the input channels. The part operates from a 5V supply and can accommodate ± 10 V and ± 5 V true bipolar input signals. The part contains on-chip LDOs, reference and reference buffer, track and hold circuitry, supply conditioning circuitry, on-chip conversion clock, oversampling capability and high speed parallel and serial interfaces.	AD76061 - это восьмиканальный 16-разрядный АЦП с одновременной выборкой. AD7606 способен обеспечить частоту дискретизации 200 кспс на канал. Входные сигналы дискретизируются одновременно, что позволяет сохранять относительную фазовую информацию сигналов на входных каналах. Микросхема работает от источника питания 5 В и может работать с биполярными входными сигналами ± 10 В и ± 5 В. Микросхема содержит встроенные LDO, опорный и буфер опорного сигнала, схемы отслеживания и удержания, схемы формирования питания, встроенные часы преобразования, возможность передискретизации и высокоскоростные параллельный и последовательный интерфейсы.
The AD7606 features throughput rates up to 200 kSPS per channel. The part contains low noise, high input impedance signal scaling amplifiers that can handle input frequencies in the region of 5 to 10 KHz. The AD7606 features a front-end anti-alias filter with attenuation of approximately 40dB while sampling at 200kSPS. The conversion process and data acquisition are controlled using CONVST signals and an internal oscillator.	AD7606 имеет пропускную способность до 200 кС/с на канал. Микросхема содержит малошумящие усилители масштабирования сигнала с высоким входным сопротивлением, способные работать с входными частотами в диапазоне от 5 до 10 КГц. AD7606 оснащен фронтальным антиалиасным фильтром с затуханием около 40 дБ при дискретизации на скорости 200 кС/с. Управление процессом преобразования и сбора данных осуществляется с помощью сигналов CONVST и внутреннего осциллятора.
Two CONVST pins allow the simultaneous sampling of all eight analog inputs or two groups of four analog input channels.	Два контакта CONVST обеспечивают одновременную выборку всех восьми аналоговых входов или двух групп из четырех аналоговых входных каналов.
The AD7606 provides over sampling capability. Over sampling is optional to achieve improved noise performance and reduced output code spread for lower throughput rates.	AD7606 обеспечивает возможность передискретизации. Передискретизация является опциональной для достижения улучшенных шумовых характеристик и уменьшения разброса выходных кодов для снижения пропускной способности.

FUNCTIONAL BLOCK DIAGRAM -ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА

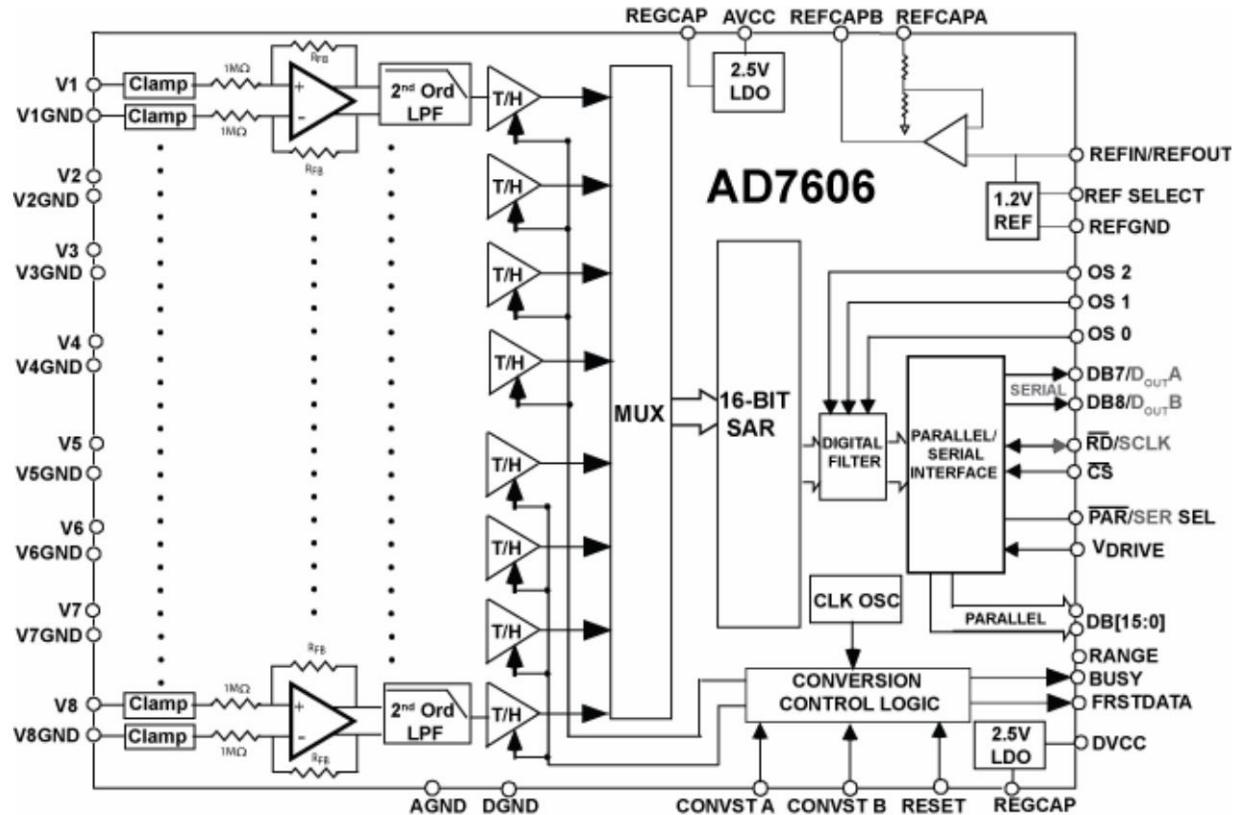


Figure 1.

Оглавление

AD7606 200 kSPS, 8-Channel, Simultaneous Sampling, Bipolar 16-Bit ADC	1
FUNCTIONAL BLOCK DIAGRAM -ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА	2
Figure 1	2
GENERAL DESCRIPTION - ОБЩЕЕ ОПИСАНИЕ	6
SPECIFICATIONS - ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ	7
Table 2	7
TIMING SPECIFICATIONS - ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ.....	10
Table 3.....	10
Timing Diagrams	12
Figure 2. CONVST Timing—Reading After a Conversion / CONVST Timing - чтение после преобразования	12
Figure 3. CONVST Timing—Reading During a Conversion / CONVST Timing - чтение во время преобразования ..	13
Figure 4. Parallel Mode, Separate CS and RD Pulses / Параллельный режим, раздельные импульсы CS и RD ..	13
Figure 5. CS and RD, Linked Parallel Mode / CS и RD, параллельный режим со связью	13
Figure 6. Serial Read Operation (Channel 1) / Операция последовательного чтения (канал 1).....	13
Figure 7. BYTE Mode Read Operation / Операция чтения в режиме BYTE.....	14
ABSOLUTE MAXIMUM RATINGS / АБСОЛЮТНЫЕ МАКСИМАЛЬНЫЕ ЗНАЧЕНИЯ.....	14
Table 4.....	14
THERMAL RESISTANCE / ТЕРМИЧЕСКОЕ СОПРОТИВЛЕНИЕ.....	14
Table 5. Thermal Resistance / Термическое сопротивление.....	14
ESD CAUTION / ОСТОРОЖНО, ЭЛЕКТРОСТАТИЧЕСКОЕ РАЗРЯЖЕНИЕ.....	15
PIN CONFIGURATIONS AND FUNCTION DESCRIPTIONS / КОНФИГУРАЦИИ ВЫВОДОВ И ОПИСАНИЕ ФУНКЦИЙ.....	15
Figure 8. AD7606 Pin Configuration.....	15
Figure 9. AD7606-6 Pin Configuration	16
Figure 10. AD7606-4 Pin Configuration	16
TYPICAL PERFORMANCE CHARACTERISTICS - ТИПИЧНЫЕ РАБОЧИЕ ХАРАКТЕРИСТИКИ	25
Figure 11. AD7606 FFT, ± 10 V Range / AD7606 БПФ, диапазон ± 10 В	25
Figure 12. AD7606 FFT Plot, ± 5 V Range / График БПФ AD7606, диапазон ± 5 В	25
Figure 13. FFT Plot Oversampling By 16, ± 10 V Range / Передискретизация графика БПФ на 16, диапазон ± 10 В	25
Figure 14. AD7606 Typical INL, ± 10 V Range / AD7606 Типичный INL, диапазон ± 10 В	25
Figure 15. AD7606 Typical DNL, ± 10 V Range / AD7606 Типичный DNL, диапазон ± 10 В	25
Figure 16. AD7606 Typical INL, ± 5 V Range / AD7606 Типичный INL, диапазон ± 5 В	25
Figure 17. AD7606 Typical DNL, ± 5 V Range / AD7606 Типичный DNL, диапазон ± 5 В	26
Figure 18. NFS Error vs. Temperature / Ошибка NFS в зависимости от температуры	26
Figure 19. PFS Error vs. Temperature / Ошибка PFS в зависимости от температуры	26
Figure 20. NFS and PFS Error Matching / Сопоставление ошибок NFS и PFS	26
Figure 21. PFS and NFS Error vs. Source Resistance / Ошибка PFS и NFS в зависимости от сопротивления источника	26
Figure 22. Bipolar Zero Code Error vs. Temperature / Ошибка биполярного нулевого кода в зависимости от температуры	26
Figure 23. Bipolar Zero Code Error Matching Between Channels / Согласование ошибок биполярного нулевого кода между каналами	27
Figure 24. THD vs. Input Frequency for Various Source Impedances, ± 10 V Range / THD в зависимости от частоты входного сигнала для различных импедансов источника, диапазон ± 10 В	27
Figure 25. THD vs. Input Frequency for Various Source Impedances, ± 5 V Range / Зависимость THD от частоты входного сигнала для различных импедансов источника, диапазон ± 5 В	27
Figure 26. SNR vs. Input Frequency for Different Oversampling Rates, ± 5 V Range / Зависимость SNR от частоты входного сигнала для различных частот передискретизации, диапазон ± 5 В	27
Figure 27. SNR vs. Input Frequency for Different Oversampling Rates, ± 10 V Range / Зависимость SNR от частоты входного сигнала для различных частот передискретизации, диапазон ± 10 В	27
Figure 28. Channel-to-Channel Isolation / Межканальная изоляция	27
Figure 29. Dynamic Range vs. Oversampling Rate / Динамический диапазон в зависимости от частоты передискретизации	28
Figure 30. Reference Output Voltage vs. Temperature for Different Supply Voltages / Опорное выходное напряжение в зависимости от температуры при различных напряжениях питания	28
Figure 32. Supply Current vs. Oversampling Rate / Ток питания в зависимости от частоты передискретизации .	28

Figure 33. PSRR	28
TERMINOLOGY / ТЕРМИНОЛОГИЯ	29
THEORY OF OPERATION / ТЕОРИЯ ЭКСПЛУАТАЦИИ	31
CONVERTER DETAILS / ДЕТАЛИ ПРЕОБРАЗОВАТЕЛЯ	31
ANALOG INPUT / АНАЛОГОВЫЙ ВХОД	31
Figure 34. Analog Input Circuitry / Схема аналогового входа	32
Figure 35. Input Protection Clamp Profile / Профиль зажима защиты входа	33
Figure 36. Input Resistance Matching on the Analog Input of the AD7606/AD7606-6/AD7606-4 / Согласование входного сопротивления на аналоговом входе AD7606/AD7606-6/AD7606-4	33
Figure 37. Analog Antialiasing Filter Frequency Response / Частотная характеристика аналогового фильтра слаживания	34
Figure 38. Analog Antialias Filter Phase Response / Фазовая характеристика аналогового антиалиасного фильтра	34
ADC TRANSFER FUNCTION / ПЕРЕДАТОЧНАЯ ФУНКЦИЯ АЦП	35
Figure 39. AD7606/AD7606-6/AD7606-4 Transfer Characteristics / Характеристики передачи данных AD7606/AD7606-6/AD7606-4	35
INTERNAL/EXTERNAL REFERENCE / ВНУТРЕННЯЯ/ВНЕШНЯЯ ССЫЛКА	36
Figure 40. Reference Circuitry / Эталонная схема	37
Figure 41. Single External Reference Driving Multiple AD7606/AD7606-6/AD7606-4 REFIN Pins - Один внешний эталон, управляющий несколькими выводами REFIN AD7606/AD7606-6/AD7606-4	37
Figure 42. Internal Reference Driving Multiple AD7606/AD7606-6/AD7606-4 REFIN Pins - Внутренний эталон, управляющий несколькими выводами REFIN AD7606/AD7606-6/AD7606-4	37
TYPICAL CONNECTION DIAGRAM / ТИПОВАЯ СХЕМА ПОДКЛЮЧЕНИЯ	37
Figure 43. AD7606 Typical Connection Diagram / Типовая схема подключения AD7606	38
POWER-DOWN MODES / РЕЖИМЫ ОТКЛЮЧЕНИЯ ПИТАНИЯ	39
Table 7. Power-Down Mode Selection / Выбор режима отключения питания	39
CONVERSION CONTROL / УПРАВЛЕНИЕ ПРЕОБРАЗОВАНИЕМ	40
Simultaneous Sampling on All Analog Input Channels / Одновременная выборка по всем каналам аналогового ввода	40
Simultaneously Sampling Two Sets of Channels / Одновременная выборка двух наборов каналов	40
Figure 44. AD7606 Simultaneous Sampling on Channel Sets While Using Independent CONVST A and CONVST B Signals—Parallel Mode / AD7606 Одновременная выборка по наборам каналов при использовании независимых сигналов CONVST A и CONVST B - параллельный режим	41
DIGITAL INTERFACE / ЦИФРОВОЙ ИНТЕРФЕЙС	42
Table 8. Interface Mode Selection / Выбор режима интерфейса	42
PARALLEL INTERFACE (PAR/SER/BYTE SEL = 0) / ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС (PAR/SER/BYTE SEL = 0)	42
Figure 45. AD7606 Interface Diagram—One AD7606 Using the Parallel Bus, with CS and RD Shorted Together / Диаграмма интерфейса AD7606 - один AD7606 с использованием параллельной шины, с замыканием CS и RD вместе	42
PARALLEL BYTE (PAR/SER/BYTE SEL = 1, DB15 = 1) / ПАРАЛЛЕЛЬНЫЙ БАЙТ (PAR/SER/BYTE SEL = 1, DB15 = 1)	43
SERIAL INTERFACE (PAR/SER/BYTE SEL = 1) / ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС (PAR/SER/BYTE SEL = 1)	44
Figure 46. AD7606 Serial Interface with Two DOUT Lines / Последовательный интерфейс AD7606 с двумя линиями DOUT	45
READING DURING CONVERSION / СЧИТЫВАНИЕ ВО ВРЕМЯ ПРЕОБРАЗОВАНИЯ	45
DIGITAL FILTER / ЦИФРОВОЙ ФИЛЬТР	46
Figure 48. OS x Pin Timing / Тайминг выводов OS x	46
Table 9. Oversample Bit Decoding / Декодирование битов с передискретизацией	46
Figure 47. AD7606—No Oversampling, Oversampling × 2, and Oversampling × 4 While Using Read After Conversion / AD7606 - отсутствие передискретизации, передискретизация × 2 и передискретизация × 4 при использовании считывания после преобразования	47
Figure 49. Histogram of Codes—No OS (Six Codes) / Гистограмма кодов - без ОС (шесть кодов)	48
Figure 50. Histogram of Codes—OS × 2 (Four Codes) / Гистограмма кодов-OS × 2 (четыре кода)	48
Figure 51. Histogram of Codes—OS × 4 (Four Codes) / Гистограмма кодов-OS × 4 (четыре кода)	48
Figure 52. Histogram of Codes—OS × 8 (Three Codes) / Гистограмма кодов-OS × 8 (три кода)	48
Figure 53. Histogram of Codes—OS × 16 (Two Codes) / Гистограмма кодов-OS × 16 (два кода)	49
Figure 54. Histogram of Codes—OS × 32 (Two Codes) / Гистограмма кодов-OS × 32 (два кода)	49
Figure 55. Histogram of Codes—OS × 64 (Two Codes) / Гистограмма кодов-OS × 64 (два кода)	49
Figure 56. Digital Filter Response for OS 2 / Отклик цифрового фильтра для OS 2	50

Figure 57. Digital Filter Response for OS 4 / Отклик цифрового фильтра для OS 4	50
Figure 58. Digital Filter Response for OS 8 / Цифровой фильтр для OS 8	50
Figure 59. Digital Filter Response for OS 16 / Отклик цифрового фильтра для OS 16	50
Figure 60. Digital Filter Response for OS 32 / Отклик цифрового фильтра для OS 32	50
Figure 61. Digital Filter Response for OS 64 / Отклик цифрового фильтра для OS 64	50
LAYOUT GUIDELINES / РЕКОМЕНДАЦИИ ПО ПЛАНИРОВКЕ	51
Figure 62. Top Layer Decoupling REFIN/REFOUT, REFCAPA, REFCAPB, and REGCAP Pins / Развязка верхнего слоя контактов REFIN/REFOUT, REFCAPA, REFCAPB и REGCAP	52
Figure 63. Bottom Layer Decoupling / Развязка нижнего слоя	52
Figure 64. Layout for Multiple AD7606 Devices—Top Layer and Supply Plane Layer / Макет для нескольких устройств AD7606 - верхний слой и слой плоскости питания	53
OUTLINE DIMENSIONS / ГАБАРИТНЫЕ РАЗМЕРЫ	54
Figure 65. 64-Lead Low Profile Quad Flat Package [LQFP] (ST-64-2) Dimensions shown in millimetres / 64-выводной низкопрофильный четырехплоскостной пакет [LQFP] (ST-64-2) Размеры указаны в миллиметрах	54
ORDERING GUIDE / РУКОВОДСТВО ПО ОФОРМЛЕНИЮ ЗАКАЗА.....	54

GENERAL DESCRIPTION - ОБЩЕЕ ОПИСАНИЕ

The AD7606 ¹ /AD7606-6/AD7606-4 are 16-bit, simultaneous sampling, analog-to-digital data acquisition systems (DAS) with eight, six, and four channels, respectively. Each part contains analog input clamp protection, a second-order antialiasing filter, a track-and-hold amplifier, a 16-bit charge redistribution successive approximation analog-to-digital converter (ADC), a flexible digital filter, a 2.5 V reference and reference buffer, and high speed serial and parallel interfaces.	AD76061/AD7606-6/AD7606-4 - это 16-разрядные аналого-цифровые системы сбора данных (ССД) с одновременной выборкой, имеющие восемь, шесть и четыре канала соответственно. Каждая из них содержит защиту аналогового входа от зажима, фильтр сглаживания второго порядка, усилитель слежения и удержания, 16-разрядный аналого-цифровой преобразователь с последовательным перераспределением заряда (АЦП), гибкий цифровой фильтр, опорный буфер 2,5 В, а также высокоскоростные последовательный и параллельный интерфейсы.
The AD7606/AD7606-6/AD7606-4 operate from a single 5 V supply and can accommodate ± 10 V and ± 5 V true bipolar input signals while sampling at throughput rates up to 200 kSPS for all channels. The input clamp protection circuitry can tolerate voltages up to ± 16.5 V. The AD7606 has 1 M Ω analog input impedance regardless of sampling frequency. The single supply operation, on-chip filtering, and high input impedance eliminate the need for driver op amps and external bipolar supplies. The AD7606/AD7606-6/AD7606-4 antialiasing filter has a 3 dB cutoff frequency of 22 kHz and provides 40 dB antialias rejection when sampling at 200 kSPS. The flexible digital filter is pin driven, yields improvements in SNR, and reduces the 3 dB bandwidth.	AD7606/AD7606-6/AD7606-4 работают от одного источника питания 5 В и могут обрабатывать биполярные входные сигналы ± 10 В и ± 5 В при частоте дискретизации до 200 кС/с для всех каналов. Схема защиты входного зажима может выдерживать напряжение до $\pm 16,5$ В. Входной импеданс аналоговых сигналов AD7606 составляет 1 М Ω независимо от частоты дискретизации. Работа от одного источника питания, фильтрация на кристалле и высокий входной импеданс устраниют необходимость в драйверных операционных усилителях и внешних биполярных источниках питания. Сглаживающий фильтр AD7606/AD7606-6/AD7606-4 имеет частоту среза 3 дБ, равную 22 кГц, и обеспечивает 40 дБ подавления сглаживания при дискретизации с частотой 200 кС/с. Гибкий цифровой фильтр управляет с помощью выводов, улучшает SNR и уменьшает полосу пропускания 3 дБ.
¹ Patent pending.	¹ Патент заявлен.

SPECIFICATIONS - ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

$V_{REF} = 2.5$ V external/internal, $AV_{CC} = 4.75$ V to 5.25 V, $V_{DRIVE} = 2.3$ V to 5.25 V, $f_{SAMPLE} = 200$ kSPS, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.¹

$V_{REF} = 2.5$ В внешний/внутренний, AV_{CC} = от 4,75 В до 5,25 В, V_{DRIVE} = от 2,3 В до 5,25 В, $f_{SAMPLE} = 200$ кС/с, T_A = от T_{MIN} до T_{MAX} , если не указано иное.¹

Table 2.

Parameter Параметр	Test Conditions/Comments Условия испытаний/комментарии	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ	$f_{IN} = 1$ kHz sine wave unless otherwise noted f_{IN} = синусоидальная волна 1 кГц, если не указано иное				
Signal-to-Noise Ratio (SNR) ^{2,3} Отношение сигнал/шум (SNR) ^{2,3}	Oversampling by 16; ± 10 V range; $f_{IN} = 130$ Hz Передискретизация на 16; диапазон ± 10 В; $f_{IN} = 130$ Гц	94	95.5		dB
	Oversampling by 16; ± 5 V range; $f_{IN} = 130$ Hz Передискретизация на 16; диапазон ± 5 В; $f_{IN} = 130$ Гц	93	94.5		dB
	No oversampling; ± 10 V Range Без передискретизации; диапазон ± 10 В	88.5	90		dB
	No oversampling; ± 5 V range Без передискретизации; диапазон ± 5 В	87.5	89		dB
Signal-to-(Noise + Distortion) (SINAD) ² Сигнал-(шум + искажения) (SINAD) ²	No oversampling; ± 10 V Range Без передискретизации; диапазон ± 10 В	88	90		dB
	No oversampling; ± 5 V range Без передискретизации; диапазон ± 5 В	87	89		dB
Dynamic Range Динамический диапазон	No oversampling; ± 10 V Range Без передискретизации; диапазон ± 10 В		90.5		dB
	No oversampling; ± 5 V range Без передискретизации; диапазон ± 5 В		90		dB
Total Harmonic Distortion (THD) ² Суммарные гармонические искажения (THD) ²			-107	-95	dB
Peak Harmonic or Spurious Noise (SFDR) ² Пиковый гармонический или помеховый шум (SFDR) ²			-108		dB
Intermodulation Distortion (IMD) ² Интермодуляционные искажения (IMD) ²	$f_a = 1$ kHz, $f_b = 1.1$ kHz				
Second-Order Terms Условия второго порядка			-110		dB
Third-Order Terms Условия третьего порядка			-106		dB
Channel-to-Channel Isolation ² Межканальная изоляция ²	f_{IN} on unselected channels up to 160 kHz f_{IN} на невыбранных каналах до 160 кГц		-95		dB
ANALOG INPUT FILTER ФИЛЬТР АНАЛОГОВОГО ВХОДА					
Full Power Bandwidth Полоса пропускания полной мощности	-3 dB, ± 10 V range -3 dB, ± 5 V range -0.1 dB, ± 10 V range -0.1 dB, ± 5 V range	23			kHz
tGROUP DELAY	± 10 V Range ± 5 V Range		11		μ s
			15		μ s
DC ACCURACY ТОЧНОСТЬ ПОСТОЯННОГО ТОКА					
Resolution Разрешение	No missing codes Отсутствие отсутствующих кодов	16			Bits
Differential Nonlinearity ² Дифференциальная нелинейность ²			± 0.5	± 0.99	LSB ⁴
Integral Nonlinearity ² Интегральная нелинейность ²			± 0.5	± 2	LSB
Total Unadjusted Error (TUE) Общая нескорректированная ошибка	± 10 V range ± 5 V range		± 6		LSB
			± 12		LSB
Positive Full-Scale Error ^{2,5} Положительная ошибка полного масштаба ^{2,5}	External reference / Внешняя ссылка Internal reference / Внутренняя ссылка		± 8	± 32	LSB
Positive Full-Scale Error Drift Положительный дрейф полномасштабной ошибки	External reference / Внешняя ссылка Internal reference / Внутренняя ссылка		± 8		ppm/ $^{\circ}$ C
Positive Full-Scale Error Matching ² Положительное согласование полномасштабной ошибки ²	± 10 V Range ± 5 V Range		± 7		ppm/ $^{\circ}$ C
			5	32	LSB
Bipolar Zero Code Error ^{2,6} Ошибка биполярного нулевого кода ^{2,6}	± 10 V Range ± 5 V Range		16	40	LSB
			± 1	± 6	LSB
			± 3	± 12	LSB

Parameter Параметр	Test Conditions/Comments Условия испытаний/комментарии	Min	Typ	Max	Unit	
Bipolar Zero Code Error Drift Дрейф ошибки биполярного нулевого кода	± 10 V Range ± 5 V Range		10 5		$\mu\text{V}/^\circ\text{C}$	
Bipolar Zero Code Error Matching ² Сопоставление ошибок биполярного нулевого кода ²	± 10 V Range ± 5 V Range		1 6 22	8 LSB	LSB	
Negative Full-Scale Error ^{2,5} Отрицательная ошибка полной шкалы ^{2,5}	External reference / Внешняя ссылка Internal reference / Внутренняя ссылка		± 8	± 32	LSB	
Negative Full-Scale Error Drift Отрицательный дрейф полномасштабной ошибки	External reference / Внешняя ссылка Internal reference / Внутренняя ссылка		± 4 ± 8		$\text{ppm}/^\circ\text{C}$ $\text{ppm}/^\circ\text{C}$	
Negative Full-Scale Error Matching ² Отрицательная полномасштабная ошибка согласования ²	± 10 V Range ± 5 V Range		5 16	32 40	LSB	
ANALOG INPUT / АНАЛОГОВЫЙ ВХОД						
Input Voltage Ranges Диапазоны входного напряжения	RANGE = 1 RANGE = 0			± 10 ± 5	V	
Analog Input Current Аналоговый входной ток	10 V; see Figure 31 5 V; see Figure 31		5.4 2.5		μA	
Input Capacitance ⁷ / Входная емкость ⁷			5		pF	
Input Impedance Входной импеданс	See the Analog Input section См. раздел "Аналоговый вход".		1		$\text{M}\Omega$	
REFERENCE INPUT/OUTPUT КОНТРОЛЬНЫЙ ВХОД/ВЫХОД						
Reference Input Voltage Range Диапазон опорного входного напряжения	See the ADC Transfer Function section См. раздел "Передаточная функция АЦП"	2.475	2.5	2.525	V	
DC Leakage Current Ток утечки постоянного тока				± 1	μA	
Input Capacitance ⁷ / Входная емкость ⁷	REF SELECT = 1		7.5		pF	
Reference Output Voltage Опорное выходное напряжение	REFIN/REFOUT		2.49/ 2.505		V	
Reference Temperature Coefficient Коэффициент справочной температуры			± 10		$\text{ppm}/^\circ\text{C}$	
LOGIC INPUTS / ЛОГИЧЕСКИЕ ВХОДЫ						
Input High Voltage (V_{INH}) Высокое входное напряжение (V_{INH})		$0.7 \times$ V_{DRIVE}			V	
Input Low Voltage (V_{INL}) Входное низкое напряжение (V_{INL})				$0.3 \times$ V_{DRIVE}	V	
Input Current (I_{IN}) / Входной ток (I_{IN})				± 2	μA	
Input Capacitance (C_{IN}) ⁷ / Входная емкость (C_{IN}) ⁷			5		pF	
LOGIC OUTPUTS / ЛОГИЧЕСКИЕ ВЫХОДЫ						
Output High Voltage (V_{OH}) Высокое напряжение на выходе (V_{OH})	$I_{\text{SOURCE}} = 100 \mu\text{A}$	$V_{\text{DRIVE}} -$ 0.2			V	
Output Low Voltage (V_{OL}) Низкое напряжение на выходе (V_{OL})	$I_{\text{SINK}} = 100 \mu\text{A}$			0.2	V	
Floating-State Leakage Current Ток утечки в плавающем состоянии			± 1	± 20	μA	
Floating-State Output Capacitance ⁷ Выходная емкость в плавающем состоянии ⁷			5		pF	
Output Coding / Кодирование вывода	Twos complement / Дополнение к двойкам					
CONVERSION RATE КОЭФФИЦИЕНТ КОНВЕРСИИ						
Conversion Time Время преобразования	All eight channels included; see Table 3 В комплект входят все восемь каналов; см. таблицу 3		4		μs	
Track-and-Hold Acquisition Time Время захвата трека и удержания			1		μs	
Throughput Rate Пропускная способность	Per channel, all eight channels included На один канал, все восемь каналов включены			200	kSPS	
POWER REQUIREMENTS ТРЕБОВАНИЯ К ПИТАНИЮ						
V_{CC}		4.75		5.25	V	
V_{DRIVE}		2.3		5.25	V	
I_{TOTAL}	Digital inputs = 0 V or V_{DRIVE}					
Normal Mode (Static) Нормальный режим (статический)	AD7606 AD7606-6 AD7606-4		16 14 12	22 20 17	mA	
Normal Mode (Operational) ⁸ Нормальный режим (рабочий) ⁸	$f_{\text{SAMPLE}} = 200 \text{ kSPS}$ AD7606 AD7606-6 AD7606-4			20 18 15	27 24 21	mA

Parameter Параметр	Test Conditions/Comments Условия испытаний/комментарии	Min	Typ	Max	Unit
Standby Mode / Режим ожидания		5	8	mA	
Shutdown Mode / Режим отключения		2	6	μA	
Power Dissipation / Рассеиваемая мощность					
Normal Mode (Static)	AD7606	80	115,5	mW	
Normal Mode (Operational) ⁸ Нормальный режим (рабочий) ⁸	f _{SAMPLE} = 200 kSPS AD7606 AD7606-6 AD7606-4	100	142	mW	
		90	126	mW	
		75	111	mW	
Standby Mode / Режим ожидания		25	42	mW	
Shutdown Mode / Режим отключения		10	31,5	μW	

¹ Temperature range for the B version is -40°C to +85°C. The AD7606 is operational up to 125°C with throughput rates ≤ 160 kSPS, and the SNR typically reduces by 0.7 dB at 125°C.	¹ Диапазон температур для версии В составляет от -40°C до +85°C. AD7606 работает при температуре до 125°C с пропускной способностью ≤ 160 кС/с, а SNR обычно снижается на 0,7 дБ при 125°C.
² See the Terminology section.	² См. раздел "Терминология".
³ This specification applies when reading during a conversion or after a conversion. If reading during a conversion in parallel mode with V _{DRIVE} = 5 V, SNR typically reduces by 1.5 dB and THD by 3 dB.	³ Данная спецификация применяется при чтении во время преобразования или после преобразования. При считывании во время преобразования в параллельном режиме с V _{DRIVE} = 5 В SNR обычно снижается на 1,5 дБ, а THD - на 3 дБ.
⁴ LSB means least significant bit. With ±5 V input range, 1 LSB = 152.58 μV. With ±10 V input range, 1 LSB = 305.175 μV.	⁴ LSB означает наименьший значащий бит. При диапазоне входного сигнала ±5 В 1 LSB = 152,58 мкВ. При диапазоне входного сигнала ±10 В 1 LSB = 305,175 мкВ.
⁵ These specifications include the full temperature range variation and contribution from the internal reference buffer but do not include the error contribution from the external reference.	⁵ Эти характеристики включают в себя полный температурный диапазон изменения и вклад от внутреннего опорного буфера, но не включают вклад ошибки от внешнего опорного устройства.
⁶ Bipolar zero code error is calculated with respect to the analog input voltage. See the Analog Input Clamp Protection section.	⁶ Ошибка биполярного нулевого кода рассчитывается относительно аналогового входного напряжения. См. раздел Защита зажима аналогового входа.
⁷ Sample tested during initial release to ensure compliance.	⁷ Образец тестируется во время первоначального выпуска для обеспечения соответствия.
⁸ Operational power/current figure includes contribution when running in oversampling mode.	⁸ Показатель оперативной мощности/тока включает вклад при работе в режиме передискретизации.

TIMING SPECIFICATIONS - ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ

$V_{CC} = 4.75 \text{ V to } 5.25 \text{ V}$, $V_{DRIVE} = 2.3 \text{ V to } 5.25 \text{ V}$, $V_{REF} = 2.5 \text{ V}$ external reference/internal reference, $T_A = T_{MIN} \text{ to } T_{MAX}$, unless otherwise noted.¹

$V_{CC} = \text{от } 4,75 \text{ В до } 5,25 \text{ В}$, $V_{DRIVE} = \text{от } 2,3 \text{ В до } 5,25 \text{ В}$, $V_{REF} = 2,5 \text{ В}$ внешний источник/внутренний источник, $T_A = \text{от } T_{MIN} \text{ до } T_{MAX}$, если не указано иное.¹

Table 3.

Parameter	Limit at T_{MIN}, T_{MAX} ($0.1 \times V_{DRIVE}$ and $0.9 \times V_{DRIVE}$ Logic Input Levels)			Limit at T_{MIN}, T_{MAX} ($0.1 \times V_{DRIVE}$ and $0.9 \times V_{DRIVE}$ Logic Input Levels)			Unit	Description
	Min	Typ	Max	Min	Typ	Max		
PARALLEL/SERIAL/BYTE MODE								
t_{CYCLE}							μs	1/throughput rate 1/пропускная способность
			5			5	μs	Parallel mode, reading during or after conversion; or serial mode: $V_{DRIVE} = 3.3 \text{ V}$ to 5.25 V , reading during a conversion using D_{OUTA} and D_{OUTB} lines Параллельный режим, чтение во время или после преобразования; или последовательный режим: $V_{DRIVE} = 3,3\ldots 5,25 \text{ В}$, чтение во время преобразования с использованием линий D_{OUTA} и D_{OUTB}
						9.4	μs	Serial mode reading after a conversion; $V_{DRIVE} = 2.7 \text{ V}$ Последовательный режим чтения после преобразования; $V_{DRIVE} = 2,7 \text{ В}$
			9.7			10.7	μs	Serial mode reading after a conversion; $V_{DRIVE} = 2.3 \text{ V}$, D_{OUTA} and D_{OUTB} lines Последовательный режим чтения после преобразования; $V_{DRIVE} = 2,3 \text{ В}$, линии D_{OUTA} и D_{OUTB}
t_{CONV2}								Conversion time / Время преобразования
	3.45	4	4.15	3.45	4	4.15	μs	Oversampling off; AD7606 Передискретизация отключена; AD7606
		3			3		μs	Oversampling off; AD7606-6
		2			2		μs	Oversampling off; AD7606-4
	7.87		9.1	7.87		9.1	μs	Oversampling by 2; AD7606 Передискретизация на 2; AD7606
	16.05		18.8	16.05		18.8	μs	Oversampling by 4; AD7606
	33		39	33		39	μs	Oversampling by 8; AD7606
	66		78	66		78	μs	Oversampling by 16; AD7606
	133		158	133		158	μs	Oversampling by 32; AD7606
	257		315	257		315	μs	Oversampling by 64; AD7606
$t_{WAKE-UP STANDBY}$			100			100	μs	STBY rising edge to CONVST x rising edge; power-up time from standby mode Нарастающий фронт STBY до нарастающего фронта CONVST x; время включения питания из режима ожидания
$t_{WAKE-UP SHUTDOWN}$								
Internal Reference Внутренняя ссылка			30			30	ms	STBY rising edge to CONVST x rising edge; power-up time from shutdown mode
External Reference Внешняя ссылка			13			13	ms	Нарастающий фронт STBY до нарастающего фронта CONVST x; время включения питания из режима выключения
t_{RESET}	50			50			ns	RESET high pulse width / Ширина импульса высокого уровня RESET
t_{OS_SETUP}	20			20			ns	BUSY to OS x pin setup time / Время установления BUSY на вывод OS x
t_{OS_HOLD}	20			20			ns	BUSY to OS x pin hold time / Время удержания вывода BUSY на OS x
t_1			40			45	ns	CONVST x high to BUSY high / Высокий уровень CONVST x - высокий уровень BUSY
t_2	25			25			ns	Minimum CONVST x low pulse / Минимальный низкий импульс CONVST x
t_3	25			25			ns	Minimum CONVST x high pulse
t_4	0			0			ns	BUSY falling edge to CS falling edge setup time Время установки падающего фронта BUSY до падающего фронта CS
t_5^3			0.5			0.5	ms	Maximum delay allowed between CONVST A, CONVST B rising edges Максимальная задержка между нарастающими фронтами CONVST A, CONVST B
t_6			25			25	ns	Maximum time between last CS rising edge and BUSY falling edge Максимальное время между последним нарастающим фронтом CS и спадающим фронтом BUSY
t_7	25			25			ns	Minimum delay between RESET low to CONVST x high Минимальная задержка между низким уровнем RESET и высоким уровнем CONVST x
PARALLEL/BYTE READ OPERATION								
t_8	0			0			ns	CS to RD setup time / Время установки CS - RD
t_9	0			0			ns	CS to RD hold time / Время удержания CS - RD
t_{10}								RD low pulse width / Ширина импульса низкого уровня RD
				16			ns	V_{DRIVE} above 4.75 V / V_{DRIVE} выше $4,75 \text{ В}$
				21			ns	V_{DRIVE} above 3.3 V
				25			ns	V_{DRIVE} above 2.7 V
				32			ns	V_{DRIVE} above 2.3 V

Parameter	Limit at T _{MIN} , T _{MAX} (0.1×V _{DRIVE} and 0.9×V _{DRIVE} Logic Input Levels)			Limit at T _{MIN} , T _{MAX} (0.1×V _{DRIVE} and 0.9×V _{DRIVE} Logic Input Levels)			Unit	Description
	Min	Typ	Max	Min	Typ	Max		
t ₁₁	15			15			ns	RD high pulse width / Ширина импульса высокого уровня RD
t ₁₂	22			22			ns	CS high pulse width (see Figure 5); CS and RD linked Ширина импульса высокого уровня CS (см. Рисунок 5); CS и RD связаны между собой
t ₁₃								Delay from CS until DB[15:0] three-state disabled Задержка от CS до отключения DB[15:0] в трех состояниях
		16			19	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		20			24	ns	V _{DRIVE} above 3.3 V	
		25			30	ns	V _{DRIVE} above 2.7 V	
		30			37	ns	V _{DRIVE} above 2.3 V	
t ₁₄ ⁴								Data access time after RD falling edge Время доступа к данным после спада фронта сигнала RD
		16			19	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		21			24	ns	V _{DRIVE} above 3.3 V	
		25			30	ns	V _{DRIVE} above 2.7 V	
		32			37	ns	V _{DRIVE} above 2.3 V	
t ₁₅	6			6			ns	Data hold time after RD falling edge Время удержания данных после фронта спада RD
t ₁₆	6			6			ns	CS to DB[15:0] hold time / Время удержания CS - DB[15:0]
t ₁₇			22			22	ns	Delay from CS rising edge to DB[15:0] three-state enabled Задержка от нарастающего фронта сигнала CS до трехпозиционного разрешения DB[15:0]
SERIAL READ OPERATION								
f _{SCLK}								Frequency of serial read clock Частота последовательного тактового генератора чтения
		23.5			20	MHz	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		17			15	MHz	V _{DRIVE} above 3.3 V	
		14.5			12.5	MHz	V _{DRIVE} above 2.7 V	
		11.5			10	MHz	V _{DRIVE} above 2.3 V	
t ₁₈								Delay from CS until DOUTA/DOUTB three-state disabled/delay from CS until MSB valid Задержка от CS до отключения DOUTA/DOUTB в трех состояниях/задержка от CS до подтверждения MSB
		15			18	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		20			23	ns	V _{DRIVE} above 3.3 V	
		30			32	ns	V _{DRIVE} = 2.3 V to 2.7 V	
								Data access time after SCLK rising edge Время доступа к данным после нарастающего фронта SCLK
t ₁₉ ⁴								V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В
		17			20	ns	V _{DRIVE} above 3.3 V	
		23			26	ns	V _{DRIVE} above 2.7 V	
		27			32	ns	V _{DRIVE} above 2.3 V	
		34			39	ns	V _{DRIVE} above 2.3 V	
t ₂₀	0.4t _{SCLK}			0.4t _{SCLK}			ns	SCLK low pulse width / Ширина импульса низкого уровня SCLK
t ₂₁	0.4t _{SCLK}			0.4t _{SCLK}			ns	SCLK high pulse width / Ширина импульса высокого уровня SCLK
t ₂₂	7			7				SCLK rising edge to D _{OUTA} /D _{OUTB} valid hold time Время удержания нарастающего фронта SCLK до действительного фронта D _{OUTA} /D _{OUTB}
t ₂₃			22			22	ns	CS rising edge to D _{OUTA} /D _{OUTB} three-state enabled Нарастающий фронт CS на трехпозиционное включение D _{OUTA} /D _{OUTB}
FRSTDATA OPERATION								
t ₂₄								Delay from CS falling edge until FRSTDATA three-state disabled Задержка от спадающего фронта CS до отключения трех состояний FRSTDATA
		15			18	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		20			23	ns	V _{DRIVE} above 3.3 V	
		25			30	ns	V _{DRIVE} above 2.7 V	
		30			35	ns	V _{DRIVE} above 2.3 V	
t ₂₅								Delay from CS falling edge until FRSTDATA high, serial mode Задержка от спадающего фронта CS до высокого уровня FRSTDATA, последовательный режим
		15			18	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		20			23	ns	V _{DRIVE} above 3.3 V	
		25			30	ns	V _{DRIVE} above 2.7 V	
		30			35	ns	V _{DRIVE} above 2.3 V	
t ₂₆								Delay from RD falling edge to FRSTDATA high Задержка от спадающего фронта RD до высокого уровня FRSTDATA
		16			19	ns	V _{DRIVE} above 4.75 V / V _{DRIVE} выше 4,75 В	
		20			23	ns	V _{DRIVE} above 3.3 V	

Parameter	Limit at T_{MIN}, T_{MAX} ($0.1 \times V_{DRIVE}$ and $0.9 \times V_{DRIVE}$ Logic Input Levels)			Unit	Description
	Min	Typ	Max		
t_{27}			25		ns V_{DRIVE} above 2.7 V
			30	ns	V_{DRIVE} above 2.3 V
		19		ns	Delay from RD falling edge to FRSTDATA low Задержка от спадающего фронта RD до низкого уровня FRSTDATA
t_{28}			24	ns	$V_{DRIVE} = 3.3 \text{ V to } 5.25 \text{ V}$
		17		ns	Delay from 16 th SCLK falling edge to FRSTDATA low Задержка от 16-го фронта спада SCLK до низкого уровня FRSTDATA
		22		ns	$V_{DRIVE} = 2.3 \text{ V to } 2.7 \text{ V}$
t_{29}		24		ns	Delay from CS rising edge until FRSTDATA three-state enabled Задержка от нарастающего фронта сигнала CS до включения третьего состояния FRSTDATA

¹ Sample tested during initial release to ensure compliance. All input signals are specified with $t_R = t_F = 5 \text{ ns}$ (10% to 90% of V_{DRIVE}) and timed from a voltage level of 1.6 V.

¹ Образец проверяется во время первоначального выпуска для обеспечения соответствия. Все входные сигналы заданы с $t_R = t_F = 5 \text{ нс}$ (от 10 до 90 % от V_{DRIVE}) и таймингом от уровня напряжения 1,6 В.

² In oversampling mode, typical t_{CONV} for the AD7606-6 and AD7606-4 can be calculated using $((N \times t_{CONV}) + ((N - 1) \times 1 \mu\text{s}))$. N is the oversampling ratio. For the AD7606-6, $t_{CONV} = 3 \mu\text{s}$; and for the AD7606-4, $t_{CONV} = 2 \mu\text{s}$.

² В режиме передискретизации типичный t_{CONV} для AD7606-6 и AD7606-4 может быть рассчитан с помощью $((N \times t_{CONV}) + ((N - 1) \times 1 \text{ мкс}))$. N - коэффициент передискретизации. Для AD7606-6 $t_{CONV} = 3 \text{ мкс}$, а для AD7606-4 $t_{CONV} = 2 \text{ мкс}$.

³ The delay between the CONVST x signals was measured as the maximum time allowed while ensuring a <10 LSB performance matching between channel sets.

³ Задержка между сигналами CONVST x измерялась как максимально допустимое время, обеспечивающее согласование характеристик наборов каналов на уровне <10 LSB.

⁴ A buffer is used on the data output pins for these measurements, which is equivalent to a load of 20 pF on the output pins.

⁴ Для этих измерений на выходных выводах данных используется буфер, что эквивалентно нагрузке в 20 пФ на выходных выводах.

Timing Diagrams

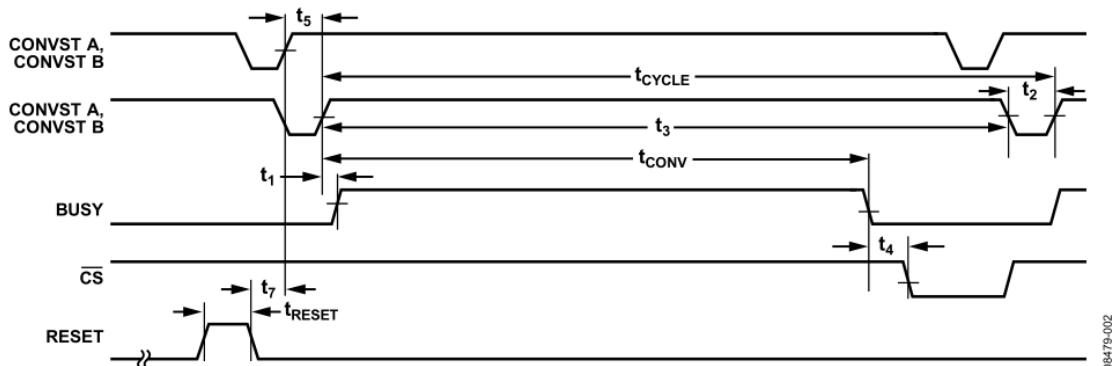


Figure 2. CONVST Timing—Reading After a Conversion / CONVST Timing - чтение после преобразования

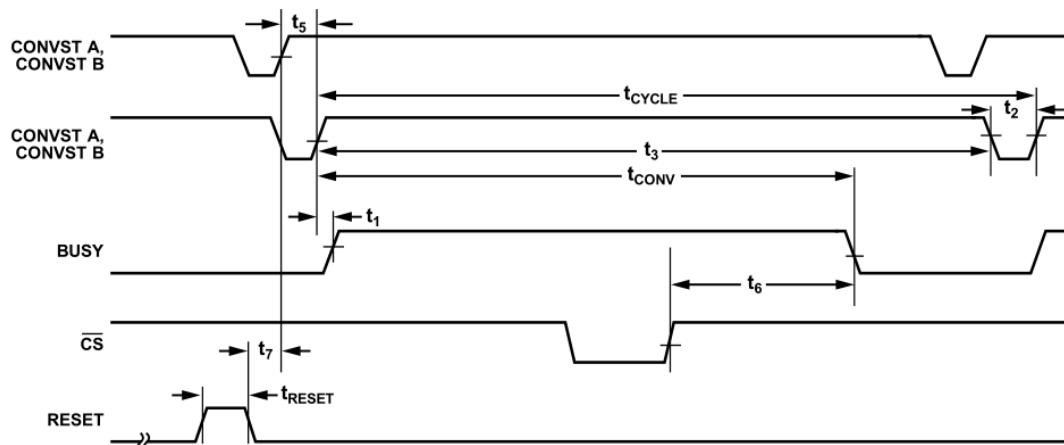


Figure 3. CONVST Timing—Reading During a Conversion / CONVST Timing - чтение во время преобразования

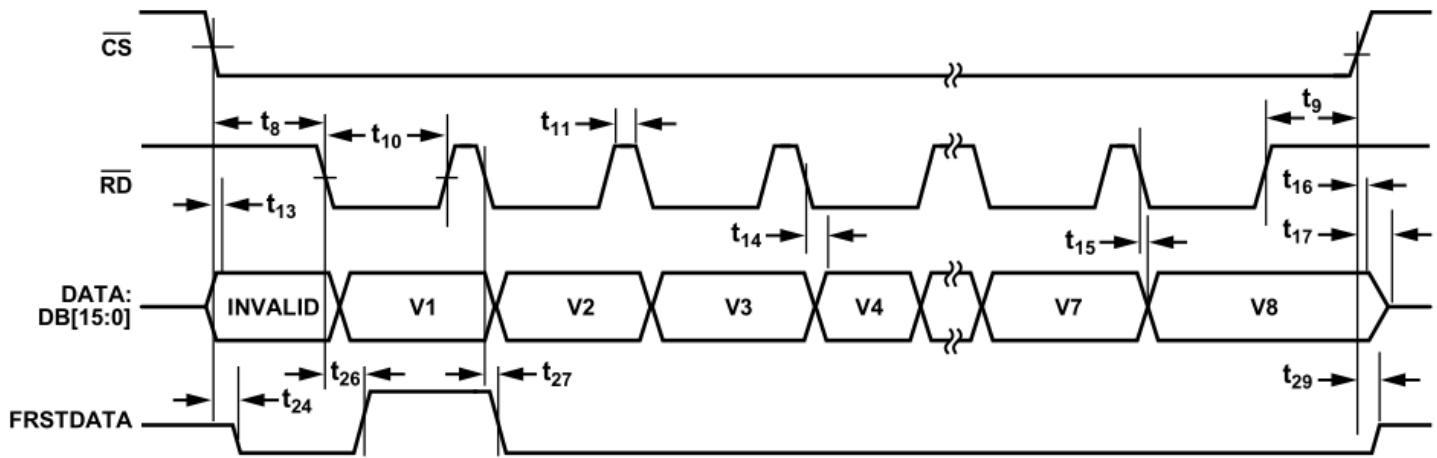


Figure 4. Parallel Mode, Separate CS and RD Pulses / Параллельный режим, раздельные импульсы CS и RD

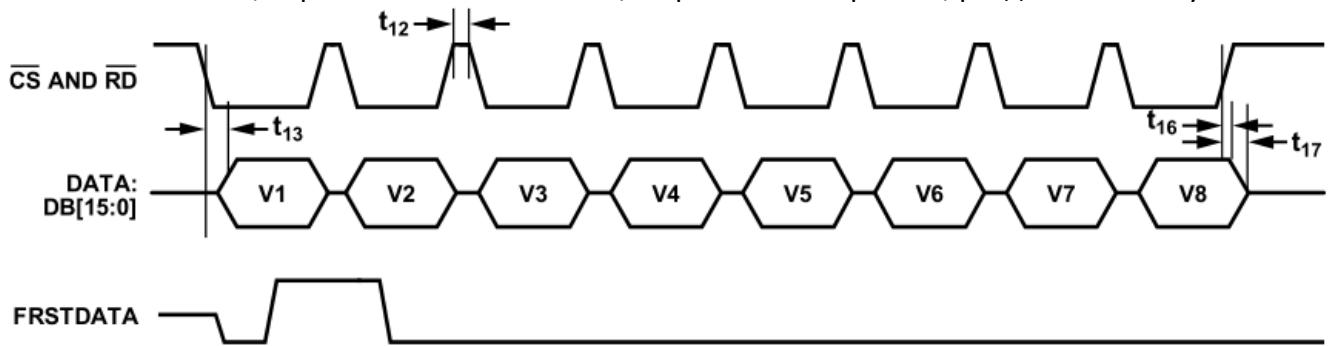


Figure 5. CS and RD, Linked Parallel Mode / CS и RD, параллельный режим со связью

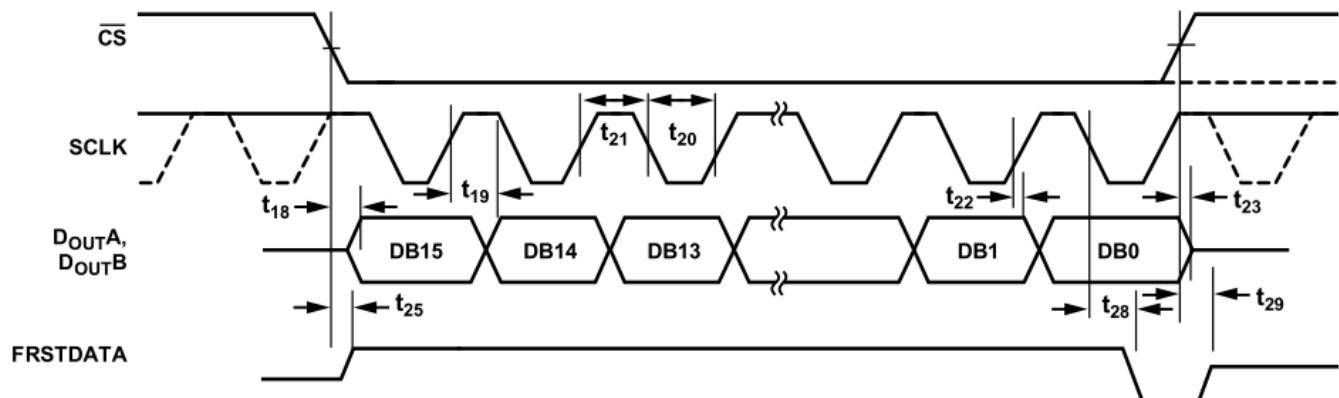


Figure 6. Serial Read Operation (Channel 1) / Операция последовательного чтения (канал 1)

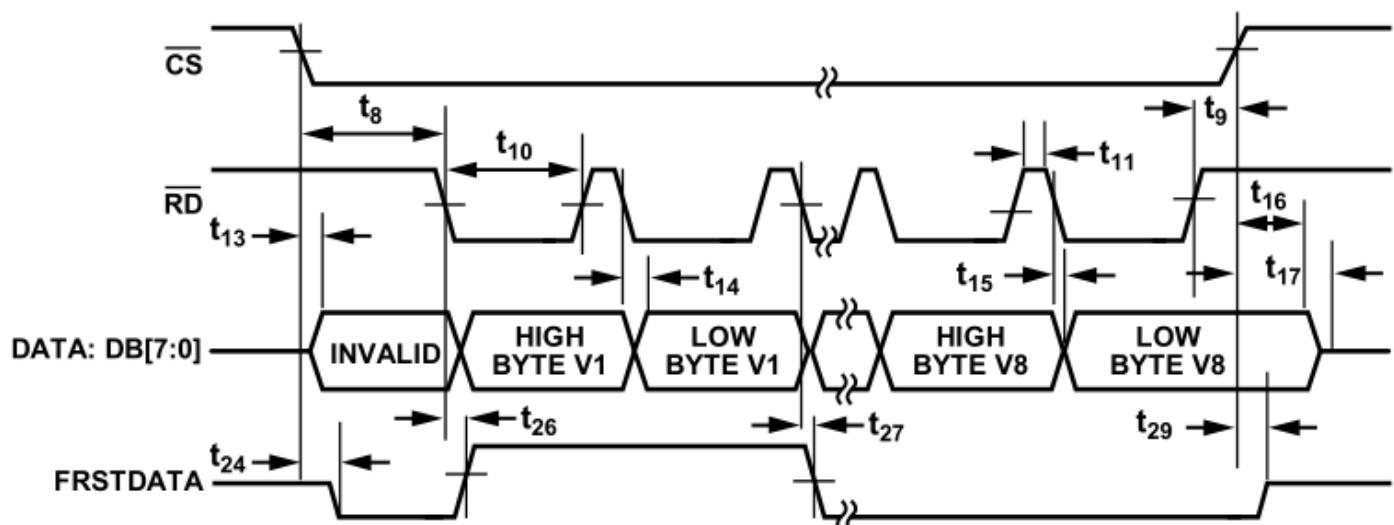


Figure 7. BYTE Mode Read Operation / Операция чтения в режиме BYTE

ABSOLUTE MAXIMUM RATINGS / АБСОЛЮТНЫЕ МАКСИМАЛЬНЫЕ ЗНАЧЕНИЯT_A = 25°C, unless otherwise noted. T_A = 25°C, если не указано иное.

Table 4.

Parameter	Rating
AV _{CC} to AGND	-0.3 V to +7 V
V _{DRIVE} to AGND	-0.3 V to AV _{CC} + 0.3 V
Analog Input Voltage to AGND ¹ Аналоговое входное напряжение на AGND ¹	±16.5 V
Digital Input Voltage to AGND Цифровое входное напряжение на AGND	-0.3 V to V _{DRIVE} + 0.3 V
Digital Output Voltage to AGND Напряжение цифрового выхода на AGND	-0.3 V to V _{DRIVE} + 0.3 V
REFIN to AGND	-0.3 V to AV _{CC} + 0.3 V
Input Current to Any Pin Except Supplies ¹ Входной ток на любом выводе, кроме выводов питания ¹	±10 mA
Operating Temperature Range B Version Диапазон рабочих температур Версия В	-40°C to +85°C
Storage Temperature Range Диапазон температур хранения	-65°C to +150°C
Junction Temperature Температура спая	150°C
Pb/SN Temperature, Soldering Reflow (10 sec to 30 sec) Температура Pb/SN, пайка оплавлением (от 10 до 30 секунд)	240 (+0)°C
Pb-Free Temperature, Soldering Reflow Температура без содержания Pb, пайка оплавлением	260 (+0)°C
ESD (All Pins Except Analog Inputs) ESD (все контакты, кроме аналоговых входов)	2 kV
ESD (Analog Input Pins Only) ESD (только контакты аналогового входа)	7 kV

¹ Transient currents of up to 100 mA do not cause SCR latch-up.¹ Переходные токи до 100 мА не вызывают защелкивания SCR.

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.	Напряжения, превышающие указанные в разделе "Абсолютные максимальные значения", могут привести к необратимому повреждению устройства. Это только номинальные значения напряжений; работоспособность устройства при этих или любых других условиях, превышающих указанные в эксплуатационном разделе данной спецификации, не подразумевается. Длительное пребывание в условиях абсолютного максимума может повлиять на надежность устройства.
--	--

THERMAL RESISTANCE / ТЕРМИЧЕСКОЕ СОПРОТИВЛЕНИЕ

θ _{JA} is specified for the worst-case conditions, that is, a device soldered in a circuit board for surface-mount packages. These specifications apply to a 4-layer board.	θ _{JA} указан для наихудших условий, то есть для устройства, впаянного в печатную плату в корпусах для поверхностного монтажа. Эти характеристики относятся к 4-слойной плате.
--	---

Table 5. Thermal Resistance / Термическое сопротивление

Package Type	θ _{JA}	θ _{Jc}	Unit
64-Lead LQFP	45	11	°C/W

ESD CAUTION / ОСТОРОЖНО, ЭЛЕКТРОСТАТИЧЕСКОЕ РАЗРЯЖЕНИЕ



ESD (electrostatic discharge) sensitive device.

Устройство, чувствительное к электростатическому разряду (ESD).

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

Заряженные устройства и печатные платы могут разрядиться без обнаружения.

Несмотря на то, что в данном изделии используются запатентованные или фирменные схемы защиты, устройства, подвергшиеся воздействию высокой энергии ESD, могут быть повреждены. Поэтому во избежание снижения производительности или потери функциональности следует принять надлежащие меры предосторожности при электростатическом разряде.

PIN CONFIGURATIONS AND FUNCTION DESCRIPTIONS / КОНФИГУРАЦИИ ВЫВОДОВ И ОПИСАНИЕ ФУНКЦИЙ

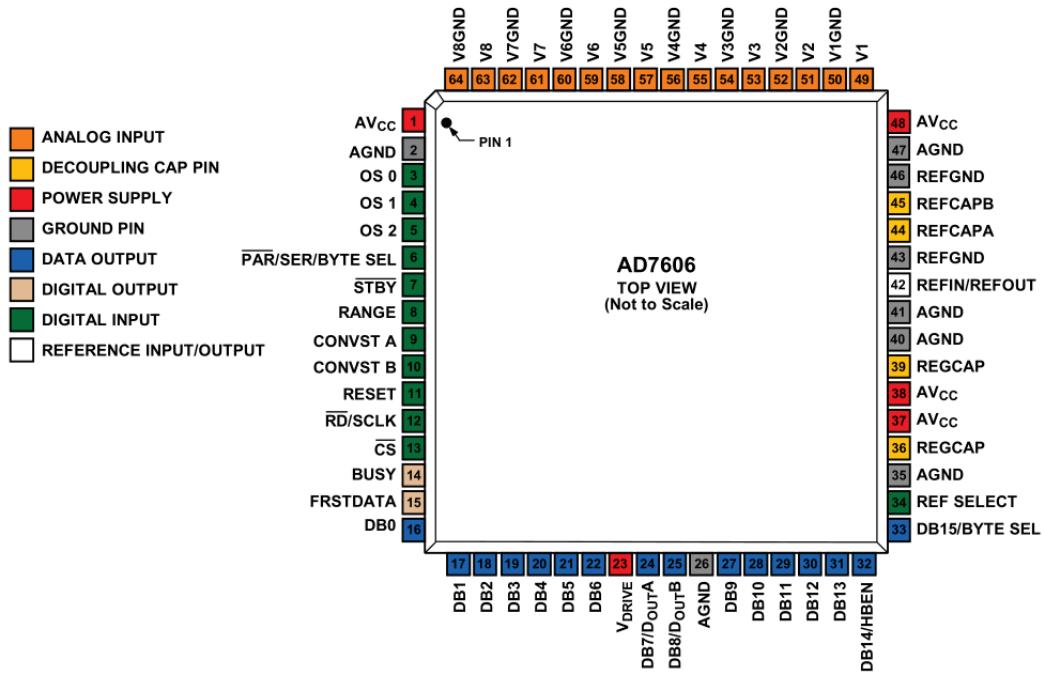


Figure 8. AD7606 Pin Configuration

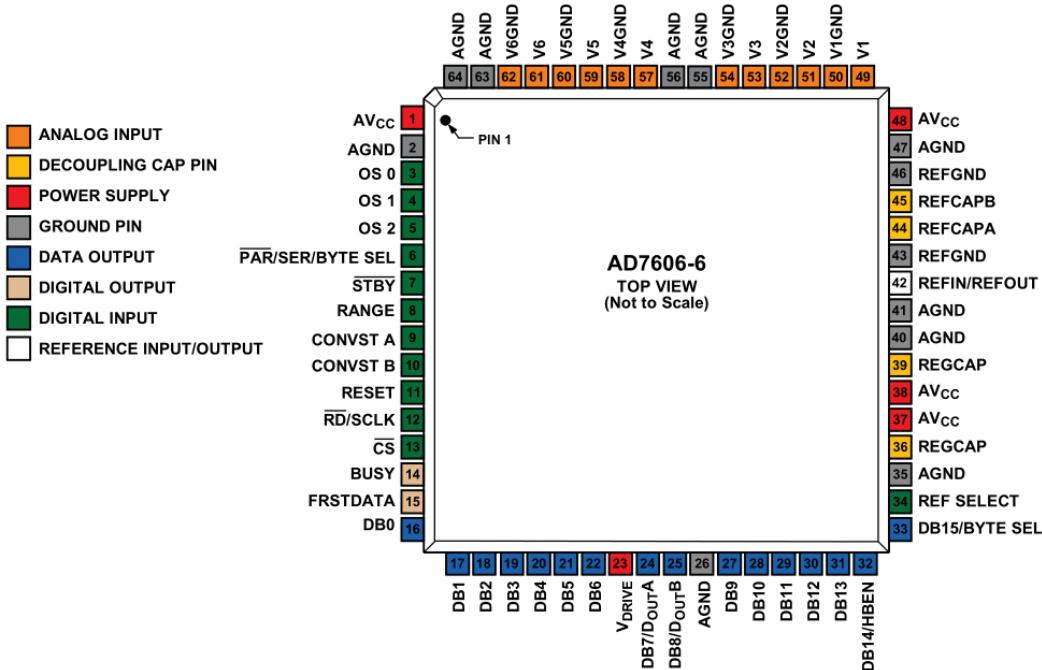


Figure 9. AD7606-6 Pin Configuration

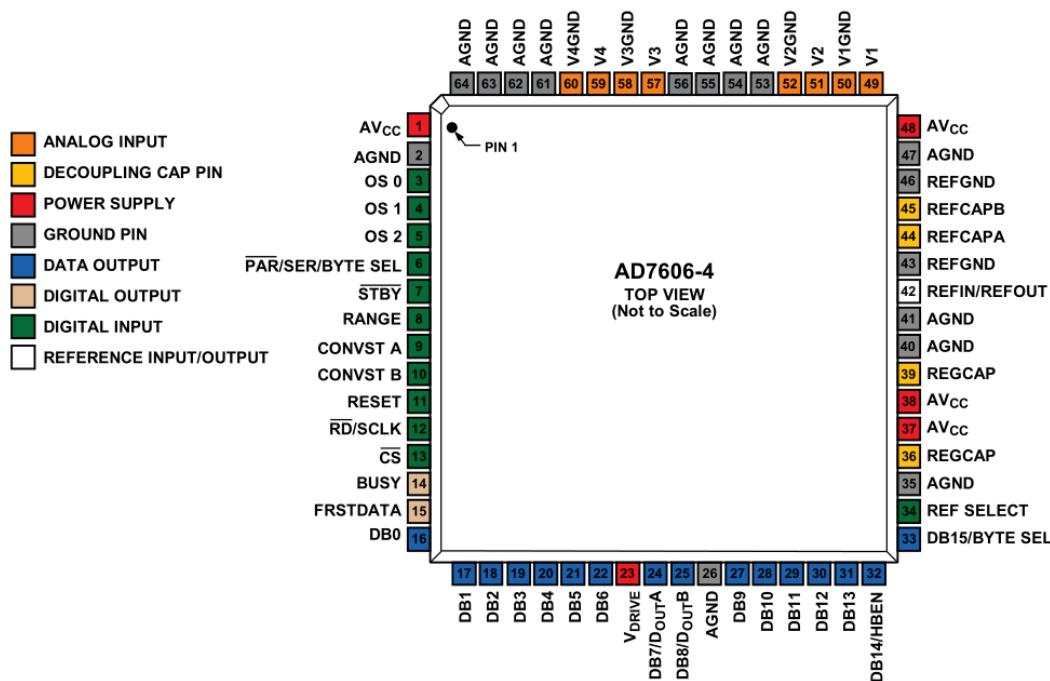


Figure 10. AD7606-4 Pin Configuration

Table 6. Pin Function Descriptions / Описания функций контактов

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
1, 37, 38, 48	P	AV _{CC}	AV _{CC}	AV _{CC}	Analog Supply Voltage, 4.75 V to 5.25 V. This supply voltage is applied to the internal front-end amplifiers and to the ADC core. These supply pins should be decoupled to AGND. Аналоговое напряжение питания, от 4,75 до 5,25 В. Это напряжение питания подается на внутренние усилители переднего фронта и на ядро АЦП. Эти выводы питания должны быть развязаны с AGND.
2, 26, 35, 40, 41, 47	P	AGND	AGND	AGND	Analog Ground. These pins are the ground reference points for all analog circuitry on the AD7606. All analog input signals and external reference signals should be referred to these pins. All six of these AGND pins should connect to the AGND plane of a system. Аналоговая земля. Эти выводы являются опорными точками заземления для всех аналоговых схем AD7606. Все аналоговые входные сигналы и внешние опорные сигналы должны быть направлены на эти выводы. Все шесть выводов AGND должны подключаться к плоскости AGND системы.
5, 4, 3	DI	OS [2:0]	OS [2:0]	OS [2:0]	Oversampling Mode Pins. Logic inputs. These inputs are used to select the oversampling ratio. OS 2 is the MSB control bit, and OS 0 is the LSB control bit. See the Digital Filter section for more details about the oversampling mode of operation and Table 9 for oversampling bit decoding. Выводы режима передискретизации. Логические входы. Эти входы используются для выбора коэффициента передискретизации. OS 2 - управляющий бит MSB, а OS 0 - управляющий бит LSB. Более подробная информация о режиме передискретизации приведена в разделе "Цифровой фильтр", а расшифровка битов передискретизации - в таблице 9.

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
6	DI	PAR/SER/ BYTE SEL	PAR/SER/ BYTE SEL	PAR/SER/ BYTE SEL	<p>Parallel/Serial/Byte Interface Selection Input. Logic input. If this pin is tied to a logic low, the parallel interface is selected. If this pin is tied to a logic high, the serial interface is selected. Parallel byte interface mode is selected when this pin is logic high and DB15/BYTE SEL is logic high (see Table 8).</p> <p>In serial mode, the RD/SCLK pin functions as the serial clock input. The DB7/D_{OUT}A pin and the DB8/D_{OUT}B pin function as serial data outputs. When the serial interface is selected, the DB[15:9] and DB[6:0] pins should be tied to ground.</p> <p>In byte mode, DB15, in conjunction with PAR/SER/BYTE SEL, is used to select the parallel byte mode of operation (see Table 8). DB14 is used as the HBEN pin. DB[7:0] transfer the 16-bit conversion results in two RD operations, with DBO as the LSB of the data transfers.</p> <p>Вход выбора параллельного/последовательного/байтового интерфейса. Логический вход. Если на этот вывод подан логический минимум, выбран параллельный интерфейс. Если на этом выводе установлен логический высокий уровень, выбран последовательный интерфейс. Режим параллельного байтового интерфейса выбирается, если на этом выводе логический высокий уровень, а на DB15/BYTE SEL логический высокий уровень (см. таблицу 8).</p> <p>В последовательном режиме вывод RD/SCLK работает как вход последовательного тактового генератора. Выводы DB7/D_{OUT}A и DB8/D_{OUT}B служат выходами последовательных данных. Если выбран последовательный интерфейс, выводы DB[15:9] и DB[6:0] должны быть привязаны к земле.</p> <p>В байтовом режиме DB15 в сочетании с PAR/SER/BYTE SEL используется для выбора параллельного байтового режима работы (см. таблицу 8). DB14 используется в качестве вывода HBEN. DB[7:0] передают 16-битные результаты преобразования в две операции RD, при этом DBO является LSB передаваемых данных.</p>
7	DI	STBY	STBY	STBY	<p>Standby Mode Input. This pin is used to place the AD7606/AD7606-6/AD7606-4 into one of two power-down modes: standby mode or shutdown mode. The power-down mode entered depends on the state of the RANGE pin, as shown in Table 7. When in standby mode, all circuitry, except the on-chip reference, regulators, and regulator buffers, is powered down. When in shutdown mode, all circuitry is powered down.</p> <p>Вход дежурного режима. Этот вывод используется для перевода AD7606/AD7606-6/ AD7606-4 в один из двух режимов отключения питания: режим ожидания или режим выключения. Режим отключения питания зависит от состояния вывода RANGE, как показано в таблице 7. В дежурном режиме все схемы, за исключением эталонных, регуляторов и буферов регуляторов, выключены. В режиме выключения питание отключается на всех схемах.</p>

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
8	DI	RANGE	RANGE	RANGE	<p>Analog Input Range Selection. Logic input. The polarity on this pin determines the input range of the analog input channels. If this pin is tied to a logic high, the analog input range is ± 10 V for all channels. If this pin is tied to a logic low, the analog input range is ± 5 V for all channels. A logic change on this pin has an immediate effect on the analog input range. Changing this pin during a conversion is not recommended for fast throughput rate applications. See the Analog Input section for more information.</p> <p>Выбор диапазона аналогового входа. Логический вход. Полярность этого вывода определяет входной диапазон каналов аналогового ввода. Если на этот вывод подан логический высокий уровень, диапазон аналогового ввода составляет ± 10 В для всех каналов. Если на этом выводе установлен логический минимум, диапазон аналоговых входов составляет ± 5 В для всех каналов. Изменение логического значения на этом выводе немедленно влияет на диапазон аналогового ввода. Переключение этого вывода во время преобразования не рекомендуется для приложений с высокой пропускной способностью. Дополнительную информацию см. в разделе "Аналоговый вход".</p>
9, 10	DI	CONVST A, CONVST B	CONVST A, CONVST B	CONVST A, CONVST B	<p>Conversion Start Input A, Conversion Start Input B. Logic inputs. These logic inputs are used to initiate conversions on the analog input channels. For simultaneous sampling of all input channels, CONVST A and CONVST B can be shorted together, and a single convert start signal can be applied. Alternatively, CONVST A can be used to initiate simultaneous sampling: V1, V2, V3, and V4 for the AD7606; V1, V2, and V3 for the AD7606-6; and V1 and V2 for the AD7606-4. CONVST B can be used to initiate simultaneous sampling on the other analog inputs: V5, V6, V7, and V8 for the AD7606; V4, V5, and V6 for the AD7606-6; and V3 and V4 for the AD7606-4. This is possible only when oversampling is not switched on. When the CONVST A or CONVST B pin transitions from low to high, the front-end track-and-hold circuitry for the respective analog inputs is set to hold.</p> <p>Вход запуска преобразования А, Вход запуска преобразования В. Логические входы. Эти логические входы используются для запуска преобразований на аналоговых входных каналах. Для одновременной выборки всех входных каналов можно замкнуть CONVST A и CONVST B вместе и подать один сигнал запуска преобразования. В качестве альтернативы можно использовать CONVST A для инициирования одновременной выборки: V1, V2, V3 и V4 для AD7606; V1, V2 и V3 для AD7606-6; и V1 и V2 для AD7606-4. CONVST B можно использовать для инициирования одновременной выборки на других аналоговых входах: V5, V6, V7 и V8 для AD7606; V4, V5 и V6 для AD7606-6; и V3 и V4 для AD7606-4. Это возможно только в том случае, если передискретизация не включена. Когда вывод CONVST A или CONVST B переходит из низкого уровня в высокий, передняя схема отслеживания и удержания для соответствующих аналоговых входов переходит в режим удержания.</p>

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
11	DI	RESET	RESET	RESET	Reset Input. When set to logic high, the rising edge of RESET resets the AD7606/AD7606-6/AD7606-4. The part should receive a RESET pulse after power-up. The RESET high pulse should typically be 50 ns wide. If a RESET pulse is applied during a conversion, the conversion is aborted. If a RESET pulse is applied during a read, the contents of the output registers reset to all zeros. Вход сброса. При установке логического высокого уровня по нарастающему фронту RESET происходит сброс AD7606/AD7606-6/AD7606-4. Устройство должно получить импульс RESET после включения питания. Высокий импульс RESET обычно имеет длительность 50 нс. Если импульс RESET подается во время преобразования, преобразование прерывается. Если импульс RESET подается во время чтения, содержимое выходных регистров сбрасывается в нули.
12	DI	RD/SCLK	RD/SCLK	RD/SCLK	Parallel Data Read Control Input When the Parallel Interface Is Selected (RD)/Serial Clock Input When the Serial Interface Is Selected (SCLK). When both CS and RD are logic low in parallel mode, the output bus is enabled. In serial mode, this pin acts as the serial clock input for data transfers. The CS falling edge takes the D _{OUTA} and D _{OUTB} data output lines out of three-state and clocks out the MSB of the conversion result. The rising edge of SCLK clocks all subsequent data bits onto the D _{OUTA} and D _{OUTB} serial data outputs. For more information, see the Conversion Control section. Вход управления чтением параллельных данных при выбранном параллельном интерфейсе (RD)/ Вход последовательного тактового генератора при выбранном последовательном интерфейсе (SCLK). Когда оба контакта CS и RD имеют логический низкий уровень в параллельном режиме, выходная шина включена. В последовательном режиме этот вывод служит входом последовательного тактового генератора для передачи данных. Падающий фронт сигнала CS выводит выходные линии данных D _{OUTA} и D _{OUTB} из трехсостояния и задействует MSB результата преобразования. По нарастающему фронту SCLK все последующие биты данных поступают на выходы последовательных данных D _{OUTA} и D _{OUTB} . Дополнительную информацию см. в разделе "Управление преобразованием".
13	DI	CS	CS	CS	Chip Select. This active low logic input frames the data transfer. When both CS and RD are logic low in parallel mode, the DB[15:0] output bus is enabled and the conversion result is output on the parallel data bus lines. In serial mode, CS is used to frame the serial read transfer and clock out the MSB of the serial output data. Выбор микросхемы. Этот активный логический вход с низким уровнем логического уровня инициирует передачу данных. Если в параллельном режиме оба входа CS и RD имеют логический низкий уровень, выходная шина DB[15:0] разблокирована, и результат преобразования выводится на параллельные линии шины данных. В последовательном режиме CS используется для формирования последовательной передачи чтения и тактирования MSB последовательных выходных данных.

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
14	DO	BUSY	BUSY	BUSY	<p>Busy Output. This pin transitions to a logic high after both CONVST A and CONVST B rising edges and indicates that the conversion process has started. The BUSY output remains high until the conversion process for all channels is complete. The falling edge of BUSY signals that the conversion data is being latched into the output data registers and is available to read after a Time t_4. Any data read while BUSY is high must be completed before the falling edge of BUSY occurs. Rising edges on CONVST A or CONVST B have no effect while the BUSY signal is high.</p> <p>Выход "Занято". Этот вывод переходит в состояние логического высокого уровня после нарастания фронтов импульсов CONVST А и CONVST В и указывает на начало процесса преобразования. Выход BUSY остается высоким до тех пор, пока процесс преобразования для всех каналов не будет завершен. Падающий фронт BUSY сигнализирует о том, что данные преобразования защелкиваются в выходных регистрах данных и доступны для чтения через время t_4. Считывание любых данных, пока BUSY находится на высоком уровне, должно быть завершено до того, как наступит спадающий фронт BUSY. Повышающие фронты сигналов CONVST А или CONVST В не оказывают никакого влияния, пока сигнал BUSY находится на высоком уровне.</p>
15	DO	FRSTDATA	FRSTDATA	FRSTDATA	<p>Digital Output. The FRSTDATA output signal indicates when the first channel, V1, is being read back on the parallel, byte, or serial interface. When the CS input is high, the FRSTDATA output pin is in three-state. The falling edge of CS takes FRSTDATA out of three-state. In parallel mode, the falling edge of RD corresponding to the result of V1 then sets the FRSTDATA pin high, indicating that the result from V1 is available on the output data bus. The FRSTDATA output returns to a logic low following the next falling edge of RD. In serial mode, FRSTDATA goes high on the falling edge of CS because this clocks out the MSB of V1 on D_{OUTA}. It returns low on the 16th SCLK falling edge after the CS falling edge. See the Conversion Control section for more details.</p> <p>Цифровой выход. Выходной сигнал FRSTDATA указывает, когда первый канал, V1, считывается по параллельному, байтовому или последовательному интерфейсу. Когда на входе CS высокий уровень, выходной вывод FRSTDATA находится в трехсостоянии. Падающий фронт CS выводит FRSTDATA из трехсостояния. В параллельном режиме падающий фронт RD, соответствующий результату V1, переводит вывод FRSTDATA в высокий уровень, указывая, что результат V1 доступен на выходнойшине данных. После следующего спада RD вывод FRSTDATA возвращается в состояние логического минимума. В последовательном режиме вывод FRSTDATA становится высоким по падающему фронту CS, так как при этом на D_{OUTA} передается MSB из V1. Он возвращается к низкому уровню на 16-м фронте SCLK после фронта CS. Более подробную информацию см. в разделе "Управление преобразованием".</p>

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
22 to 16	DO	DB[6:0]	DB[6:0]	DB[6:0]	Parallel Output Data Bits, DB6 to DB0. When PAR/SER/BYTE SEL = 0, these pins act as three-state parallel digital input/output pins. When CS and RD are low, these pins are used to output DB6 to DB0 of the conversion result. When PAR/SER/BYTE SEL = 1, these pins should be tied to AGND. When operating in parallel byte interface mode, DB[7:0] outputs the 16-bit con-version result in two RD operations. DB7 (Pin 24) is the MSB; DB0 is the LSB. Биты данных параллельного вывода, DB6 - DB0. Когда PAR/SER/BYTE SEL = 0, эти выводы работают как трехпозиционные параллельные цифровые входы/выходы. Когда CS и RD находятся в низком состоянии, эти выводы используются для вывода DB6 - DB0 результата преобразования. Когда PAR/SER/BYTE SEL = 1, эти выводы должны быть привязаны к AGND. При работе в режиме параллельного байтового интерфейса DB[7:0] выводит 16-битный результат преобразования за две операции RD. DB7 (вывод 24) - младший младший разряд; DB0 - младший младший разряд.
23	P	V _{DRIVE}	V _{DRIVE}	V _{DRIVE}	Logic Power Supply Input. The voltage (2.3 V to 5.25 V) supplied at this pin determines the operating voltage of the interface. This pin is nominally at the same supply as the supply of the host interface (that is, DSP and FPGA). Вход питания логики. Напряжение (от 2,3 В до 5,25 В), подаваемое на этот вывод, определяет рабочее напряжение интерфейса. Номинально этот вывод находится под тем же напряжением, что и питание интерфейса хоста (то есть DSP и FPGA).
24	DO	DB7/ D _{OUTA}	DB7/ D _{OUTA}	DB7/ D _{OUTA}	Parallel Output Data Bit 7 (DB7)/Serial Interface Data Output Pin (D _{OUTA}). When PAR/SER/BYTE SEL = 0, this pin acts as a three-state parallel digital input/output pin. When CS and RD are low, this pin is used to output DB7 of the conversion result. When PAR/SER/BYTE SEL = 1, this pin functions as D _{OUTA} and outputs serial conversion data (see the Conversion Control section for more details). When operating in parallel byte mode, DB7 is the MSB of the byte. Параллельный выходной бит данных 7 (DB7)/вывод данных последовательного интерфейса (D _{OUTA}). Когда PAR/SER/BYTE SEL = 0, этот вывод работает как трехпозиционный параллельный цифровой вход/выход. Когда CS и RD находятся в низком состоянии, этот вывод используется для вывода DB7 результата преобразования. Когда PAR/SER/BYTE SEL = 1, этот вывод работает как D _{OUTA} и выводит данные последовательного преобразования (подробнее см. раздел "Управление преобразованием"). При работе в параллельном байтовом режиме DB7 является MSB байта.
25	DO	DB8/ D _{OUTB}	DB8/ D _{OUTB}	DB8/ D _{OUTB}	Parallel Output Data Bit 8 (DB8)/Serial Interface Data Output Pin (D _{OUTB}). When PAR/SER/BYTE SEL = 0, this pin acts as a three-state parallel digital input/output pin. When CS and RD are low, this pin is used to output DB8 of the conversion result. When PAR/SER/BYTE SEL = 1, this pin functions as D _{OUTB} and outputs serial conversion data (see the Conversion Control section for more details). Параллельный выходной бит данных 8 (DB8)/вывод данных последовательного интерфейса (D _{OUTB}). Когда PAR/SER/BYTE SEL = 0, этот вывод работает как трехпозиционный параллельный цифровой вход/выход. Когда CS и RD находятся в низком состоянии, этот вывод используется для вывода DB8 результата преобразования. Когда PAR/SER/BYTE SEL = 1, этот вывод работает как D _{OUTB} и выводит данные последовательного преобразования (подробнее см. раздел "Управление преобразованием").

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
31 to 27	DO	DB[13:9]	DB[13:9]	DB[13:9]	Parallel Output Data Bits, DB13 to DB9. When PAR/SER/BYTE SEL = 0, these pins act as three-state parallel digital input/output pins. When CS and RD are low, these pins are used to output DB13 to DB9 of the conversion result. When PAR/SER/BYTE SEL = 1, these pins should be tied to AGND. Биты данных параллельного вывода, DB13 - DB9. Когда PAR/SER/BYTE SEL = 0, эти выводы работают как трехпозиционные параллельные цифровые входы/выходы. Когда CS и RD находятся в низком состоянии, эти выводы используются для вывода DB13 - DB9 результатов преобразования. Когда PAR/SER/BYTE SEL = 1, эти выводы должны быть привязаны к AGND.
32	DO/DI	DB14/HBEN	DB14/HBEN	DB14/HBEN	Parallel Output Data Bit 14 (DB14)/High Byte Enable (HBEN). When PAR/SER/BYTE SEL = 0, this pin acts as a three-state parallel digital output pin. When CS and RD are low, this pin is used to output DB14 of the conversion result. When PAR/SER/BYTE SEL = 1 and DB15/BYTE SEL = 1, the AD7606/AD7606-6/AD7606-4 operate in parallel byte interface mode. In parallel byte mode, the HBEN pin is used to select whether the most significant byte (MSB) or the least significant byte (LSB) of the conversion result is output first. When HBEN = 1, the MSB is output first, followed by the LSB. When HBEN = 0, the LSB is output first, followed by the MSB. In serial mode, this pin should be tied to GND. Бит 14 данных параллельного вывода (DB14)/Высокое разрешение байта (HBEN). Когда PAR/SER/BYTE SEL = 0, этот вывод работает как трехпозиционный параллельный цифровой выходной вывод. Когда CS и RD находятся в низком состоянии, этот вывод используется для вывода DB14 результата преобразования. Когда PAR/SER/BYTE SEL = 1 и DB15/BYTE SEL = 1, AD7606/AD7606-6/AD7606-4 работают в режиме параллельного байтового интерфейса. В режиме параллельных байтов вывод HBEN используется для выбора того, какой байт результата преобразования выводится первым - старший (MSB) или младший (LSB). Если HBEN = 1, сначала выводится MSB, а затем LSB. Если HBEN = 0, сначала выводится LSB, а затем MSB. В последовательном режиме этот вывод должен быть привязан к GND.
33	DO/DI	DB15/BYTE SEL	DB15/BYTE SEL	DB15/BYTE SEL	Parallel Output Data Bit 15 (DB15)/Parallel Byte Mode Select (BYTE SEL). When PAR/SER/BYTE SEL = 0, this pin acts as a three-state parallel digital output pin. When CS and RD are low, this pin is used to output DB15 of the conversion result. When PAR/SER/BYTE SEL = 1, the BYTE SEL pin is used to select between serial interface mode and parallel byte interface mode (see Table 8). When PAR/SER/BYTE SEL = 1 and DB15/BYTE SEL = 0, the AD7606 operates in serial interface mode. When PAR/SER/BYTE SEL = 1 and DB15/BYTE SEL = 1, the AD7606 operates in parallel byte interface mode. Бит 15 данных параллельного вывода (DB15)/Выбор режима параллельного байта (BYTE SEL). Когда PAR/SER/BYTE SEL = 0, этот вывод работает как трехпозиционный параллельный цифровой выход. Когда CS и RD находятся в низком состоянии, этот вывод используется для вывода DB15 результата преобразования. Когда PAR/SER/BYTE SEL = 1, вывод BYTE SEL используется для выбора между режимом последовательного интерфейса и режимом параллельного байтового интерфейса (см. таблицу 8). Когда PAR/SER/BYTE SEL = 1 и DB15/BYTE SEL = 0, AD7606 работает в режиме последовательного интерфейса. Если PAR/SER/BYTE SEL = 1 и DB15/BYTE SEL = 1, AD7606 работает в режиме параллельного байтового интерфейса.

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
34	DI	REF SELECT	REF SELECT	REF SELECT	Internal/External Reference Selection Input. Logic input. If this pin is set to logic high, the internal reference is selected and enabled. If this pin is set to logic low, the internal reference is disabled and an external reference voltage must be applied to the REFIN/REFOUT pin. Вход выбора внутреннего/внешнего эталона. Логический вход. Если на этом выводе установлен логический высокий уровень, то выбран и включен внутренний эталон. Если этот вывод установлен на логический минимум, внутреннее опорное напряжение отключено и на вывод REFIN/REFOUT должно быть подано внешнее опорное напряжение.
36, 39	P	REGCAP	REGCAP	REGCAP	Decoupling Capacitor Pin for Voltage Output from Internal Regulator. These output pins should be decoupled separately to AGND using a 1 μ F capacitor. The voltage on these pins is in the range of 2.5 V to 2.7 V. Контакт развязывающего конденсатора для напряжения на выходе внутреннего регулятора. Эти выходные выводы должны быть развязаны отдельно от AGND с помощью конденсатора емкостью 1 мкФ. Напряжение на этих выводах находится в диапазоне от 2,5 В до 2,7 В.
42	REF	REFIN/ REFOUT	REFIN/ REFOUT	REFIN/ REFOUT	Reference Input (REFIN)/Reference Output (REFOUT). The on-chip reference of 2.5 V is available on this pin for external use if the REF SELECT pin is set to logic high. Alternatively, the internal reference can be disabled by setting the REF SELECT pin to logic low, and an external reference of 2.5 V can be applied to this input (see the Internal/External Reference section). Decoupling is required on this pin for both the internal and external reference options. A 10 μ F capacitor should be applied from this pin to ground close to the REFGND pins. Вход опорного сигнала (REFIN)/выход опорного сигнала (REFOUT). На этот вывод можно подавать внешнее опорное напряжение 2,5 В, если установить логический высокий уровень на выводе REF SELECT. Кроме того, внутреннее эталонное напряжение можно отключить, установив логический минимум на выводе REF SELECT, и подать на этот вход внешнее эталонное напряжение 2,5 В (см. раздел "Внутреннее/внешнее эталонное напряжение"). Развязка на этом выводе требуется как для внутреннего, так и для внешнего эталона. Конденсатор емкостью 10 мкФ должен быть установлен на этом выводе на землю рядом с выводом REFGND.
43, 46	REF	REFGND	REFGND	REFGND	Reference Ground Pins. These pins should be connected to AGND. Опорные контакты заземления. Эти контакты должны быть подключены к AGND.
44, 45	REF	REFCAPA, REFCAPB	REFCAPA, REFCAPB	REFCAPA, REFCAPB	Reference Buffer Output Force/Sense Pins. These pins must be connected together and decoupled to AGND using a low ESR, 10 μ F ceramic capacitor. The voltage on these pins is typically 4.5 V. Выходные контакты опорного буфера Force/Sense. Эти выводы должны быть соединены вместе и развязаны с AGND с помощью керамического конденсатора с низким ESR, 10 мкФ. Напряжение на этих выводах обычно составляет 4,5 В.
49	AI	V1	V1	V1	Analog Input. This pin is a single-ended analog input. The analog input range of this channel is determined by the RANGE pin. Аналоговый вход. Этот вывод представляет собой однополярный аналоговый вход. Диапазон аналогового входа этого канала определяется выводом RANGE.

Pin No.	Type ¹	Mnemonic			Description
		AD7606	AD7606-6	AD7606-4	
50, 52	AI GND	V1GND, V2GND	V1GND, V2GND	V1GND, V2GND	Analog Input Ground Pins. These pins correspond to Analog Input Pin V1 and Analog Input Pin V2. All analog input AGND pins should connect to the AGND plane of a system Контакты заземления аналогового входа. Эти контакты соответствуют выводам аналогового входа V1 и V2. Все контакты AGND аналоговых входов должны подключаться к плоскости AGND системы
51	AI	V2	V2	V2	Analog Input. This pin is a single-ended analog input. The analog input range of this channel is determined by the RANGE pin.
53	AI/ GND	V3	V3	AGND	Analog Input 3. For the AD7606-4, this is an AGND pin.
54	AI GND/ GND	V3GND	V3GND	AGND	Analog Input Ground Pin. For the AD7606-4, this is an AGND pin.
55	AI/ GND	V4	AGND	AGND	Analog Input 4. For the AD7606-6 and the AD7606-4, this is an AGND pin.
56	AI GND/ GND	V4GND	AGND	AGND	Analog Input Ground Pin. For the AD7606-6 and AD7606-4, this is an AGND pin.
57	AI	V5	V4	V3	Analog Inputs. These pins are single-ended analog inputs. The analog input range of these channels is determined by the RANGE pin.
58	AI GND	V5GND	V4GND	V3GND	Analog Input Ground Pins. All analog input AGND pins should connect to the AGND plane of a system.
59	AI	V6	V5	V4	Analog Inputs. These pins are single-ended analog inputs.
60	AI GND	V6GND	V5GND	V4GND	Analog Input Ground Pins. All analog input AGND pins should connect to the AGND plane of a system.
61	AI/ GND	V7	V6	AGND	Analog Input Pins. For the AD7606-4, this is an AGND pin.
62	AI GND/ GND	V7GND	V6	AGND	Analog Input Ground Pins. For the AD7606-4, this is an AGND pin
63	AI/ GND	V8	AGND	AGND	Analog Input Pin. For the AD7606-4 and AD7606-6, this is an AGND pin.
64	AI GND/ GND	V8GND	AGND	AGND	Analog Input Ground Pin. For the AD7606-4 and AD7606-6, this is an AGND pin.

¹ P is power supply, DI is digital input, DO is digital output, REF is reference input/output, AI is analog input, GND is ground.

¹ P - источник питания, DI - цифровой вход, DO - цифровой выход, REF - опорный вход/выход, AI - аналоговый вход, GND - земля.

TYPICAL PERFORMANCE CHARACTERISTICS - ТИПИЧНЫЕ РАБОЧИЕ ХАРАКТЕРИСТИКИ

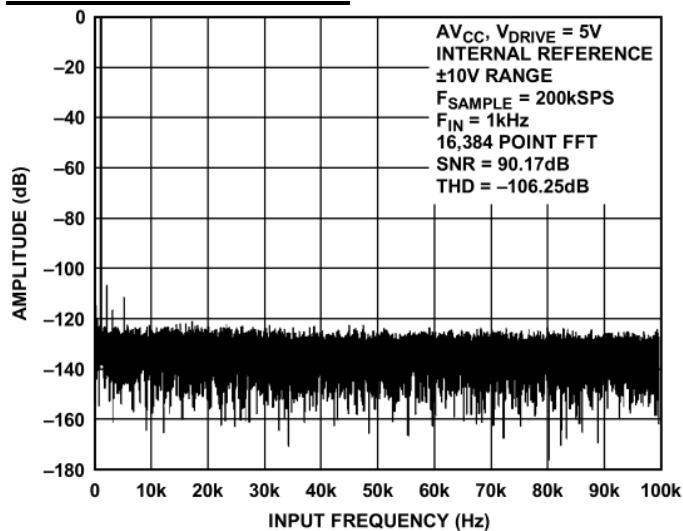


Figure 11. AD7606 FFT, ±10 V Range / AD7606 БПФ, диапазон ±10 В

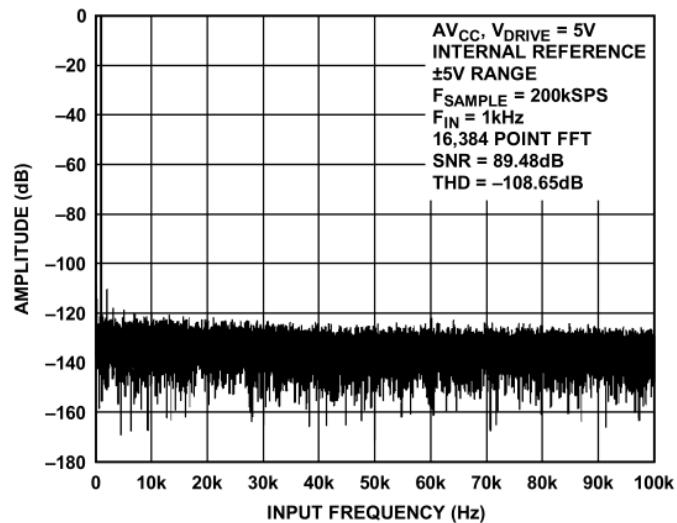


Figure 12. AD7606 FFT Plot, ±5 V Range / График БПФ AD7606, диапазон ±5 В

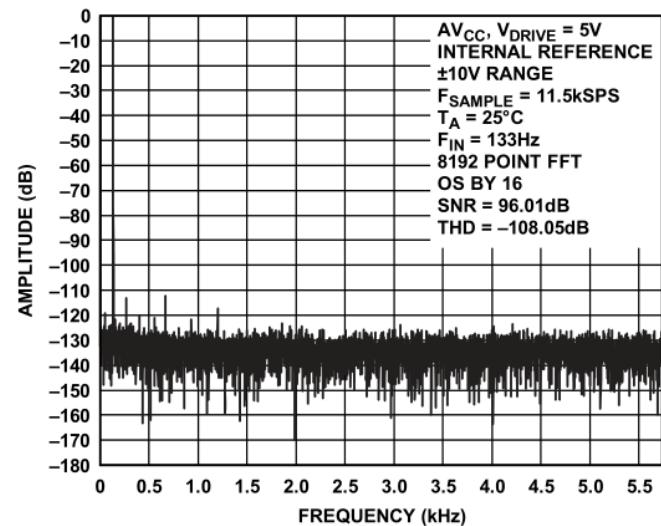


Figure 13. FFT Plot Oversampling By 16, ±10 V Range / Передискретизация графика БПФ на 16, диапазон ±10 В

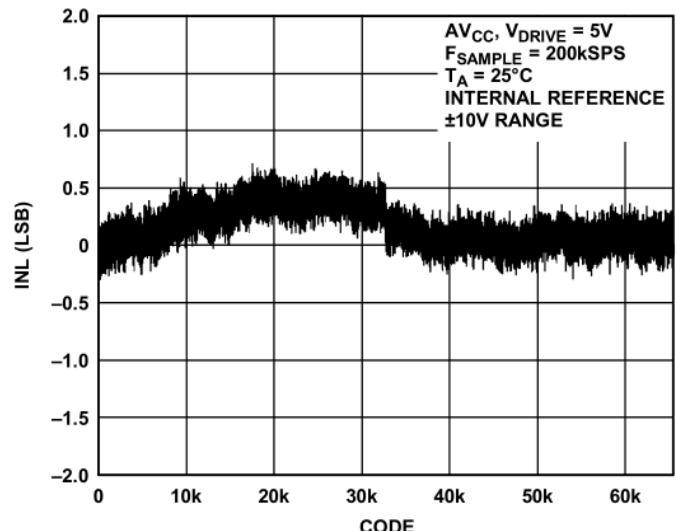


Figure 14. AD7606 Typical INL, ±10 V Range / AD7606 Типичный INL, диапазон ±10 В

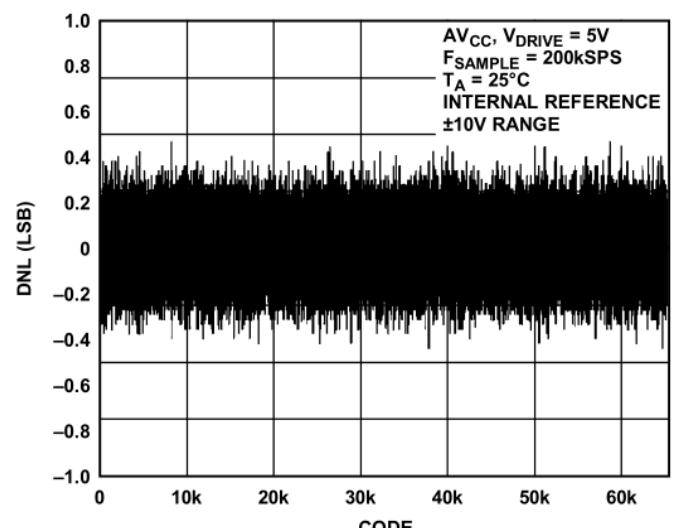


Figure 15. AD7606 Typical DNL, ±10 V Range / AD7606 Типичный DNL, диапазон ±10 В

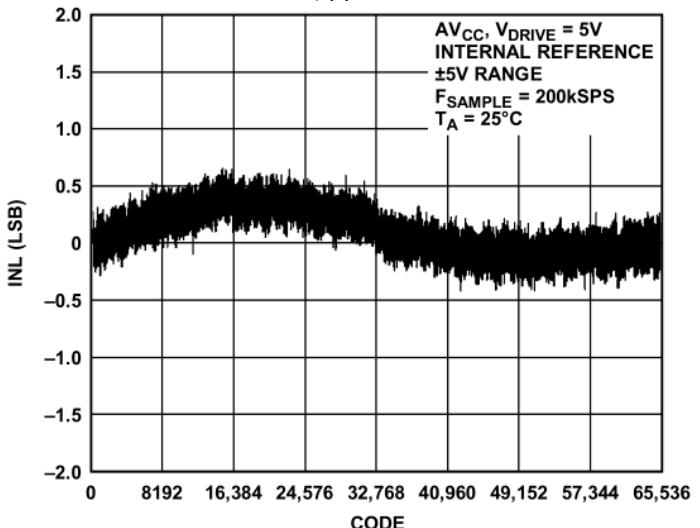


Figure 16. AD7606 Typical INL, ±5 V Range / AD7606 Типичный INL, диапазон ±5 В

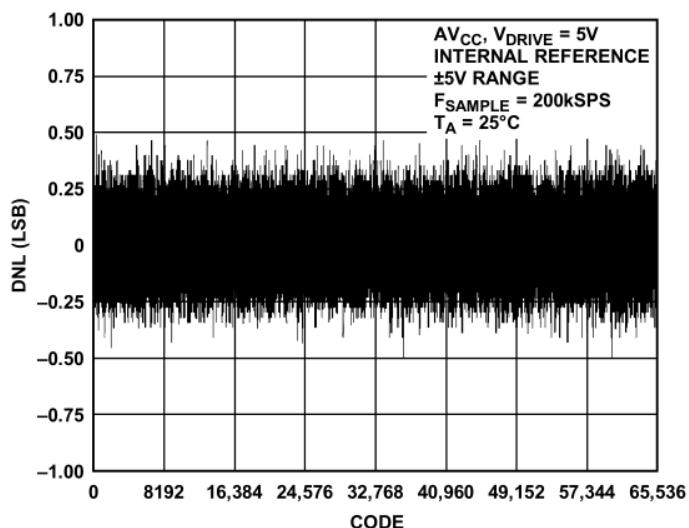


Figure 17. AD7606 Typical DNL, ± 5 V Range / AD7606 Типичный DNL, диапазон ± 5 В

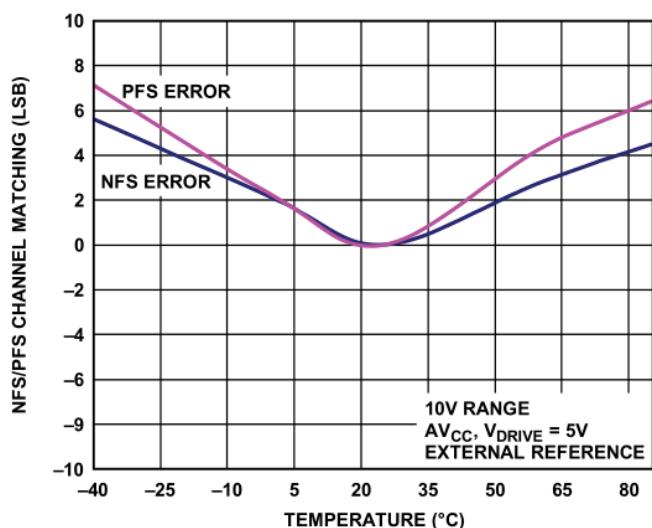


Figure 20. NFS and PFS Error Matching / Сопоставление ошибок NFS и PFS

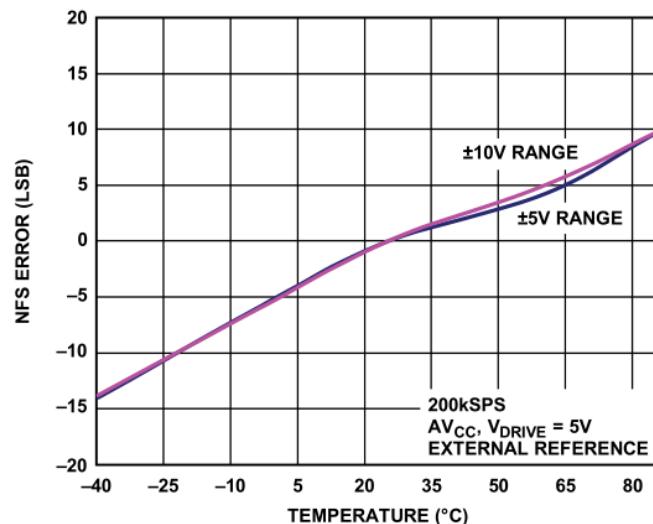


Figure 18. NFS Error vs. Temperature / Ошибка NFS в зависимости от температуры

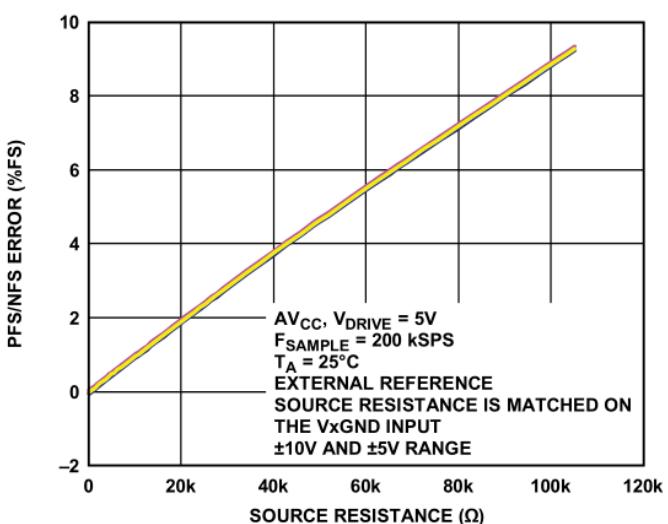


Figure 21. PFS and NFS Error vs. Source Resistance / Ошибка PFS и NFS в зависимости от сопротивления источника

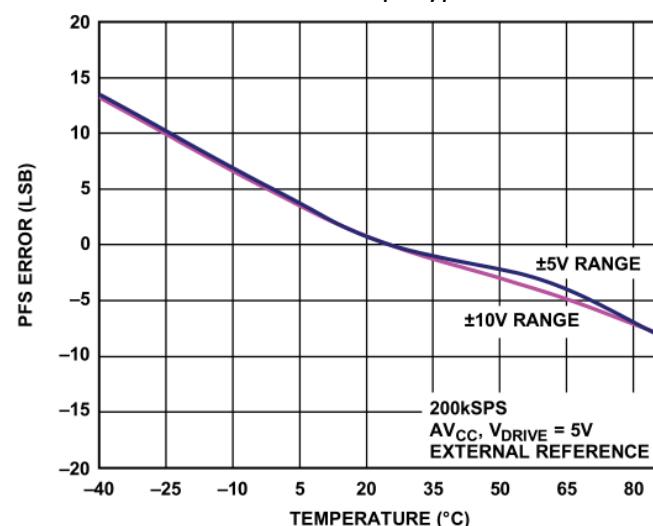


Figure 19. PFS Error vs. Temperature / Ошибка PFS в зависимости от температуры

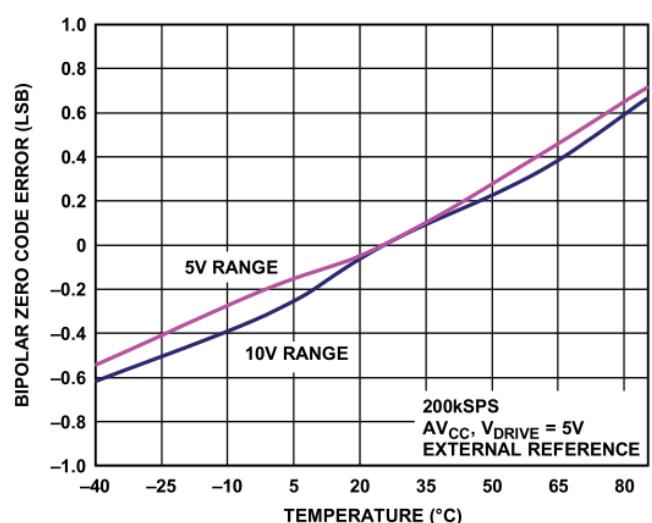


Figure 22. Bipolar Zero Code Error vs. Temperature / Ошибка биполярного нулевого кода в зависимости от температуры

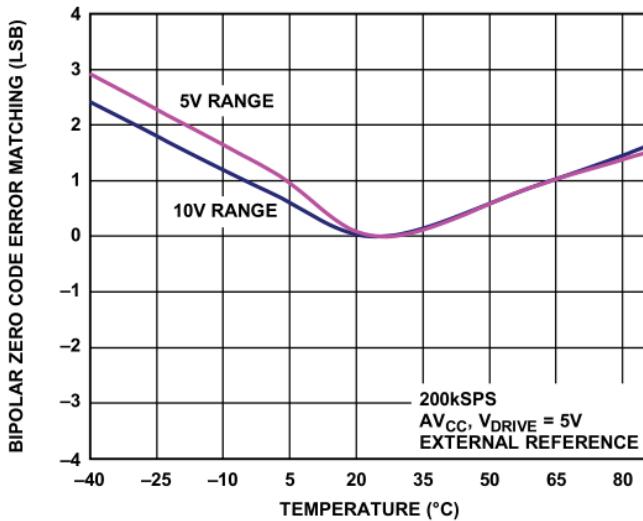


Figure 23. Bipolar Zero Code Error Matching Between Channels / Согласование ошибок биполярного нулевого кода между каналами

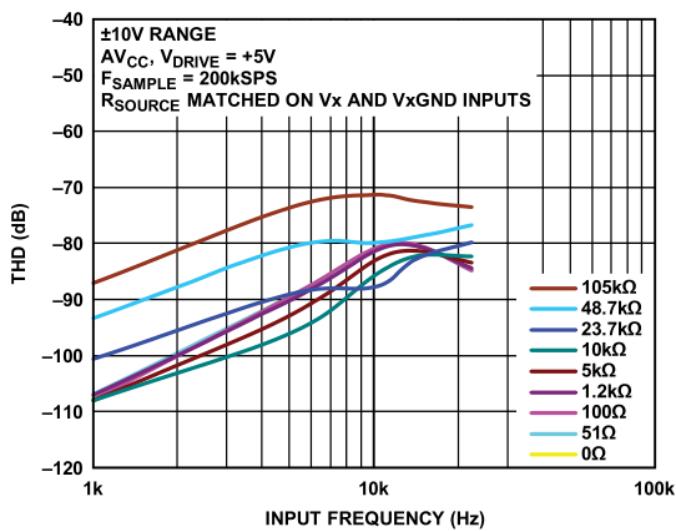


Figure 24. THD vs. Input Frequency for Various Source Impedances, ±10 V Range / THD в зависимости от частоты входного сигнала для различных импедансов источника, диапазон ±10 В

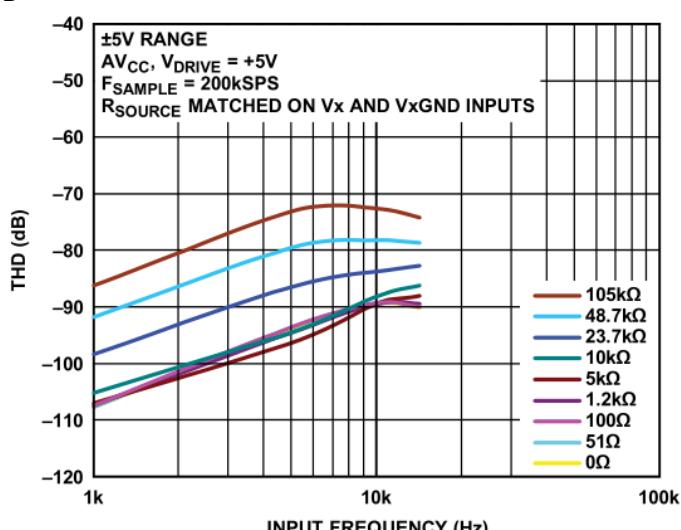


Figure 25. THD vs. Input Frequency for Various Source Impedances, ±5 V Range / Зависимость THD от частоты входного сигнала для различных импедансов источника, диапазон ±5 В

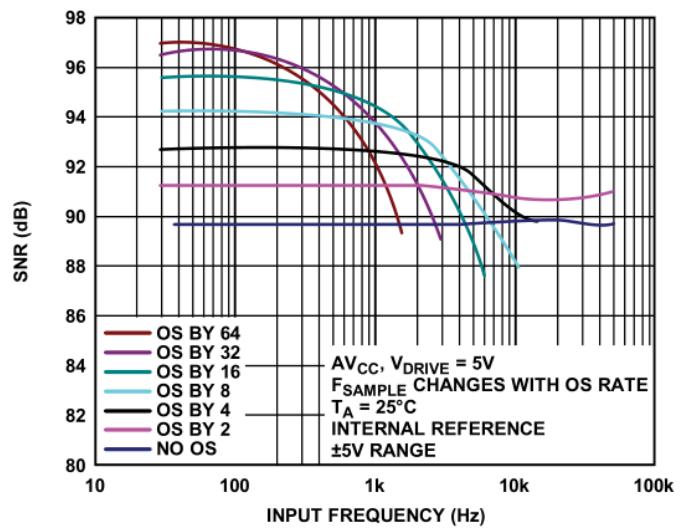


Figure 26. SNR vs. Input Frequency for Different Oversampling Rates, ±5 V Range / Зависимость SNR от частоты входного сигнала для различных частот передискретизации, диапазон ±5 В

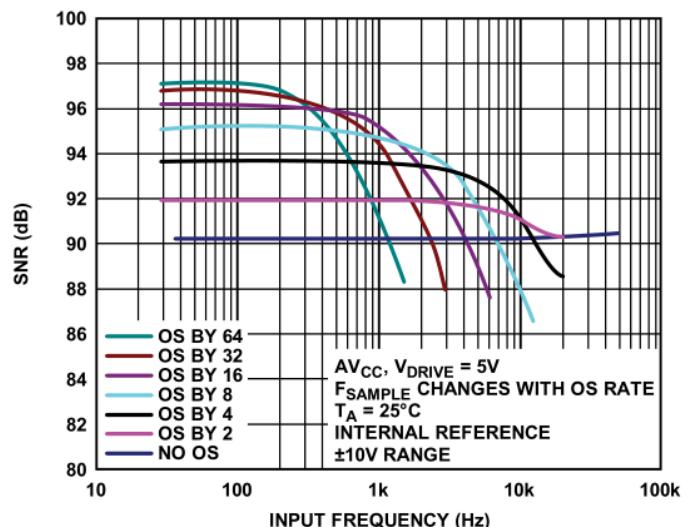


Figure 27. SNR vs. Input Frequency for Different Oversampling Rates, ±10 V Range / Зависимость SNR от частоты входного сигнала для различных частот передискретизации, диапазон ±10 В

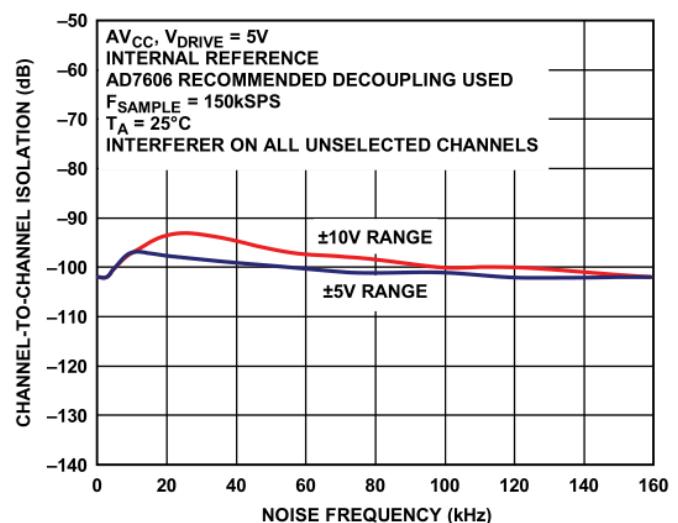


Figure 28. Channel-to-Channel Isolation / Межканальная изоляция

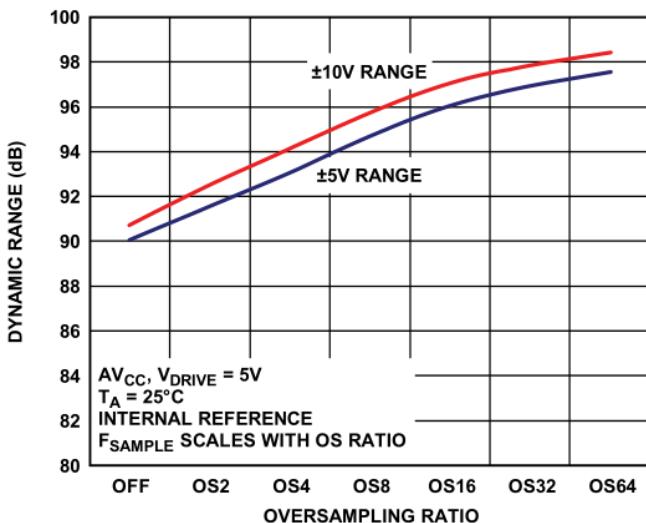


Figure 29. Dynamic Range vs. Oversampling Rate / Динамический диапазон в зависимости от частоты передискретизации

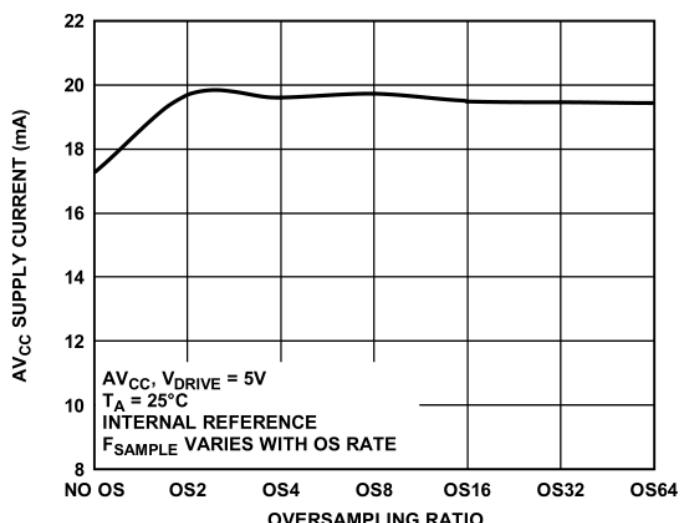


Figure 32. Supply Current vs. Oversampling Rate / Ток питания в зависимости от частоты передискретизации

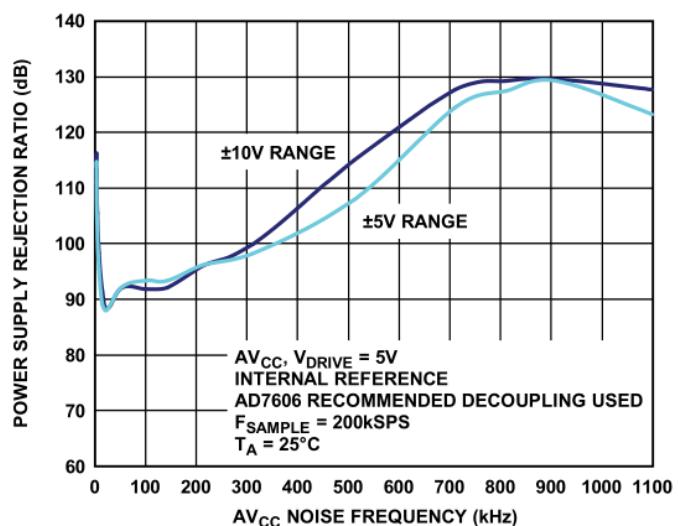


Figure 33. PSRR

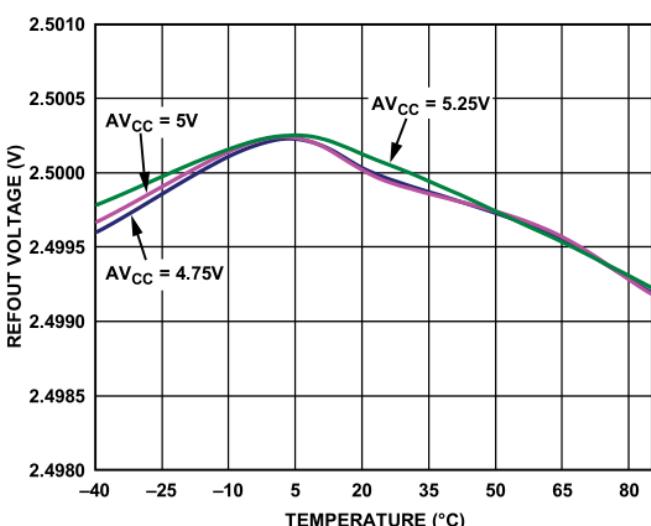


Figure 30. Reference Output Voltage vs. Temperature for Different Supply Voltages / Опорное выходное напряжение в зависимости от температуры при различных напряжениях питания

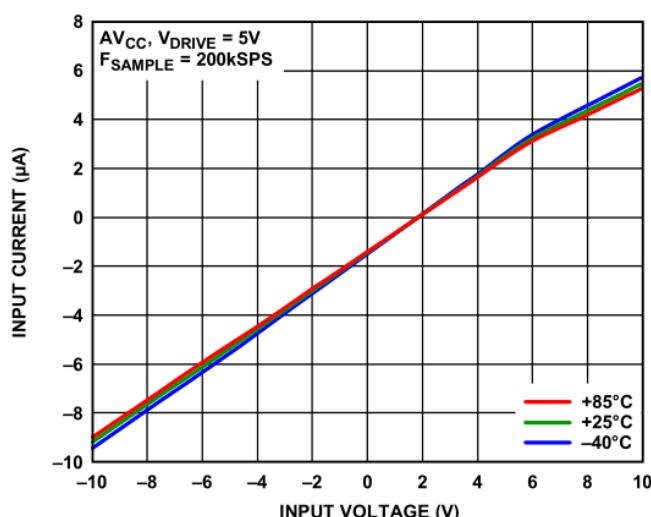


Figure 31. Analog Input Current vs. Temperature for Various Supply Voltages / Аналоговый входной ток в зависимости от температуры при различных напряжениях питания

TERMINOLOGY / ТЕРМИНОЛОГИЯ

Integral Nonlinearity	Интегральная нелинейность
The maximum deviation from a straight line passing through the endpoints of the ADC transfer function. The endpoints of the transfer function are zero scale, at $\frac{1}{2}$ LSB below the first code transition; and full scale, at $\frac{1}{2}$ LSB above the last code transition.	Максимальное отклонение от прямой линии, проходящей через конечные точки передаточной функции АЦП. Конечными точками передаточной функции являются нулевая шкала, на $\frac{1}{2}$ LSB ниже первого перехода кода; и полная шкала, на $\frac{1}{2}$ LSB выше последнего перехода кода.
Differential Nonlinearity	Дифференциальная нелинейность
The difference between the measured and the ideal 1 LSB change between any two adjacent codes in the ADC.	Разница между измеренным и идеальным изменением на 1 LSB между любыми двумя соседними кодами в АЦП.
Bipolar Zero Code Error	Ошибка биполярного нулевого кода
The deviation of the midscale transition (all 1s to all 0s) from the ideal, which is 0 V – $\frac{1}{2}$ LSB.	Отклонение среднемасштабного перехода (от всех 1 до всех 0) от идеального, равного 0 В - $\frac{1}{2}$ LSB.
Bipolar Zero Code Error Match	Совпадение ошибок биполярного нулевого кода
The absolute difference in bipolar zero code error between any two input channels.	Абсолютная разность ошибок биполярного нулевого кода между любыми двумя входными каналами.
Positive Full-Scale Error	Положительная ошибка полной шкалы
The deviation of the actual last code transition from the ideal last code transition (10 V – $1\frac{1}{2}$ LSB (9.99954) and 5 V – $1\frac{1}{2}$ LSB (4.99977)) after bipolar zero code error is adjusted out. The positive full-scale error includes the contribution from the internal reference buffer.	Отклонение фактического перехода последнего кода от идеального перехода последнего кода (10 В - $1\frac{1}{2}$ LSB (9.99954) и 5 В - $1\frac{1}{2}$ LSB (4.99977)) после устранения ошибки биполярного нулевого кода. Положительная полномасштабная погрешность включает вклад внутреннего опорного буфера.
Positive Full-Scale Error Match	Положительная ошибка полного масштаба
The absolute difference in positive full-scale error between any two input channels.	Абсолютная разность положительной полномасштабной ошибки между двумя любыми входными каналами.
Negative Full-Scale Error	Отрицательная ошибка полной шкалы
The deviation of the first code transition from the ideal first code transition (-10 V + $\frac{1}{2}$ LSB (-9.99984) and -5 V + $\frac{1}{2}$ LSB (-4.99992)) after the bipolar zero code error is adjusted out. The negative full-scale error includes the contribution from the internal reference buffer.	Отклонение первого кодового перехода от идеального первого кодового перехода (-10 В + $\frac{1}{2}$ LSB (-9.99984) и -5 В + $\frac{1}{2}$ LSB (-4.99992)) после устранения ошибки биполярного нулевого кода. Отрицательная полномасштабная погрешность включает вклад внутреннего опорного буфера.
Negative Full-Scale Error Match	Отрицательная ошибка полного масштаба
The absolute difference in negative full-scale error between any two input channels.	Абсолютная разность отрицательной полномасштабной ошибки между любыми двумя входными каналами.
Signal-to-(Noise + Distortion) Ratio	Отношение сигнал-(шум + искажения)
The measured ratio of signal-to-(noise + distortion) at the output of the ADC. The signal is the rms amplitude of the fundamental. Noise is the sum of all nonfundamental signals up to half the sampling frequency ($f_S/2$, excluding dc).	Измеренное отношение сигнала к (шум + искажения) на выходе АЦП. Сигнал - это среднеквадратичная амплитуда основного сигнала. Шум - это сумма всех нефункциональных сигналов до половины частоты дискретизации ($f_S/2$, без учета постоянного тока).
The ratio depends on the number of quantization levels in the digitization process: the more levels, the smaller the quantization noise.	Коэффициент зависит от количества уровней квантования в процессе оцифровки: чем больше уровней, тем меньше шум квантования.
The theoretical signal-to-(noise + distortion) ratio for an ideal N-bit converter with a sine wave input is given by	Теоретическое отношение сигнал-(шум + искажения) для идеального N-битного преобразователя с синусоидальным входным сигналом определяется следующим образом
Signal-to-(Noise + Distortion) = $(6.02 N + 1.76)$ dB	
Thus, for a 16-bit converter, the signal-to-(noise + distortion) is 98 dB.	Таким образом, для 16-битного преобразователя сигнал-(шум + искажения) составляет 98 дБ.
Total Harmonic Distortion (THD)	Суммарные гармонические искажения (THD)
The ratio of the rms sum of the harmonics to the fundamental. For the AD7606/AD7606-6/AD7606-4, it is defined as	Отношение среднеквадратичной суммы гармоник к основной. Для AD7606/AD7606-6/AD7606-4 оно определяется как

THD (dB) =

$$20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2 + V_8^2 + V_9^2}}{V_1}$$

where:

V1 is the rms amplitude of the fundamental.
V2 to V9 are the rms amplitudes of the second through ninth harmonics.

где:

V1 - среднеквадратичная амплитуда основного сигнала.
V2 - V9 - среднеквадратичные амплитуды второй - девятой гармоник.

Peak Harmonic or Spurious Noise

The ratio of the rms value of the next largest component in the ADC output spectrum (up to $f_s/2$, excluding dc) to the rms value of the fundamental. Normally, the value of this specification is determined by the largest harmonic in the spectrum, but for ADCs where the harmonics are buried in the noise floor, it is determined by a noise peak.

Пиковые гармонические или помеховые шумы

Отношение среднеквадратичного значения следующего по величине компонента в спектре выходного сигнала АЦП (до $f_s/2$, исключая постоянный ток) к среднеквадратичному значению основного компонента. Обычно значение этой характеристики определяется наибольшей гармоникой в спектре, но для АЦП, в которых гармоники зарыты в шумовой пол, она определяется пиком шума.

Intermodulation Distortion

With inputs consisting of sine waves at two frequencies, f_a and f_b , any active device with nonlinearities creates distortion products at sum and difference frequencies of $m f_a \pm n f_b$, where $m, n = 0, 1, 2, 3$. Intermodulation distortion terms are those for which neither m nor n is equal to 0. For example, the second-order terms include $(f_a + f_b)$ and $(f_a - f_b)$, and the third-order terms include $(2f_a + f_b)$, $(2f_a - f_b)$, $(f_a + 2f_b)$, and $(f_a - 2f_b)$.

Интермодуляционные искажения

При наличии входных сигналов, состоящих из синусоидальных волн с двумя частотами, f_a и f_b , любое активное устройство с нелинейностью создает продукты искажений на суммарной и разностной частотах $m f_a \pm n f_b$, где $m, n = 0, 1, 2, 3$. Интермодуляционные искажения - это искажения, для которых ни m , ни n не равны 0. Например, искажения второго порядка включают $(f_a + f_b)$ и $(f_a - f_b)$, а искажения третьего порядка включают $(2f_a + f_b)$, $(2f_a - f_b)$, $(f_a + 2f_b)$ и $(f_a - 2f_b)$.

The calculation of the intermodulation distortion is per the THD specification, where it is the ratio of the rms sum of the individual distortion products to the rms amplitude of the sum of the fundamentals expressed in decibels (dB).

Расчет интермодуляционных искажений производится в соответствии со спецификацией THD, где это отношение среднеквадратичной суммы отдельных продуктов искажений к среднеквадратичной амплитуде суммы основных продуктов, выраженное в децибелах (дБ).

Power Supply Rejection Ratio (PSRR)

Коэффициент отклика источника питания (PSRR)

Variations in power supply affect the full-scale transition but not the converter's linearity. PSR is the maximum change in full-scale transition point due to a change in power supply voltage from the nominal value. The PSR ratio (PSRR) is defined as the ratio of the power in the ADC output at full-scale frequency, f , to the power of a 100 mV p-p sine wave applied to the ADC's V_{DD} and V_{SS} supplies of Frequency f_s .

Изменения в питании влияют на полномасштабный переход, но не на линейность преобразователя. PSR - это максимальное изменение точки полномасштабного перехода при изменении напряжения питания по сравнению с номинальным значением. Коэффициент PSR (PSRR) определяется как отношение мощности на выходе АЦП на полномасштабной частоте f к мощности синусоидальной волны 100 мВ р-р, подаваемой на источники питания V_{DD} и V_{SS} АЦП с частотой f_s .

$$\text{PSRR (dB)} = 10 \log \left(\frac{P_f}{P_{f_s}} \right)$$

where:

P_f is equal to the power at Frequency f in the ADC output.

P_{f_s} is equal to the power at Frequency f_s coupled onto the AVCC supply.

где:

P_f равна мощности на частоте f на выходе АЦП.

P_{f_s} равна мощности на частоте f_s , подключенной к источнику питания AVCC.

Channel-to-Channel Isolation	Межканальная изоляция
Channel-to-channel isolation is a measure of the level of crosstalk between all input channels. It is measured by applying a full-scale sine wave signal, up to 160 kHz, to all unselected input channels and then determining the degree to which the signal attenuates in the selected channel with a 1 kHz sine wave signal applied (see Figure 28).	Межканальная изоляция - это показатель уровня перекрестных помех между всеми входными каналами. Она измеряется путем подачи полномасштабного синусоидального сигнала частотой до 160 кГц на все невыбранные входные каналы и последующего определения степени ослабления сигнала в выбранном канале при подаче синусоидального сигнала частотой 1 кГц (см. Рисунок 28).

THEORY OF OPERATION / ТЕОРИЯ ЭКСПЛУАТАЦИИ

CONVERTER DETAILS / ДЕТАЛИ ПРЕОБРАЗОВАТЕЛЯ

The AD7606/AD7606-6/AD7606-4 are data acquisition systems that employ a high speed, low power, charge redistribution, successive approximation analog-to-digital converter (ADC) and allow the simultaneous sampling of eight/six/four analog input channels. The analog inputs on the AD7606/AD7606-6/AD7606-4 can accept true bipolar input signals. The RANGE pin is used to select either ± 10 V or ± 5 V as the input range. The AD7606/AD7606-6/AD7606-4 operate from a single 5 V supply.	AD7606/AD7606-6/AD7606-4 - это системы сбора данных, в которых используется высокоскоростной аналого-цифровой преобразователь (АЦП) с перераспределением заряда и последовательным приближением, обеспечивающий одновременную выборку восьми/шести/четырех аналоговых входных каналов. Аналоговые входы AD7606/AD7606-6/AD7606-4 могут принимать истинно биполярные входные сигналы. Вывод RANGE используется для выбора диапазона входных сигналов ± 10 В или ± 5 В. AD7606/AD7606-6/AD7606-4 работают от одного источника питания 5 В.
The AD7606/AD7606-6/AD7606-4 contain input clamp protection, input signal scaling amplifiers, a second-order anti-aliasing filter, track-and-hold amplifiers, an on-chip reference, reference buffers, a high speed ADC, a digital filter, and high speed parallel and serial interfaces. Sampling on the AD7606/AD7606-6/AD7606-4 is controlled using the CONVST signals.	AD7606/AD7606-6/AD7606-4 содержат защиту входного зажима, усилители масштабирования входного сигнала, фильтр сглаживания второго порядка, усилители слежения и удержания, опорный сигнал на кристалле, опорные буферы, высокоскоростной АЦП, цифровой фильтр, а также высокоскоростные параллельный и последовательный интерфейсы. Управление выборкой в AD7606/AD7606-6/AD7606-4 осуществляется с помощью сигналов CONVST.

ANALOG INPUT / АНАЛОГОВЫЙ ВХОД

Analog Input Ranges / Диапазоны аналоговых входов

The AD7606/AD7606-6/AD7606-4 can handle true bipolar, single-ended input voltages. The logic level on the RANGE pin determines the analog input range of all analog input channels. If this pin is tied to a logic high, the analog input range is ± 10 V for all channels. If this pin is tied to a logic low, the analog input range is ± 5 V for all channels. A logic change on this pin has an immediate effect on the analog input range; however, there is typically a settling time of approximately 80 μ s, in addition to the normal acquisition time requirement. The recommended practice is to hardwire the RANGE pin according to the desired input range for the system signals.	AD7606/AD7606-6/AD7606-4 могут работать с истинно биполярными, односторонними входными напряжениями. Логический уровень на выводе RANGE определяет диапазон аналоговых входных сигналов для всех каналов аналогового ввода. Если этот вывод связан с логическим высоким уровнем, диапазон аналоговых входных сигналов составляет ± 10 В для всех каналов. Если этот вывод связан с логическим низким уровнем, диапазон аналоговых входов составляет ± 5 В для всех каналов. Логическое изменение на этом выводе немедленно влияет на диапазон аналоговых входов; однако, как правило, время установления составляет около 80 мкс, в дополнение к обычному времени сбора данных. Рекомендуется жестко подключать вывод RANGE в соответствии с желаемым диапазоном входных сигналов системы.
During normal operation, the applied analog input voltage should remain within the analog input range selected via the RANGE pin. A RESET pulse must be applied after power up to ensure the analog input channels are configured for the range selected.	Во время нормальной работы приложенное аналоговое входное напряжение должно оставаться в пределах диапазона аналогового входа, выбранного с помощью вывода RANGE. После включения питания необходимо подать импульс RESET, чтобы убедиться, что каналы аналогового ввода сконфигурированы для выбранного диапазона.

<p>When in a power-down mode, it is recommended to tie the analog inputs to GND. Per the Analog Input Clamp Protection section, the overvoltage clamp protection is recommended for use in transient overvoltage conditions and should not remain active for extended periods. Stressing the analog inputs outside of the conditions mentioned here may degrade the bipolar zero code error and THD performance of the AD7606/AD7606-6/AD7606-4.</p>	<p>В режиме отключения питания рекомендуется подключать аналоговые входы к GND. Согласно разделу "Защита зажима аналогового входа", защита зажима от перенапряжения рекомендуется для использования в условиях переходных перенапряжений и не должна оставаться активной в течение длительного времени. Нагрузка на аналоговые входы вне указанных здесь условий может ухудшить характеристики биполярной ошибки нулевого кода и THD AD7606/AD7606-6/AD7606-4.</p>
--	--

Analog Input Impedance / Импеданс аналогового входа

<p>The analog input impedance of the AD7606/AD7606-6/AD7606-4 is 1 MΩ. This is a fixed input impedance that does not vary with the AD7606 sampling frequency. This high analog input impedance eliminates the need for a driver amplifier in front of the AD7606/AD7606-6/AD7606-4, allowing for direct connection to the source or sensor. With the need for a driver amplifier eliminated, bipolar supplies (which are often a source of noise in a system) can be removed from the signal chain.</p>	<p>Входной импеданс аналогового входа AD7606/AD7606-6/AD7606-4 составляет 1 МΩ. Это фиксированный входной импеданс, который не меняется в зависимости от частоты дискретизации AD7606. Такой высокий входной аналоговый импеданс устраняет необходимость в усилителе-драйвере перед AD7606/AD7606-6/AD7606-4, обеспечивая прямое подключение к источнику или датчику. Благодаря отсутствию необходимости в усилителе драйвера, биполярные источники питания (которые часто являются источником шума в системе) могут быть удалены из цепи передачи сигнала</p>
---	--

Analog Input Clamp Protection / Защита зажима аналогового входа

<p>Figure 34 shows the analog input structure of the AD7606/AD7606-6/AD7606-4. Each analog input of the AD7606/AD7606-6/AD7606-4 contains clamp protection circuitry. Despite single 5 V supply operation, this analog input clamp protection allows for an input over voltage of up to ±16.5 V.</p>	<p>На рисунке 34 показана структура аналоговых входов AD7606/AD7606-6/AD7606-4. Каждый аналоговый вход AD7606/AD7606-6/AD7606-4 содержит схему защиты от зажима. Несмотря на работу от одного источника питания 5 В, эта защита аналогового входа от перегрузки по напряжению допускает превышение входного напряжения до ±16,5 В.</p>
--	--

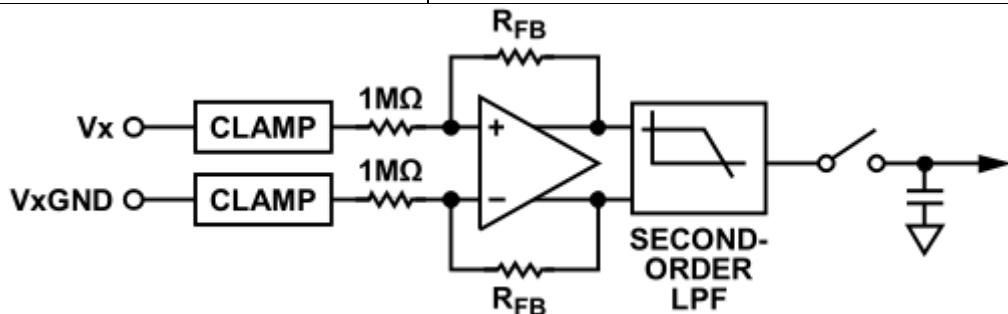


Figure 34. Analog Input Circuitry / Схема аналогового входа

<p>Figure 35 shows the voltage vs. current characteristic of the clamp circuit. For input voltages of up to ±16.5 V, no current flows in the clamp circuit. For input voltages that are above ±16.5 V, the AD7606/AD7606-6/AD7606-4 clamp circuitry turns on.</p>	<p>На рисунке 35 показана характеристика зависимости напряжения от тока в цепи зажима. При входном напряжении до ±16,5 В ток в цепи зажима не протекает. При входном напряжении выше ±16,5 В цепь зажима AD7606/AD7606-6/AD7606-4 включается.</p>
---	---

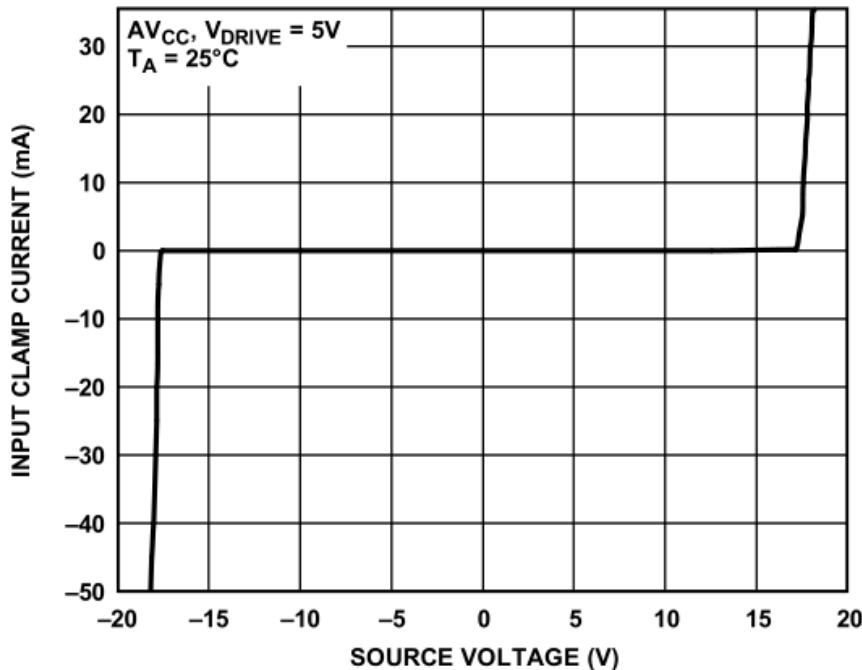


Figure 35. Input Protection Clamp Profile / Профиль зажима защиты входа

A series resistor should be placed on the analog input channels to limit the current to ± 10 mA for input voltages above ± 16.5 V. In an application where there is a series resistance on an analog input channel, V_x , a corresponding resistance is required on the analog input GND channel, V_{xGND} (see Figure 36). If there is no corresponding resistor on the V_{xGND} channel, an offset error occurs on that channel. It is recommended that the input overvoltage clamp protection circuitry be used to protect the AD7606/AD7606-6/AD7606-4 against transient overvoltage events. It is not recommended to leave the AD7606/AD7606-6/AD7606-4 in a condition where the clamp protection circuitry is active in normal or power-down conditions for extended periods because this may degrade the bipolar zero code error performance of the AD7606/AD7606-6/AD7606-4.

Последовательный резистор должен быть установлен на каналах аналогового ввода, чтобы ограничить ток до ± 10 мА при входном напряжении выше $\pm 16,5$ В. В случае использования последовательного сопротивления на канале аналогового ввода V_x требуется соответствующее сопротивление на канале аналогового ввода GND, V_{xGND} (см. Рисунок 36). Если на канале V_{xGND} нет соответствующего резистора, на этом канале возникает ошибка смещения. Для защиты AD7606/AD7606-6/AD7606-4 от переходного перенапряжения рекомендуется использовать схему защиты от зажима входного перенапряжения. Не рекомендуется оставлять AD7606/AD7606-6/AD7606-4 на длительное время в состоянии, когда схема защиты от перегрузки активна в нормальном режиме или при выключенном питании, поскольку это может ухудшить характеристики биполярной ошибки нулевого кода AD7606/AD7606-6/AD7606-4.

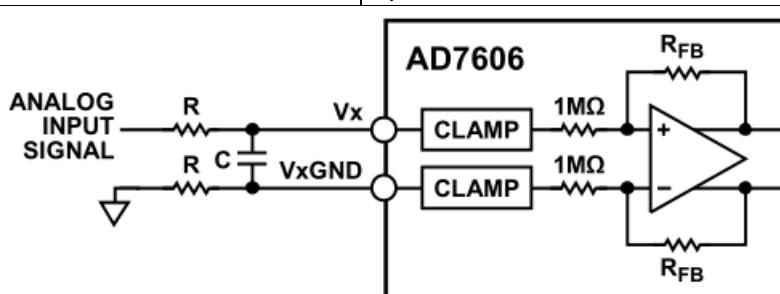


Figure 36. Input Resistance Matching on the Analog Input of the AD7606/AD7606-6/AD7606-4 / Согласование входного сопротивления на аналоговом входе AD7606/AD7606-6/AD7606-4

Analog Input Antialiasing Filter / Фильтр сглаживания аналогового входа

An analog antialiasing filter (a second-order Butterworth) is also provided on the AD7606/AD7606-6/AD7606-4. Figure 37 and Figure 38 show the frequency and phase response, respectively, of the analog antialiasing filter. In the ± 5 V range, the -3 dB frequency is typically 15 kHz. In the ± 10 V range, the -3 dB frequency is typically 23 kHz.

В AD7606/AD7606-6/AD7606-4 также предусмотрен аналоговый фильтр сглаживания (Баттерворт второго порядка). На рисунках 37 и 38 показаны частотная и фазовая характеристики аналогового фильтра сглаживания, соответственно. В диапазоне ± 5 В частота -3 дБ обычно составляет 15 кГц. В диапазоне ± 10 В частота -3 дБ обычно составляет 23 кГц.

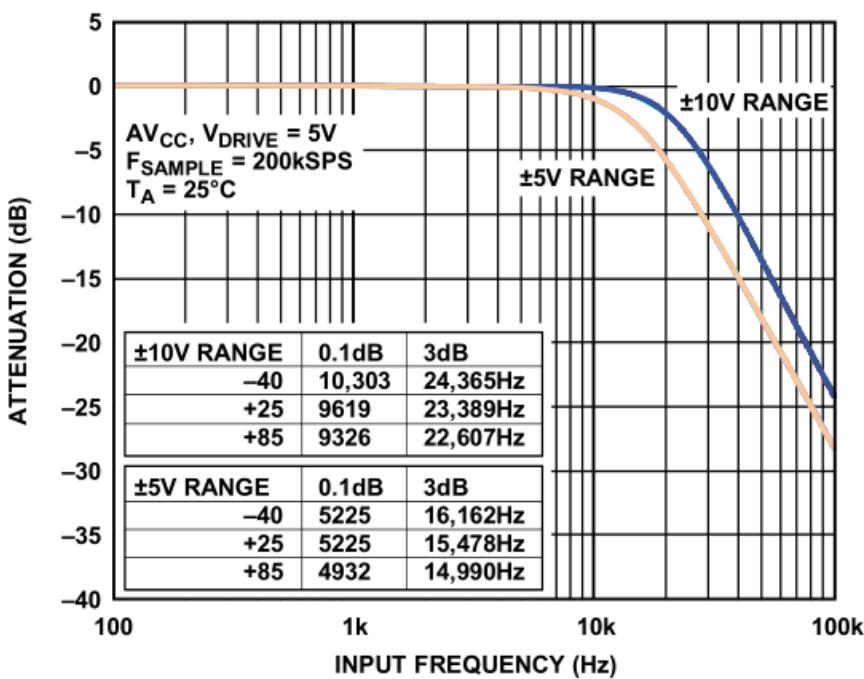


Figure 37. Analog Antialiasing Filter Frequency Response / Частотная характеристика аналогового фильтра сглаживания

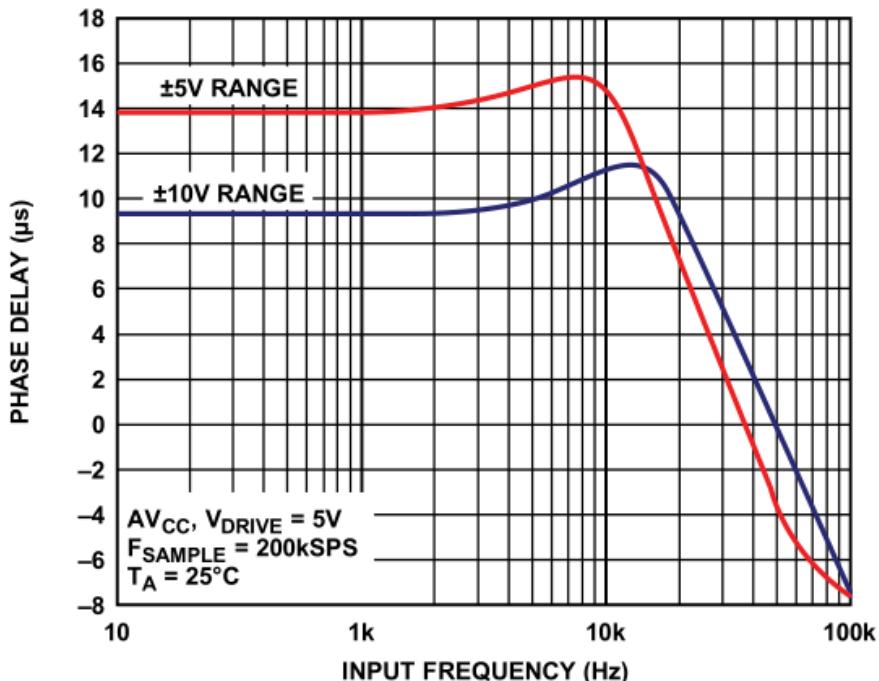


Figure 38. Analog Antialias Filter Phase Response / Фазовая характеристика аналогового антиалиасного фильтра

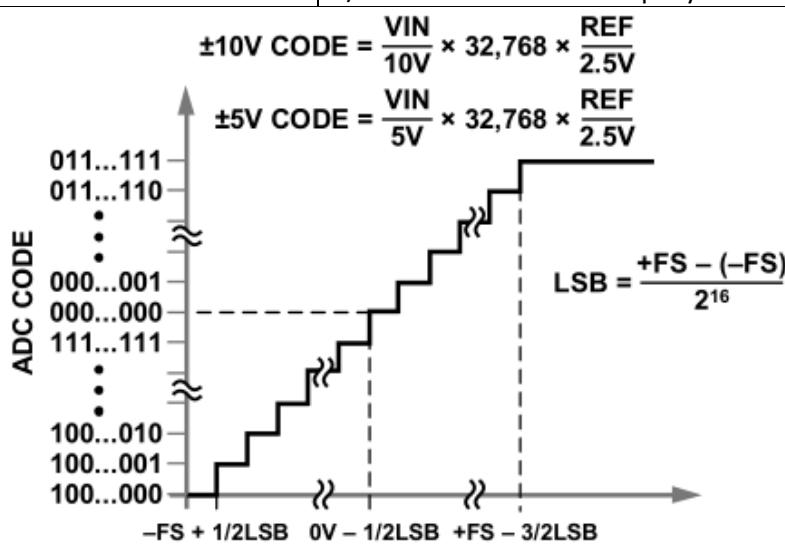
Track-and-Hold Amplifiers / Усилители слежения и удержания

The track-and-hold amplifiers on the AD7606/AD7606-6/ AD7606-4 allow the ADC to accurately acquire an input sine wave of full-scale amplitude to 16-bit resolution. The track-and-hold amplifiers sample their respective inputs simultaneously on the rising edge of CONVST x. The aperture time for the track-and- hold (that is, the delay time between the external CONVST x signal and the track-and-hold actually going into hold) is well matched, by design, across all eight track-and-holds on one device and from device to device. This matching allows more than one	Усилители слежения и удержания в AD7606/AD7606-6/ AD7606-4 позволяют АЦП точно получить входную синусоиду полномасштабной амплитуды с разрешением 16 бит. Усилители следящего удержания дискретизируют соответствующие входы одновременно по нарастающему фронту сигнала CONVST x. Время апертуры следящего удержания (то есть время задержки между внешним сигналом CONVST x и фактическим переходом следящего удержания в режим удержания) хорошо согласовано, как в одном устройстве, так и в разных устройствах, для всех восьми следящих удержаний. Такое согласование позволяет использовать в системе одновременно более одного устройства AD7606/AD7606-6/AD7606-4.
---	---

AD7606/AD7606-6/AD7606-4 device to be sampled simultaneously in a system.	
The end of the conversion process across all eight channels is indicated by the falling edge of BUSY; and it is at this point that the track-and-holds return to track mode, and the acquisition time for the next set of conversions begins.	Окончание процесса преобразования по всем восьми каналам отмечается по спадающему фронту BUSY; именно в этот момент трекинг-холдеры возвращаются в режим трека, и начинается время сбора данных для следующего набора преобразований.
The conversion clock for the part is internally generated, and the conversion time for all channels is 4 μ s on the AD7606, 3 μ s on the AD7606-6, and 2 μ s on the AD7606-4. On the AD7606, the BUSY signal returns low after all eight conversions to indicate the end of the conversion process. On the falling edge of BUSY, the track-and-hold amplifiers return to track mode. New data can be read from the output register via the parallel, parallel byte, or serial interface after BUSY goes low; or, alternatively, data from the previous conversion can be read while BUSY is high. Reading data from the AD7606/AD7606-6/AD7606-4 while a conversion is in progress has little effect on performance and allows a faster throughput to be achieved. In parallel mode at $V_{DRIVE} > 3.3$ V, the SNR is reduced by ~ 1.5 dB when reading during a conversion.	Тактовый генератор преобразования генерируется внутри устройства, а время преобразования для всех каналов составляет 4 мкс для AD7606, 3 мкс для AD7606-6 и 2 мкс для AD7606-4. В AD7606 сигнал BUSY возвращается к низкому уровню после всех восьми преобразований, чтобы указать на окончание процесса преобразования. По падающему фронту BUSY усилители слежения и удержания возвращаются в режим слежения. Новые данные могут быть считаны из выходного регистра через параллельный, параллельный байтовый или последовательный интерфейс после того, как BUSY станет низким; или, в качестве альтернативы, данные из предыдущего преобразования могут быть считаны, пока BUSY находится на высоком уровне. Чтение данных из AD7606/AD7606-6/AD7606-4 во время выполнения преобразования мало влияет на производительность и позволяет достичь более высокой пропускной способности. В параллельном режиме при $V_{DRIVE} > 3,3$ В SNR снижается на $\sim 1,5$ дБ при чтении во время преобразования.

ADC TRANSFER FUNCTION / ПЕРЕДАТОЧНАЯ ФУНКЦИЯ АЦП

The output coding of the AD7606/AD7606-6/AD7606-4 is two's complement. The designed code transitions occur midway between successive integer LSB values, that is, 1/2 LSB and 3/2 LSB. The LSB size is FSR/65,536 for the AD7606. The ideal transfer characteristic for the AD7606/AD7606-6/AD7606-4 is shown in Figure 39.	Выходное кодирование AD7606/AD7606-6/AD7606-4 - двойное дополнение. Разработанные кодовые переходы происходят в середине между последовательными целочисленными значениями LSB, то есть 1/2 LSB и 3/2 LSB. Для AD7606 размер LSB равен FSR/65,536. Идеальная передаточная характеристика для AD7606/AD7606-6/AD7606-4 показана на рисунке 39.
---	---



	+FS	MIDSCALE	-FS	LSB
±10V RANGE	+10V	0V	-10V	305μV
±5V RANGE	+5V	0V	-5V	152μV

Figure 39. AD7606/AD7606-6/AD7606-4 Transfer Characteristics / Характеристики передачи данных AD7606/AD7606-6/AD7606-4

The LSB size is dependent on the analog input range selected.	Размер LSB зависит от выбранного диапазона аналогового ввода.
---	---

INTERNAL/EXTERNAL REFERENCE / ВНУТРЕННЯЯ/ВНЕШНЯЯ ССЫЛКА

<p>The AD7606/AD7606-6/AD7606-4 contain an on-chip 2.5 V band gap reference. The REFIN/REFOUT pin allows access to the 2.5 V reference that generates the on-chip 4.5 V reference internally, or it allows an external reference of 2.5 V to be applied to the AD7606/AD7606-6/AD7606-4. An externally applied reference of 2.5 V is also gained up to 4.5 V, using the internal buffer. This 4.5 V buffered reference is the reference used by the SAR ADC.</p>	<p>AD7606/AD7606-6/AD7606-4 содержат встроенный в микросхему эталон с полосой пропускания 2,5 В. Выход REFIN/REFOUT обеспечивает доступ к опорному напряжению 2,5 В, которое генерирует внутреннее опорное напряжение 4,5 В, или позволяет применить внешнее опорное напряжение 2,5 В к AD7606/AD7606-6/AD7606-4. Внешнее опорное напряжение 2,5 В также повышается до 4,5 В с помощью внутреннего буфера. Этот буферизованный опорный сигнал 4,5 В используется АЦП SAR.</p>
<p>The REF SELECT pin is a logic input pin that allows the user to select between the internal reference and an external reference. If this pin is set to logic high, the internal reference is selected and enabled. If this pin is set to logic low, the internal reference is disabled and an external reference voltage must be applied to the REFIN/REFOUT pin. The internal reference buffer is always enabled. After a reset, the AD7606/AD7606-6/AD7606-4 operate in the reference mode selected by the REF SELECT pin. Decoupling is required on the REFIN/REFOUT pin for both the internal and external reference options. A 10 μF ceramic capacitor is required on the REFIN/REFOUT pin.</p>	<p>Контакт REF SELECT - это логический входной контакт, который позволяет пользователю выбирать между внутренним и внешним эталоном. Если этот вывод установлен на высокий логический уровень, внутреннее опорное напряжение выбрано и включено. Если этот вывод установлен на логический минимум, внутреннее опорное напряжение отключено, и на вывод REFIN/REFOUT должно быть подано внешнее опорное напряжение. Внутренний опорный буфер всегда включен. После сброса AD7606/AD7606-6/AD7606-4 работают в режиме опорного сигнала, выбранном выводом REF SELECT. Развязка на выводе REFIN/REFOUT требуется как для внутреннего, так и для внешнего опорного режима. На выводе REFIN/REFOUT требуется керамический конденсатор емкостью 10 мкФ.</p>
<p>The AD7606/AD7606-6/AD7606-4 contain a reference buffer configured to gain the REF voltage up to \sim4.5 V, as shown in Figure 40. The REFCAPA and REFCAPB pins must be shorted together externally, and a ceramic capacitor of 10 μF applied to REFGND, to ensure that the reference buffer is in closed-loop operation. The reference voltage available at the REFIN/REFOUT pin is 2.5 V.</p>	<p>AD7606/AD7606-6/AD7606-4 содержат опорный буфер, настроенный на усиление напряжения REF до \sim4,5 В, как показано на рисунке 40. Выходы REFCAPA и REFCAPB должны быть замкнуты внешним образом, а на REFGND установлен керамический конденсатор емкостью 10 мкФ, чтобы обеспечить работу опорного буфера в замкнутом цикле. Опорное напряжение, доступное на выводах REFIN/REFOUT, составляет 2,5 В.</p>
<p>When the AD7606/AD7606-6/AD7606-4 are configured in external reference mode, the REFIN/REFOUT pin is a high input impedance pin. For applications using multiple AD7606 devices, the following configurations are recommended, depending on the application requirements.</p>	<p>Когда AD7606/AD7606-6/AD7606-4 сконфигурированы в режиме внешнего опорного сигнала, вывод REFIN/REFOUT является выводом с высоким входным сопротивлением. Для приложений, использующих несколько устройств AD7606, рекомендуются следующие конфигурации в зависимости от требований приложения.</p>

External Reference Mode / Режим внешней ссылки

<p>One ADR421 external reference can be used to drive the REFIN/REFOUT pins of all AD7606 devices (see Figure 41). In this configuration, each REFIN/REFOUT pin of the AD7606/AD7606-6/AD7606-4 should be decoupled with at least a 100 nF decoupling capacitor.</p>	<p>Один внешний эталон ADR421 может использоваться для управления выводами REFIN/REFOUT всех устройств AD7606 (см. Рисунок 41). В такой конфигурации каждый вывод REFIN/REFOUT устройств AD7606/AD7606-6/AD7606-4 должен быть связан с помощью развязывающего конденсатора емкостью не менее 100 нФ.</p>
--	--

Internal Reference Mode / Режим внутреннего эталона

<p>One AD7606/AD7606-6/AD7606-4 device, configured to operate in the internal reference mode, can be used to drive the remaining AD7606/AD7606-6/AD7606-4 devices, which are configured to operate in external reference mode (see Figure 42). The REFIN/REFOUT pin of the AD7606/AD7606-6/AD7606-4, configured in internal reference mode, should be decoupled using a 10 μF ceramic decoupling capacitor. The other AD7606/AD7606-6/AD7606-4 devices,</p>	<p>Одно устройство AD7606/AD7606-6/AD7606-4, настроенное на работу в режиме внутреннего эталона, может использоваться для управления остальными устройствами AD7606/AD7606-6/AD7606-4, которые настроены на работу в режиме внешнего эталона (см. Рисунок 42). Выходы REFIN/REFOUT устройств AD7606/AD7606-6/AD7606-4, сконфигурированных в режиме внутреннего эталона, должны быть связаны с помощью керамического развязывающего конденсатора емкостью 10 мкФ. Другие устройства AD7606/AD7606-6/AD7606-4,</p>
--	--

configured in external reference mode, should use at least a 100 nF decoupling capacitor on their REFIN/REFOUT pins.

сконфигурированные в режиме внешнего опорного сигнала, должны использовать на своих выводах REFIN/REFOUT развязывающий конденсатор емкостью не менее 100 нФ.

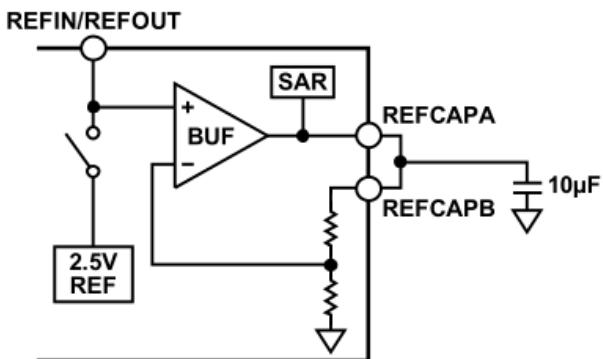


Figure 40. Reference Circuitry / Эталонная схема

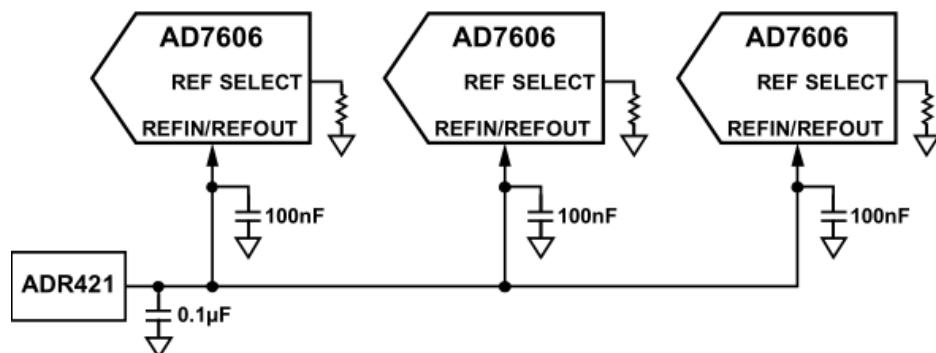


Figure 41. Single External Reference Driving Multiple AD7606/AD7606-6/AD7606-4 REFIN Pins - Один внешний эталон, управляющий несколькими выводами REFIN AD7606/AD7606-6/AD7606-4

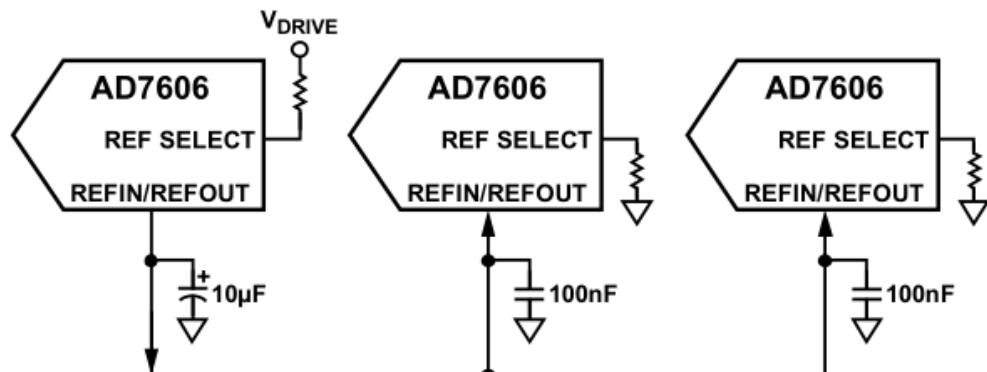


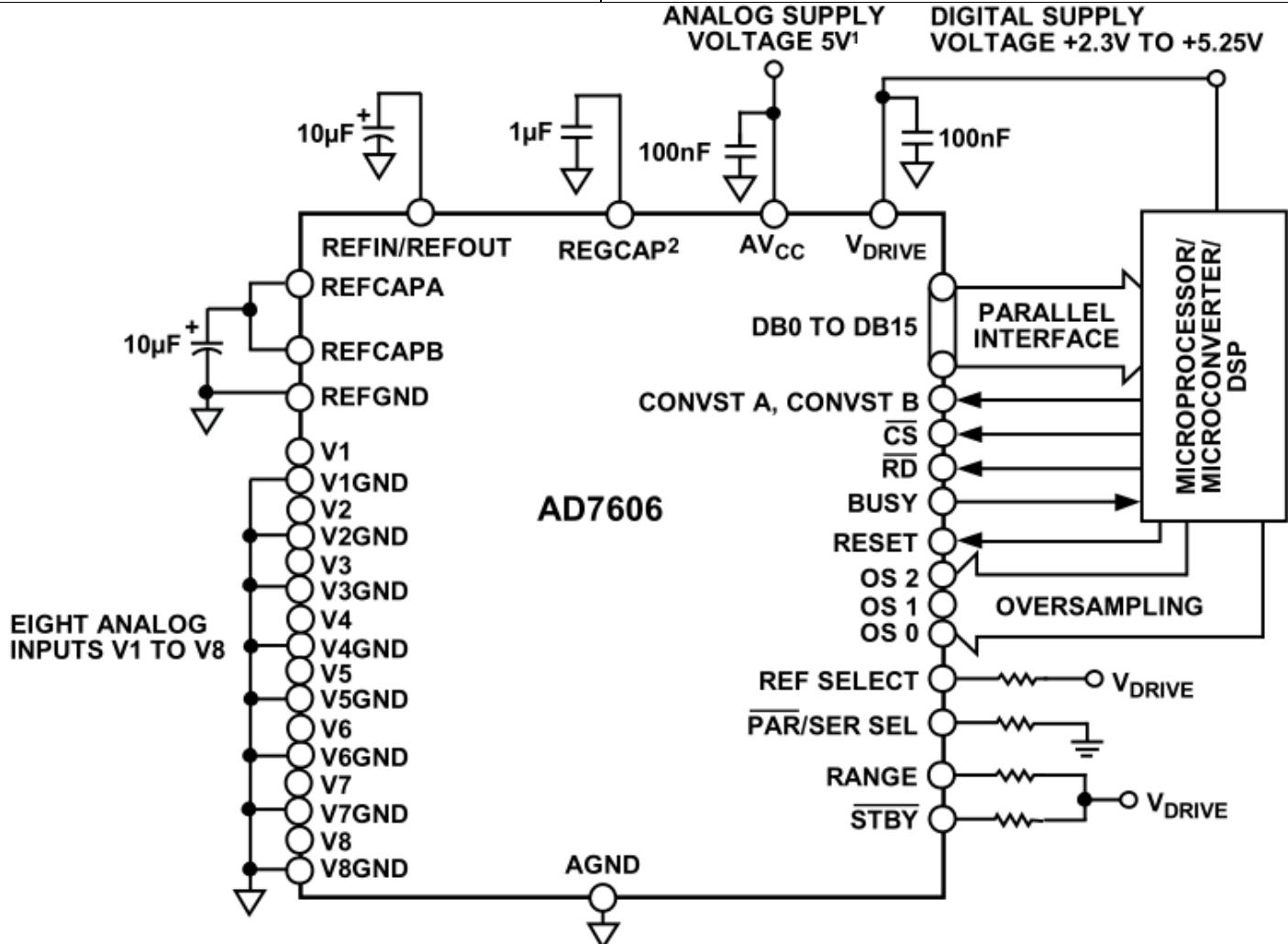
Figure 42. Internal Reference Driving Multiple AD7606/AD7606-6/AD7606-4 REFIN Pins - Внутренний эталон, управляющий несколькими выводами REFIN AD7606/AD7606-6/AD7606-4

TYPICAL CONNECTION DIAGRAM / ТИПОВАЯ СХЕМА ПОДКЛЮЧЕНИЯ

Figure 43 shows the typical connection diagram for the AD7606/ AD7606-6/AD7606-4. There are four AVCC supply pins on the part, and each of the four pins should be decoupled using a 100 nF capacitor at each supply pin and a 10 μF capacitor at the supply source. The AD7606/AD7606-6/AD7606-4 can operate with the internal reference or an externally applied reference. In this configuration, the AD7606 is configured to operate with the internal reference. When using a single AD7606/AD7606-6/ AD7606-4 device on the board, the REFIN/REFOUT pin should be decoupled with a 10 μF capacitor. Refer to the Internal/External Reference section when using an application with multiple AD7606/AD7606-6/AD7606-

На рисунке 43 показана типовая схема подключения AD7606/ AD7606-6/AD7606-4. На устройстве имеется четыре вывода питания AVCC, и каждый из четырех выводов должен быть развязан с помощью конденсатора 100 нФ на каждом выводе питания и конденсатора 10 мкФ на источнике питания. AD7606/AD7606-6/AD7606-4 могут работать с внутренним опорным сигналом или с внешним опорным сигналом. В данной конфигурации AD7606 настроен на работу с внутренним эталоном. При использовании одного устройства AD7606/AD7606-6/ AD7606-4 на плате вывод REFIN/REFOUT должен быть развязан конденсатором 10 мкФ. При использовании нескольких устройств AD7606/AD7606-6/AD7606-4 обратитесь к разделу

4 devices. The REFCAPA and REFCAPB pins are shorted together and decoupled with a 10 μ F ceramic capacitor	"Внутренний/внешний эталон". Выводы REFCAPA и REFCAPB закорочены вместе и развязаны керамическим конденсатором 10 мкФ.
The V _{DRIVE} supply is connected to the same supply as the processor. The V _{DRIVE} voltage controls the voltage value of the output logic signals. For layout, decoupling, and grounding hints, see the Layout Guidelines section.	Питание V _{DRIVE} подключается к тому же источнику, что и процессор. Напряжение V _{DRIVE} управляет значением напряжения выходных логических сигналов. Рекомендации по компоновке, развязке и заземлению см. в разделе "Рекомендации по компоновке".
After supplies are applied to the AD7606/AD7606-6/AD7606-4, a reset should be applied to the AD7606/AD7606-6/AD7606-4 to ensure that it is configured for the correct mode of operation.	После подачи питания на AD7606/AD7606-6/AD7606-4 следует выполнить сброс, чтобы убедиться, что AD7606/AD7606-6/AD7606-4 настроен на правильный режим работы.



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN (PIN 1, PIN 37, PIN 38, PIN 48). DECOUPLING CAPACITOR CAN BE SHARED BETWEEN AV_{CC} PIN 37 AND PIN 38.

²DECOUPLING SHOWN ON THE REGCAP PIN APPLIES TO EACH REGCAP PIN (PIN 36, PIN 39).

Figure 43. AD7606 Typical Connection Diagram / Типовая схема подключения AD7606

POWER-DOWN MODES / РЕЖИМЫ ОТКЛЮЧЕНИЯ ПИТАНИЯ

Two power-down modes are available on the AD7606/AD7606-6/ AD7606-4: standby mode and shutdown mode. The STBY pin controls whether the AD7606/AD7606-6/AD7606-4 are in normal mode or in one of the two power-down modes.	Для AD7606/AD7606-6/ AD7606-4 доступны два режима отключения питания: режим ожидания и режим выключения. Вывод STBY управляет тем, находится ли AD7606/AD7606-6/AD7606-4 в нормальном режиме или в одном из двух режимов отключения питания.
The power-down mode is selected through the state of the RANGE pin when the STBY pin is low. Table 7 shows the configurations required to choose the desired power-down mode. When the AD7606/AD7606-6/AD7606-4 are placed in standby mode, the current consumption is 8 mA maximum and power-up time is approximately 100 µs because the capacitor on the REFCAPA and REFCAPB pins must charge up. In standby mode, the on-chip reference and regulators remain powered up, and the amplifiers and ADC core are powered down.	Режим отключения питания выбирается по состоянию вывода RANGE при низком уровне на выводе STBY. В таблице 7 приведены конфигурации, необходимые для выбора нужного режима отключения питания. Когда AD7606/AD7606-6/AD7606-4 переведены в режим ожидания, потребляемый ток составляет не более 8 мА, а время включения питания - около 100 мкс, поскольку конденсатор на выводах REFCAPA и REFCAPB должен зарядиться. В режиме ожидания эталон и регуляторы на кристалле остаются включенными, а питание усилителей и ядра АЦП отключается.
When the AD7606/AD7606-6/AD7606-4 are placed in shutdown mode, the current consumption is 6 µA maximum and power-up time is approximately 13 ms (external reference mode). In shut-down mode, all circuitry is powered down. When the AD7606/AD7606-6/AD7606-4 are powered up from shutdown mode, a RESET signal must be applied to the AD7606/AD7606-6/AD7606-4 after the required power-up time has elapsed.	Когда AD7606/AD7606-6/AD7606-4 переходят в режим отключения, потребляемый ток составляет не более 6 мкА, а время включения питания - около 13 мс (режим внешнего эталона). В режиме выключения питание отключается на всех схемах. При включении питания AD7606/AD7606-6/AD7606-4 из режима выключения необходимо подать сигнал RESET на AD7606/AD7606-6/AD7606-4 после истечения требуемого времени включения питания.

Table 7. Power-Down Mode Selection / Выбор режима отключения питания

Power-Down Mode	STBY	RANGE
Standby / В режиме ожидания	0	1
Shutdown / Выключение	0	0

CONVERSION CONTROL / УПРАВЛЕНИЕ ПРЕОБРАЗОВАНИЕМ

Simultaneous Sampling on All Analog Input Channels / Одновременная выборка по всем каналам аналогового ввода

The AD7606/AD7606-6/AD7606-4 allow simultaneous sampling of all analog input channels. All channels are sampled simultaneously when both CONVST pins (CONVST A, CONVST B) are tied together. A single CONVST signal is used to control both CONVST x inputs. The rising edge of this common CONVST signal initiates simultaneous sampling on all analog input channels (V1 to V8 for the AD7606, V1 to V6 for the AD7606-6, and V1 to V4 for the AD7606-4).	AD7606/AD7606-6/AD7606-4 обеспечивают одновременную выборку всех каналов аналогового ввода. Все каналы дискретизируются одновременно, когда оба вывода CONVST (CONVST A, CONVST B) связаны вместе. Один сигнал CONVST используется для управления обоими входами CONVST x. Восходящий фронт этого общего сигнала CONVST инициирует одновременную выборку по всем аналоговым входным каналам (V1 - V8 для AD7606, V1 - V6 для AD7606-6 и V1 - V4 для AD7606-4).
The AD7606 contains an on-chip oscillator that is used to perform the conversions. The conversion time for all ADC channels is t _{CONV} . The BUSY signal indicates to the user when conversions are in progress, so when the rising edge of CONVST is applied, BUSY goes logic high and transitions low at the end of the entire conversion process. The falling edge of the BUSY signal is used to place all eight track-and-hold amplifiers back into track mode. The falling edge of BUSY also indicates that the new data can now be read from the parallel bus (DB[15:0]), the DOUTA and DOUTB serial data lines, or the parallel byte bus, DB[7:0].	AD7606 содержит встроенный в микросхему генератор, который используется для выполнения преобразований. Время преобразования для всех каналов АЦП равно t _{CONV} . Сигнал BUSY указывает пользователю, когда выполняется преобразование, поэтому при подаче нарастающего фронта CONVST сигнал BUSY становится логически высоким и переходит в низкий уровень по окончании всего процесса преобразования. Падающий фронт сигнала BUSY используется для возврата всех восьми усилителей слежения и удержания в режим слежения. Падающий фронт BUSY также указывает, что теперь новые данные могут быть считаны с параллельной шины (DB[15:0]), последовательных линий данных DOUTA и DOUTB или параллельной байтовой шины DB[7:0].

Simultaneously Sampling Two Sets of Channels / Одновременная выборка двух наборов каналов

The AD7606/AD7606-6/AD7606-4 also allow the analog input channels to be sampled simultaneously in two sets. This can be used in power-line protection and measurement systems to compensate for phase differences introduced by PT and CT transformers. In a 50 Hz system, this allows for up to 9° of phase compensation; and in a 60 Hz system, it allows for up to 10° of phase compensation.	AD7606/AD7606-6/AD7606-4 также позволяют осуществлять одновременную выборку аналоговых входных каналов в двух наборах. Это может быть использовано в системах защиты и измерения параметров линий электропередачи для компенсации разности фаз, вносимой трансформаторами РТ и СТ. В системе 50 Гц это позволяет компенсировать до 9° фазы, а в системе 60 Гц - до 10° фазы.
This is accomplished by pulsing the two CONVST pins independently and is possible only if oversampling is not in use. CONVST A is used to initiate simultaneous sampling of the first set of channels (V1 to V4 for the AD7606, V1 to V3 for the AD7606-6, and V1 and V2 for the AD7606-4); and CONVST B is used to initiate simultaneous sampling on the second set of analog input channels (V5 to V8 for the AD7606, V4 to V6 for the AD7606-6, and V3 and V4 for the AD7606-4), as illustrated in Figure 44. On the rising edge of CONVST A, the track-and-hold amplifiers for the first set of channels are placed into hold mode. On the rising edge of CONVST B, the track-and-hold amplifiers for the second set of channels are placed into hold mode. The conversion process begins once both rising edges of CONVST x have occurred; therefore BUSY goes high on the rising edge of the later CONVST x signal. In Table 3, Time t ₅ indicates the maximum allowable time between CONVST x sampling points.	Это достигается путем подачи импульсов на два контакта CONVST независимо друг от друга и возможно только в том случае, если передискретизация не используется. CONVST A используется для инициирования одновременной выборки первого набора каналов (V1 - V4 для AD7606, V1 - V3 для AD7606-6 и V1 и V2 для AD7606-4); а CONVST B используется для инициирования одновременной выборки второго набора каналов аналогового ввода (V5 - V8 для AD7606, V4 - V6 для AD7606-6 и V3 и V4 для AD7606-4), как показано на рисунке 44. По нарастающему фронту сигнала CONVST A усилители слежения и удержания для первого набора каналов переходят в режим удержания. По нарастающему фронту сигнала CONVST B следящие усилители второго набора каналов переходят в режим удержания. Процесс преобразования начинается, как только произойдут оба нарастающих фронта сигнала CONVST x; поэтому BUSY становится высоким по нарастающему фронту более позднего сигнала CONVST x. В таблице 3 время t ₅ обозначает максимально допустимое время между точками выборки CONVST x.

There is no change to the data read process when using two separate CONVST x signals.	При использовании двух отдельных сигналов CONVST x процесс считывания данных не меняется.
Connect all unused analog input channels to AGND. The results for any unused channels are still included in the data read because all channels are always converted.	Подключите все неиспользуемые каналы аналогового ввода к AGND. Результаты по неиспользуемым каналам все равно включаются в считанные данные, поскольку все каналы всегда преобразуются.

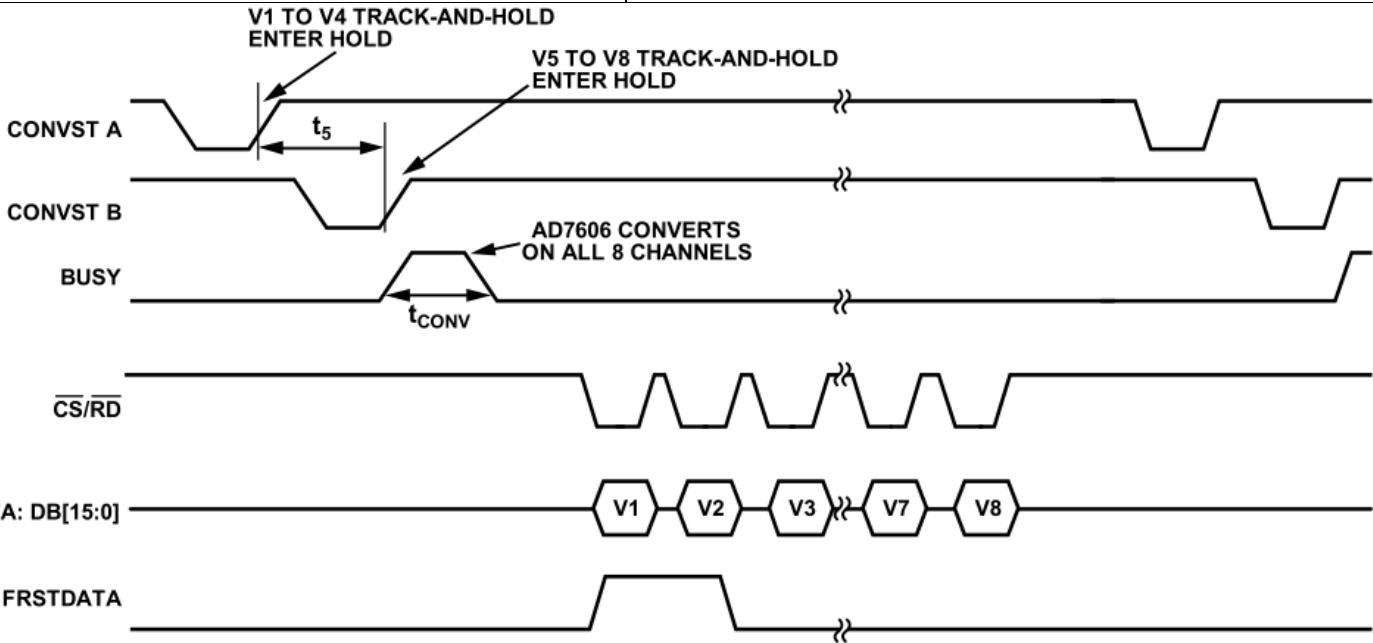


Figure 44. AD7606 Simultaneous Sampling on Channel Sets While Using Independent CONVST A and CONVST B Signals—Parallel Mode / AD7606 Одновременная выборка по наборам каналов при использовании независимых сигналов CONVST A и CONVST B - параллельный режим

DIGITAL INTERFACE / ЦИФРОВОЙ ИНТЕРФЕЙС

The AD7606/AD7606-6/AD7606-4 provide three interface options: a parallel interface, a high speed serial interface, and a parallel byte interface. The required interface mode is selected via the PAR/SER/BYTE SEL and DB15/BYTE SEL pins.

AD7606/AD7606-6/AD7606-4 предоставляют три варианта интерфейса: параллельный интерфейс, высокоскоростной последовательный интерфейс и параллельный байтовый интерфейс. Выбор нужного режима интерфейса осуществляется с помощью выводов PAR/SER/BYTE SEL и DB15/BYTE SEL.

Table 8. Interface Mode Selection / Выбор режима интерфейса

PAR/SER/BYTE SEL	DB15	Interface Mode
0	0	Parallel interface mode
1	0	Serial interface mode
1	1	Parallel byte interface mode

Operation of the interface modes is discussed in the following sections.	Работа режимов интерфейса рассматривается в следующих разделах
--	--

PARALLEL INTERFACE (PAR/SER/BYTE SEL = 0) / ПАРАЛЛЕЛЬНЫЙ ИНТЕРФЕЙС (PAR/SER/BYTE SEL = 0)

Data can be read from the AD7606/AD7606-6/AD7606-4 via the parallel data bus with standard CS and RD signals. To read the data over the parallel bus, the PAR/SER/BYTE SEL pin should be tied low. The CS and RD input signals are internally gated to enable the conversion result onto the data bus. The data lines, DB15 to DBO, leave their high impedance state when both CS and RD are logic low.	Данные могут быть считаны из AD7606/AD7606-6/AD7606-4 через параллельную шину данных с помощью стандартных сигналов CS и RD. Для считывания данных по параллельнойшине вывод PAR/SER/BYTE SEL должен быть привязан к низкому уровню. Входные сигналы CS и RD имеют внутреннее стробирование для передачи результата преобразования на шину данных. Линии данных, DB15 - DBO, выходят из своего высокоимпедансного состояния, когда CS и RD находятся в логически низком состоянии.
---	--

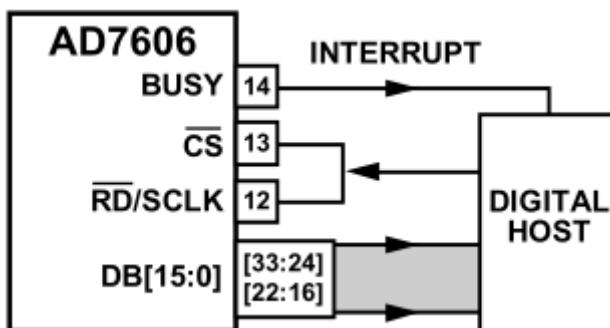


Figure 45. AD7606 Interface Diagram—One AD7606 Using the Parallel Bus, with CS and RD Shorted Together / Диаграмма интерфейса AD7606 - один AD7606 с использованием параллельной шины, с замыканием CS и RD вместе

The rising edge of the CS input signal three-states the bus, and the falling edge of the CS input signal takes the bus out of the high impedance state. CS is the control signal that enables the data lines; it is the function that allows multiple AD7606/ AD7606-6/ AD7606-4 devices to share the same parallel data bus.	Восходящий фронт входного сигнала CS переводит шину в трехкратное состояние, а нисходящий фронт входного сигнала CS выводит шину из высокоимпедансного состояния. CS - это управляющий сигнал, который разрешает работу линий данных; именно эта функция позволяет нескольким устройствам AD7606/ AD7606-6/ AD7606-4 совместно использовать одну и ту же параллельную шину данных.
The CS signal can be permanently tied low, and the RD signal can be used to access the conversion results as shown in Figure 4. A read operation of new data can take place after the BUSY signal goes low (see Figure 2); or, alternatively, a read operation of data from the previous conversion process can take place while BUSY is high (see Figure 3).	Сигнал CS может быть постоянно привязан к низкому уровню, а сигнал RD может использоваться для доступа к результатам преобразования, как показано на рисунке 4. Операция чтения новых данных может выполняться после того, как сигнал BUSY станет низким (см. рис. 2); или, в качестве альтернативы, операция чтения данных из предыдущего процесса преобразования может выполняться, пока BUSY находится на высоком уровне (см. рис. 3).
The RD pin is used to read data from the output conversion results register. Applying a sequence	Вывод RD используется для чтения данных из выходного регистра результатов преобразования. Последовательность

<p>of RD pulses to the RD pin of the AD7606/AD7606-6/AD7606-4 clocks the conversion results out from each channel onto the Parallel Bus DB[15:0] in ascending order. The first RD falling edge after BUSY goes low clocks out the conversion result from Channel V1. The next RD falling edge updates the bus with the V2 conversion result, and so on. On the AD7606, the eighth falling edge of RD clocks out the conversion result for Channel V8.</p>	<p>импульсов RD на вывод RD AD7606/AD7606-6/AD7606-4 выводит результаты преобразования из каждого канала на параллельную шину DB[15:0] в порядке возрастания. Первый спадающий фронт RD после перехода BUSY в низкий уровень выводит результат преобразования из канала V1. Следующий спадающий фронт RD обновляет шину результатами преобразования канала V2 и так далее. В AD7606 восьмой спадающий фронт RD выводит результат преобразования для канала V8.</p>
<p>When the RD signal is logic low, it enables the data conversion result from each channel to be transferred to the digital host (DSP, FPGA).</p>	<p>Когда сигнал RD имеет логический низкий уровень, он позволяет передать результат преобразования данных из каждого канала в цифровой хост (DSP, FPGA).</p>
<p>When there is only one AD7606/AD7606-6/AD7606-4 in a system/board and it does not share the parallel bus, data can be read using just one control signal from the digital host. The CS and RD signals can be tied together, as shown in Figure 5. In this case, the data bus comes out of three-state on the falling edge of CS/RD. The combined CS and RD signal allows the data to be clocked out of the AD7606/AD7606-6/AD7606-4 and to be read by the digital host. In this case, CS is used to frame the data transfer of each data channel.</p>	<p>Если в системе/плате имеется только один AD7606/AD7606-6/AD7606-4 и он не использует общую параллельную шину, данные можно считывать с помощью только одного управляющего сигнала от цифрового хоста. Сигналы CS и RD могут быть связаны вместе, как показано на рисунке 5. В этом случае шина данных выходит из трехсостояния по спадающему фронту CS/RD. Объединенный сигнал CS и RD позволяет выводить данные из AD7606/AD7606-6/AD7606-4 и считывать их с цифрового хоста. В этом случае CS используется для формирования кадра передачи данных каждого канала данных.</p>

PARALLEL BYTE (PAR/SER/BYTE SEL = 1, DB15 = 1) / ПАРАЛЛЕЛЬНЫЙ БАЙТ (PAR/SER/BYTE SEL = 1, DB15 = 1)

<p>Parallel byte interface mode operates much like the parallel interface mode, except that each channel conversion result is read out in two 8-bit transfers. Therefore, 16 RD pulses are required to read all eight conversion results from the AD7606. For the AD7606-6, 12 RD pulses are required; and on the AD7606-4, eight RD pulses are required to read all the channel results.</p>	<p>Режим параллельного байтового интерфейса работает так же, как и режим параллельного интерфейса, за исключением того, что результат преобразования каждого канала считывается двумя 8-битными передачами. Поэтому для считывания всех восьми результатов преобразования из AD7606 требуется 16 импульсов RD. Для AD7606-6 требуется 12 RD-импульсов, а для AD7606-4 - восемь RD-импульсов для считывания результатов всех каналов.</p>
<p>To configure the AD7606/AD7606-6/AD7606-4 to operate in parallel byte mode, the PAR/SER/BYTE SEL and BYTE SEL/DB15 pins should be tied to logic high (see Table 8). In parallel byte mode, DB[7:0] are used to transfer the data to the digital host. DB0 is the LSB of the data transfer, and DB7 is the MSB of the data transfer. In parallel byte mode, DB14 acts as an HBEN pin. When DB14/HBEN is tied to logic high, the most significant byte (MSB) of the conversion result is output first, followed by the LSB of the conversion result. When DB14 is tied to logic low, the LSB of the conversion result is output first, followed by the MSB of the conversion result. The FRSTDATA pin remains high until the entire 16 bits of the conversion result from V1 are read from the AD7606/AD7606-6/AD7606-4.</p>	<p>Чтобы настроить AD7606/AD7606-6/AD7606-4 на работу в параллельном байтовом режиме, выводы PAR/SER/BYTE SEL и BYTE SEL/DB15 должны быть привязаны к логическому высокому уровню (см. таблицу 8). В параллельном байтовом режиме для передачи данных на цифровой хост используются DB[7:0]. DB0 - это LSB передачи данных, а DB7 - MSB передачи данных. В режиме параллельных байтов DB14 выполняет функцию вывода HBEN. Когда DB14/HBEN связан с логическим высоким уровнем, сначала выводится старший байт (MSB) результата преобразования, а затем LSB результата преобразования. Если DB14 связан с логическим низким уровнем, сначала выводится LSB результата преобразования, а затем MSB результата преобразования. Вывод FRSTDATA остается высоким до тех пор, пока все 16 бит результата преобразования из V1 не будут считаны из AD7606/AD7606-6/AD7606-4.</p>

SERIAL INTERFACE (PAR/SER/BYTE SEL = 1) / ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС (PAR/SER/BYTE SEL = 1)

<p>To read data back from the AD7606 over the serial interface, the PAR/SER/BYTE SEL pin must be tied high. The CS and SCLK signals are used to transfer data from the AD7606. The AD7606/AD7606-6/AD7606-4 have two serial data output pins, D_{OUT}A and D_{OUT}B. Data can be read back from the AD7606/AD76706-6/AD7606-4 using one or both of these D_{OUT} lines. For the AD7606, conversion results from Channel V1 to Channel V4 first appear on D_{OUT}A, and conversion results from Channel V5 to Channel V8 first appear on D_{OUT}B. For the AD7606-6, conversion results from Channel V1 to Channel V3 first appear on D_{OUT}A, and conversion results from Channel V4 to Channel V6 first appear on D_{OUT}B. For the AD7606-4, conversion results from Channel V1 and Channel V2 first appear on D_{OUT}A, and conversion results from Channels V3 and Channel V4 first appear on D_{OUT}B.</p>	<p>Чтобы считать данные с AD7606 по последовательному интерфейсу, вывод PAR/SER/BYTE SEL должен быть связан с высоким уровнем. Сигналы CS и SCLK используются для передачи данных из AD7606. AD7606/AD7606-6/AD7606-4 имеют два вывода последовательного вывода данных, D_{OUT}A и D_{OUT}B. Данные могут быть считаны из AD7606/AD76706-6/AD7606-4 с помощью одной или обеих линий D_{OUT}. Для AD7606 результаты преобразования с канала V1 по канал V4 сначала появляются на D_{OUT}A, а результаты преобразования с канала V5 по канал V8 - на D_{OUT}B. Для AD7606-6 результаты преобразования с канала V1 на канал V3 сначала выводятся на D_{OUT}A, а результаты преобразования с канала V4 на канал V6 сначала выводятся на D_{OUT}B. Для AD7606-4 результаты преобразования каналов V1 и V2 сначала появляются на D_{OUT}A, а результаты преобразования каналов V3 и V4 - на D_{OUT}B.</p>
<p>The CS falling edge takes the data output lines, D_{OUT}A and D_{OUT}B, out of three-state and clocks out the MSB of the conversion result. The rising edge of SCLK clocks all subsequent data bits onto the serial data outputs, D_{OUT}A and D_{OUT}B. The CS input can be held low for the entire serial read operation, or it can be pulsed to frame each channel read of 16 SCLK cycles. Figure 46 shows a read of eight simultaneous conversion results using two D_{OUT} lines on the AD7606. In this case, a 64 SCLK transfer is used to access data from the AD7606, and CS is held low to frame the entire 64 SCLK cycles. Data can also be clocked out using just one D_{OUT} line, in which case it is recommended that D_{OUT}A be used to access all conversion data because the channel data is output in ascending order. For the AD7606 to access all eight conversion results on one D_{OUT} line, a total of 128 SCLK cycles is required. These 128 SCLK cycles can be framed by one CS signal, or each group of 16 SCLK cycles can be individually framed by the CS signal. The disadvantage of using just one D_{OUT} line is that the throughput rate is reduced if reading occurs after conversion. The unused D_{OUT} line should be left unconnected in serial mode. For the AD7606, if D_{OUT}B is to be used as a single D_{OUT} line, the channel results are output in the following order: V5, V6, V7, V8, V1, V2, V3, and V4; however, the FRSTDATA indicator returns low after V5 is read on D_{OUT}B. For the AD7606-6 and the AD7606-4, if D_{OUT}B is to be used as a single D_{OUT} line, the channel results are output in the following order: V4, V5, V6, V1, V2, and V3 for the AD7606-6; and V3, V4, V1, and V2 for the AD7606-4.</p>	<p>Падающий фронт сигнала CS выводит выходные линии данных, D_{OUT}A и D_{OUT}B, из трехсостояния и зачисляет MSB результата преобразования. По нарастающему фронту сигнала SCLK все последующие биты данных поступают на выходы последовательных данных D_{OUT}A и D_{OUT}B. Вход CS может удерживаться в низком уровне в течение всей операции последовательного считывания, или может подаваться импульс для обрамления каждого канала считывания в 16 циклов SCLK. На рисунке 46 показано считывание восьми результатов одновременного преобразования с использованием двух линий D_{OUT} на AD7606. В этом случае для доступа к данным из AD7606 используется передача 64 SCLK, а CS удерживается в низком уровне, чтобы кадрировать все 64 цикла SCLK. Данные также могут выводиться с использованием только одной линии D_{OUT}, в этом случае рекомендуется использовать D_{OUT}A для доступа ко всем данным преобразования, поскольку данные канала выводятся в порядке возрастания. Чтобы AD7606 мог получить доступ ко всем восьми результатам преобразования по одной линии D_{OUT}, требуется в общей сложности 128 циклов SCLK. Эти 128 циклов SCLK могут быть обрамлены одним сигналом CS, или каждая группа из 16 циклов SCLK может быть обрамлена сигналом CS по отдельности. Недостатком использования только одной линии D_{OUT} является снижение пропускной способности, если считывание происходит после преобразования. В последовательном режиме неиспользуемую линию D_{OUT} следует оставить неподключенной. Для AD7606, если D_{OUT}B используется как одна линия D_{OUT}, результаты работы канала выводятся в следующем порядке: V5, V6, V7, V8, V1, V2, V3 и V4; однако индикатор FRSTDATA возвращает низкий уровень после считывания V5 на D_{OUT}B. Для AD7606-6 и AD7606-4, если D_{OUT}B используется как одна линия D_{OUT}, результаты канала выводятся в следующем порядке: V4, V5, V6, V1, V2 и V3 для AD7606-6; и V3, V4, V1 и V2 для AD7606-4.</p>
<p>Figure 6 shows the timing diagram for reading one channel of data, framed by the CS signal, from the AD7606/AD7606-6/ AD7606-4 in serial</p>	<p>На рисунке 6 показана временная диаграмма чтения одного канала данных, обрамленного сигналом CS, из AD7606/AD7606-6/ AD7606-4 в последовательном режиме.</p>

mode. The SCLK input signal provides the clock source for the serial read operation. The CS goes low to access the data from the AD7606/AD7606-6/AD7606-4	Входной сигнал SCLK служит источником тактового сигнала для операции последовательного чтения. Сигнал CS становится низким для доступа к данным из AD7606/AD7606-6/AD7606-4.
The falling edge of CS takes the bus out of three-state and clocks out the MSB of the 16-bit conversion result. This MSB is valid on the first falling edge of the SCLK after the CS falling edge. The subsequent 15 data bits are clocked out of the AD7606/AD7606-6/AD7606-4 on the SCLK rising edge. Data is valid on the SCLK falling edge. To access each conversion result, 16 clock cycles must be provided to the AD7606/AD7606-6/AD7606-4.	Падающий фронт CS выводит шину из трехсостояния и выводит MSB 16-битного результата преобразования. Этот MSB становится действительным по первому спадающему фронту SCLK после спадающего фронта CS. Последующие 15 битов данных выводятся из AD7606/AD7606-6/AD7606-4 по нарастающему фронту SCLK. Данные становятся действительными по спадающему фронту SCLK. Для доступа к каждому результату преобразования необходимо предоставить AD7606/AD7606-6/AD7606-4 16 тактов.
The FRSTDATA output signal indicates when the first channel, V1, is being read back. When the CS input is high, the FRSTDATA output pin is in three-state. In serial mode, the falling edge of CS takes FRSTDATA out of three-state and sets the FRSTDATA pin high, indicating that the result from V1 is available on the D _{OUT} A output data line. The FRSTDATA output returns to a logic low following the 16th SCLK falling edge. If all channels are read on D _{OUT} B, the FRSTDATA output does not go high when V1 is being output on this serial data output pin. It goes high only when V1 is available on D _{OUT} A (and this is when V5 is available on D _{OUT} B for the AD7606).	Выходной сигнал FRSTDATA указывает на то, что первый канал, V1, считывается. Когда на входе CS высокий уровень, выходной вывод FRSTDATA находится в трехсостоянии. В последовательном режиме падающий фронт CS выводит FRSTDATA из трехсостояния и устанавливает высокий уровень на выводе FRSTDATA, указывая, что результат из V1 доступен на линии выходных данных D _{OUT} A. Выход FRSTDATA возвращается в состояние логического минимума после 16-го фронта падающего сигнала SCLK. Если все каналы считаются на D _{OUT} B, вывод FRSTDATA не переходит в высокий уровень, когда V1 выводится на этот вывод последовательных данных. Он становится высоким только тогда, когда V1 доступен на D _{OUT} A (это происходит, когда V5 доступен на D _{OUT} B для AD7606).

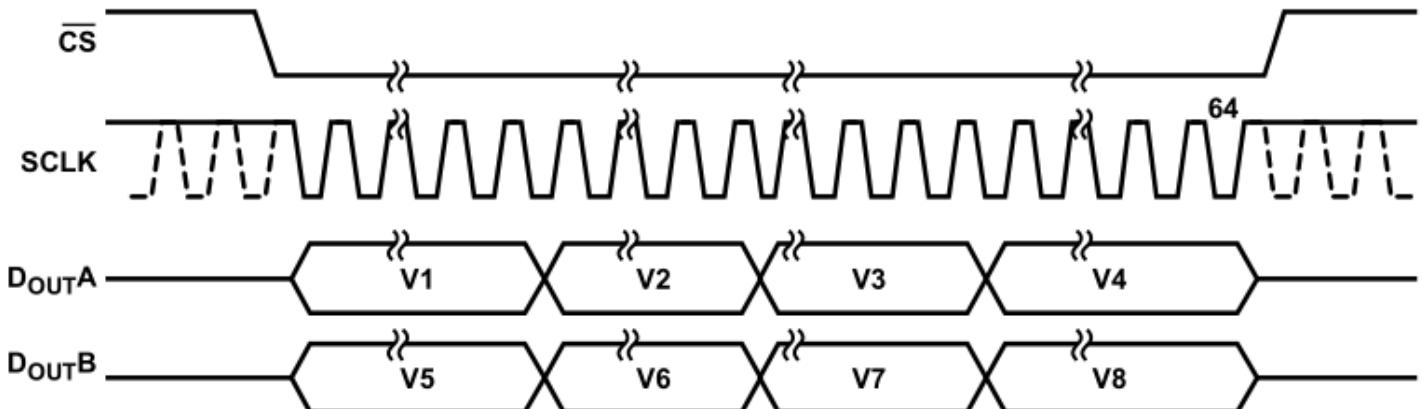


Figure 46. AD7606 Serial Interface with Two DOUT Lines / Последовательный интерфейс AD7606 с двумя линиями DOUT

READING DURING CONVERSION / СЧИТЫВАНИЕ ВО ВРЕМЯ ПРЕОБРАЗОВАНИЯ

Data can be read from the AD7606/AD7606-6/AD7606-4 while BUSY is high and the conversions are in progress. This has little effect on the performance of the converter, and it allows a faster throughput rate to be achieved. A parallel, parallel byte, or serial read can be performed during conversions and when oversampling may or may not be in use. Figure 3 shows the timing diagram for reading while BUSY is high in parallel or serial mode. Reading during conversions allows the full throughput rate to be	Данные можно считывать из AD7606/AD7606-6/AD7606-4, пока BUSY находится на высоком уровне, а преобразования продолжаются. Это мало влияет на производительность преобразователя и позволяет достичь более высокой пропускной способности. Параллельное, параллельное байтовое или последовательное считывание может выполняться во время преобразований, когда передискретизация может использоваться или не использоваться. На рисунке 3 показана временная диаграмма считывания при высоком уровне BUSY в параллельном или последовательном режиме. Считывание во время преобразований позволяет достичь полной пропускной
---	--

achieved when using the serial interface with V_{DRIVE} above 4.75 V.	способности при использовании последовательного интерфейса с V_{DRIVE} выше 4,75 В.
Data can be read from the AD7606 at any time other than on the falling edge of BUSY because this is when the output data registers are updated with the new conversion data. Time t_6 , as outlined in Table 3, should be observed in this condition.	Данные могут быть считаны из AD7606 в любое время, кроме спадающего фронта BUSY, поскольку в это время регистры выходных данных обновляются новыми данными преобразования. В этом случае следует соблюдать время t_6 , указанное в таблице 3.

DIGITAL FILTER / ЦИФРОВОЙ ФИЛЬТР

The AD7606/AD7606-6/AD7606-4 contain an optional digital first-order sinc filter that should be used in applications where slower throughput rates are used or where higher signal-to-noise ratio or dynamic range is desirable. The oversampling ratio of the digital filter is controlled using the oversampling pins, OS [2:0] (see Table 9). OS 2 is the MSB control bit, and OS 0 is the LSB control bit. Table 9 provides the oversampling bit decoding to select the different oversample rates. The OS pins are latched on the falling edge of BUSY. This sets the oversampling rate for the next conversion (see Figure 48). In addition to the oversampling function, the output result is decimated to 16-bit resolution.	AD7606/AD7606-6/AD7606-4 содержат дополнительный цифровой синфазный фильтр первого порядка, который следует использовать в приложениях, где используется более низкая пропускная способность или желательно более высокое отношение сигнал/шум или динамический диапазон. Коэффициент передискретизации цифрового фильтра регулируется с помощью контактов передискретизации OS [2:0] (см. таблицу 9). OS 2 - это управляющий бит MSB, а OS 0 - управляющий бит LSB. В таблице 9 приведена расшифровка битов передискретизации для выбора различных частот передискретизации. Штырьки OS защелкиваются по спадающему фронту BUSY. Это устанавливает частоту передискретизации для следующего преобразования (см. Рисунок 48). В дополнение к функции передискретизации выходной результат децимируется до 16-битного разрешения.
--	--

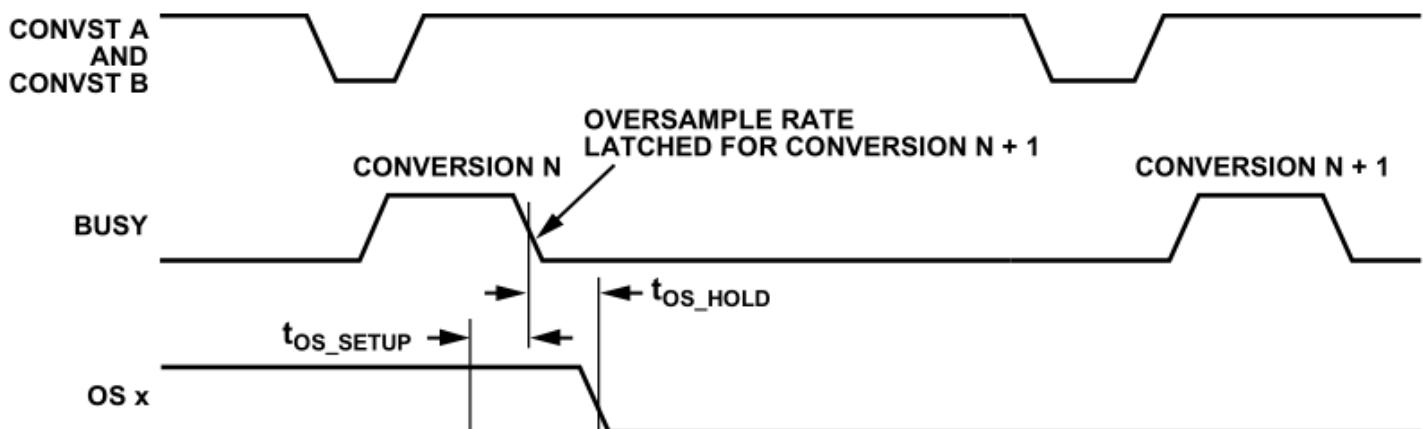


Figure 48. OS x Pin Timing / Тайминг выводов OS x

Table 9. Oversample Bit Decoding / Декодирование битов с передискретизацией

OS[2:0]	OS Ratio	Maximum Throughput CONVST Frequency					
		SNR 5V Range (dB)	SNR 10V Range (dB)	3 dB BW 5V Range (kHz)	3 dB BW 10V Range (kHz)	(kHz)	Максимальная пропускная способность Частота CONVST (кГц)
000	No OS	89	90	15	22	200	
001	2	91.2	92	15	22	100	
010	4	92.6	93.6	13.7	18.5	50	
011	8	94.2	95	10.3	11.9	25	
100	16	95.5	96	6	6	12.5	
101	32	96.4	96.7	3	3	6.25	
110	64	96.9	97	1.5	1.5	3.125	
111	Invalid						

<p>If the OS pins are set to select an OS ratio of eight, the next CONVST x rising edge takes the first sample for each channel, and the remaining seven samples for all channels are taken with an internally generated sampling signal. These samples are then averaged to yield an improvement in SNR performance. Table 9 shows typical SNR performance for both the ± 10 V and the ± 5 V range. As Table 9 shows, there is an improvement in SNR as the OS ratio increases. As the OS ratio increases, the 3 dB frequency is reduced, and the allowed sampling frequency is also reduced. In an application where the required sampling frequency is 10 kSPS, an OS ratio of up to 16 can be used. In this case, the application sees an improvement in SNR, but the input 3 dB bandwidth is limited to ~ 6 kHz.</p>	<p>Если контакты OS установлены для выбора коэффициента OS, равного восьми, то при следующем нарастающем фронте сигнала CONVST x производится первая выборка для каждого канала, а остальные семь выборок для всех каналов берутся с помощью внутреннего сигнала выборки. Затем эти выборки усредняются для улучшения характеристик SNR. В таблице 9 показаны типичные характеристики SNR для диапазона ± 10 В и ± 5 В. Как видно из таблицы 9, SNR улучшается по мере увеличения коэффициента OS. При увеличении коэффициента OS частота 3 дБ уменьшается, и допустимая частота выборки также снижается. В приложении, где требуемая частота выборки составляет 10 кС/с, можно использовать коэффициент OS до 16. В этом случае улучшается SNR, но входная полоса пропускания 3 дБ ограничена ~ 6 кГц.</p>
<p>The CONVST A and CONVST B pins must be tied/driven together when oversampling is turned on. When the over-sampling function is turned on, the BUSY high time for the conversion process extends. The actual BUSY high time depends on the oversampling rate that is selected: the higher the oversampling rate, the longer the BUSY high, or total conversion time (see Table 3).</p>	<p>При включении передискретизации выводы CONVST A и CONVST B должны быть связаны/приведены вместе. При включении функции передискретизации увеличивается время ожидания BUSY для процесса преобразования. Фактическое время BUSY high зависит от выбранной частоты передискретизации: чем выше частота передискретизаци, тем больше время BUSY high или общее время преобразования (см. таблицу 3).</p>

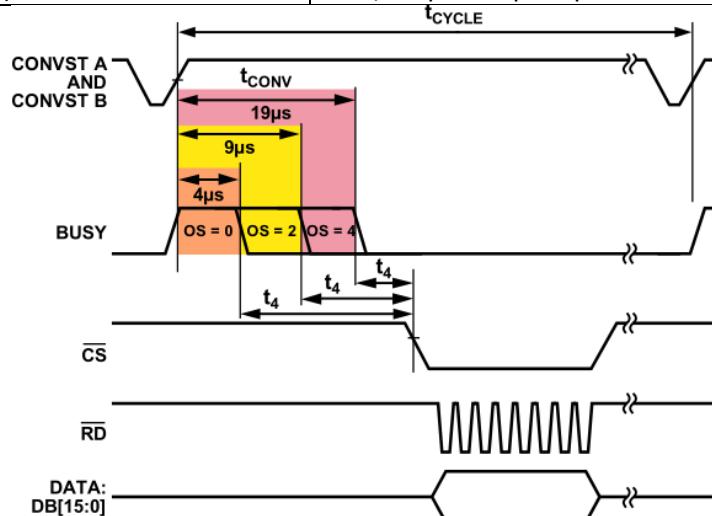


Figure 47. AD7606—No Oversampling, Oversampling $\times 2$, and Oversampling $\times 4$ While Using Read After Conversion / AD7606 - отсутствие передискретизации, передискретизация $\times 2$ и передискретизация $\times 4$ при использовании считывания после преобразования

Figure 47 shows that the conversion time extends as the over-sampling rate is increased, and the BUSY signal lengthens for the different oversampling rates. For example, a sampling frequency of 10 kSPS yields a cycle time of 100 μ s. Figure 47 shows OS $\times 2$ and OS $\times 4$; for a 10 kSPS example, there is adequate cycle time to further increase the oversampling rate and yield greater improvements in SNR performance. In an application where the initial sampling or throughput rate is at 200 kSPS, for example, and oversampling is turned on, the throughput rate must be reduced to accommodate the longer conversion time and to allow for the read. To achieve the fastest throughput rate possible

На рисунке 47 показано, что время преобразования увеличивается по мере увеличения частоты передискретизации, а сигнал BUSY удлиняется для разных частот передискретизации. Например, при частоте дискретизации 10 кС/с время цикла составляет 100 мкс. На рисунке 47 показаны OS $\times 2$ и OS $\times 4$; для примера 10 кС/с время цикла достаточно для дальнейшего увеличения частоты передискретизации и более значительного улучшения характеристик SNR. В приложении, где начальная частота выборки или пропускная способность составляет, например, 200 кС/с, а затем включается передискретизация, пропускная способность должна быть снижена, чтобы учесть более длительное время преобразования и обеспечить возможность считывания. Чтобы достичь максимально возможной скорости передачи данных при включенной

<p>when over-sampling is turned on, the read can be performed during the BUSY high time. The falling edge of BUSY is used to update the output data registers with the new conversion data; therefore, the reading of conversion data should not occur on this edge.</p> <p>Figure 49 to Figure 55 illustrate the effect of oversampling on the code spread in a dc histogram plot. As the oversample rate is increased, the spread of the codes is reduced.</p>	<p>передискретизации, считывание может выполняться во время высокого уровня BUSY. Падающий фронт BUSY используется для обновления регистров выходных данных новыми данными преобразования; поэтому считывание данных преобразования не должно происходить по этому фронту.</p> <p>Рисунки 49 - 55 иллюстрируют влияние передискретизации на распространение кода в виде гистограммы dc. При увеличении частоты передискретизации разброс кодов уменьшается</p>
--	--

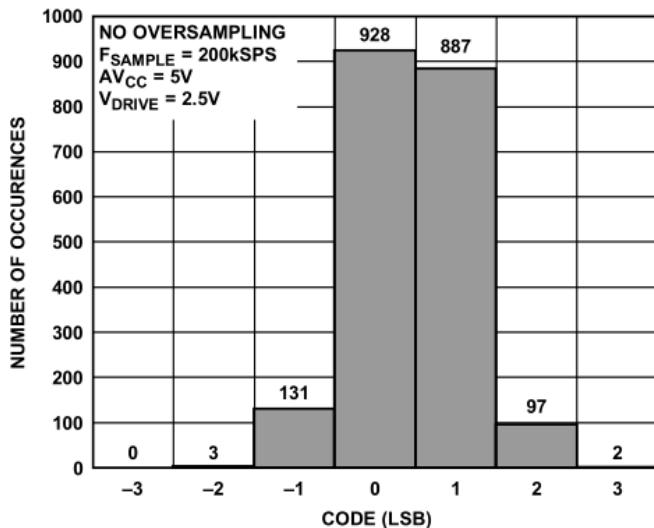


Figure 49. Histogram of Codes—No OS (Six Codes) / Гистограмма кодов - без ОС (шесть кодов)

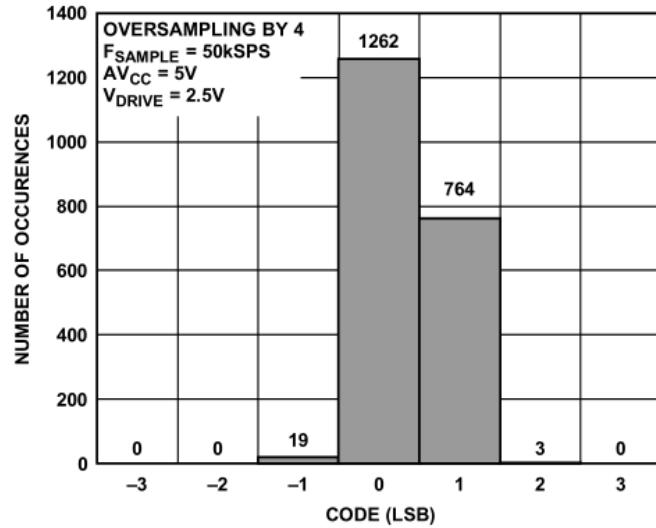


Figure 51. Histogram of Codes—OS × 4 (Four Codes) / Гистограмма кодов-ОС × 4 (четыре кода)

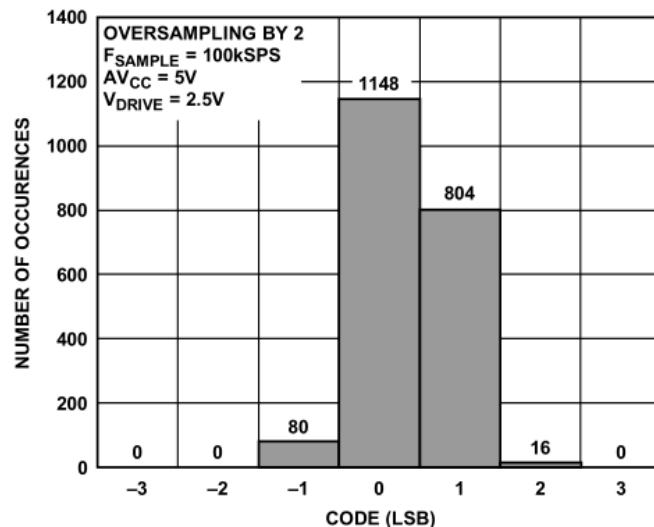


Figure 50. Histogram of Codes—OS × 2 (Four Codes) / Гистограмма кодов-OS × 2 (четыре кода)

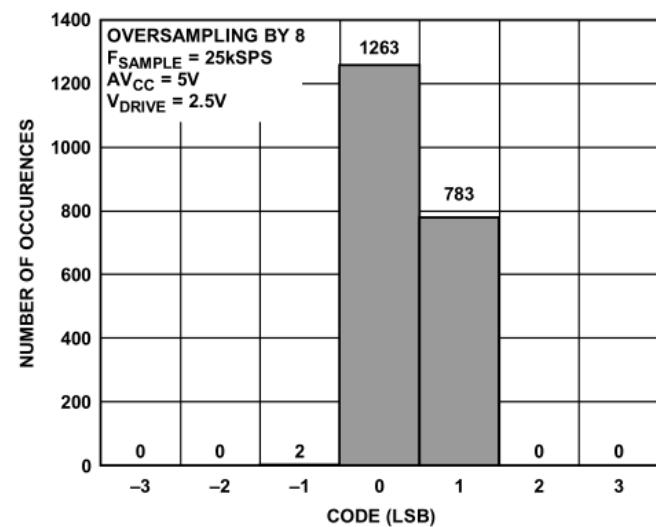


Figure 52. Histogram of Codes—OS × 8 (Three Codes) / Гистограмма кодов-OS × 8 (три кода)

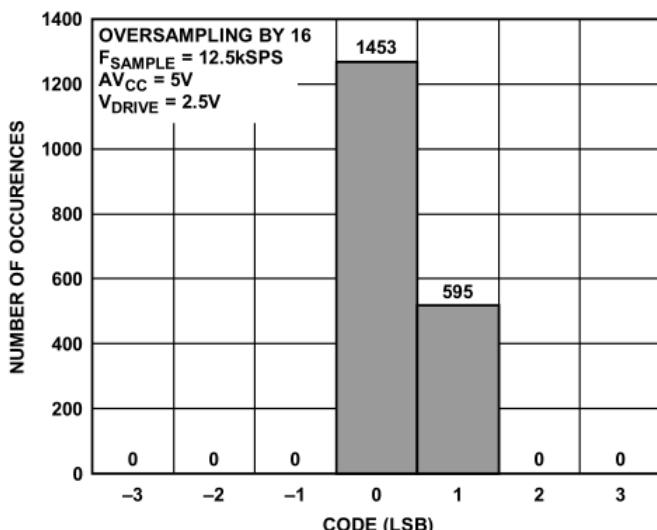


Figure 53. Histogram of Codes—OS × 16 (Two Codes) / Гистограмма кодов-OS × 16 (два кода)

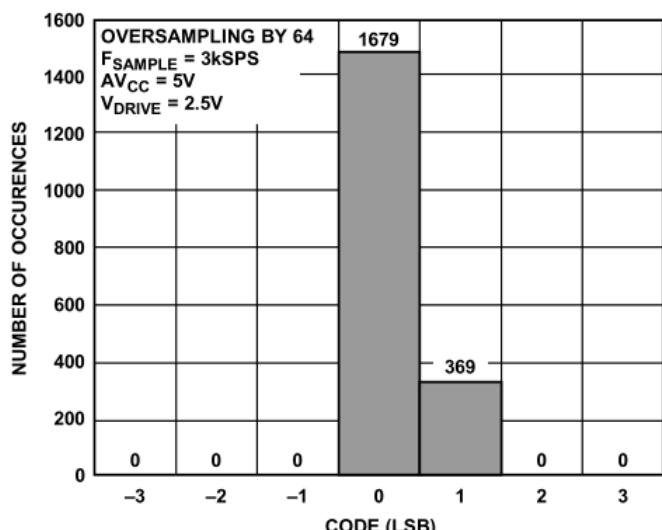


Figure 55. Histogram of Codes—OS × 64 (Two Codes) / Гистограмма кодов-OS × 64 (два кода)

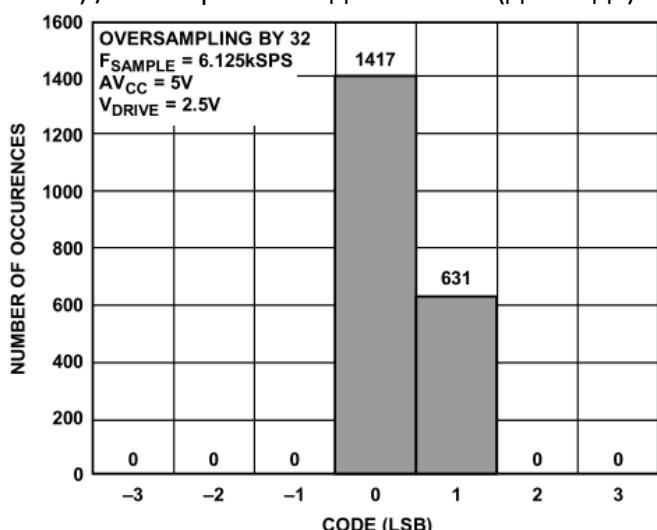


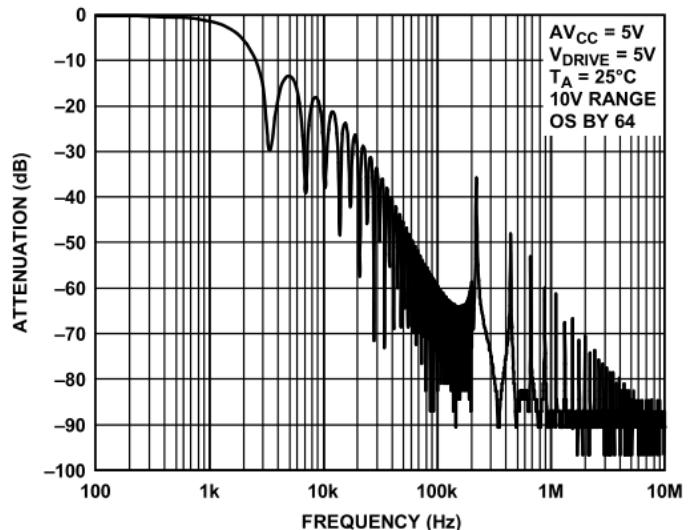
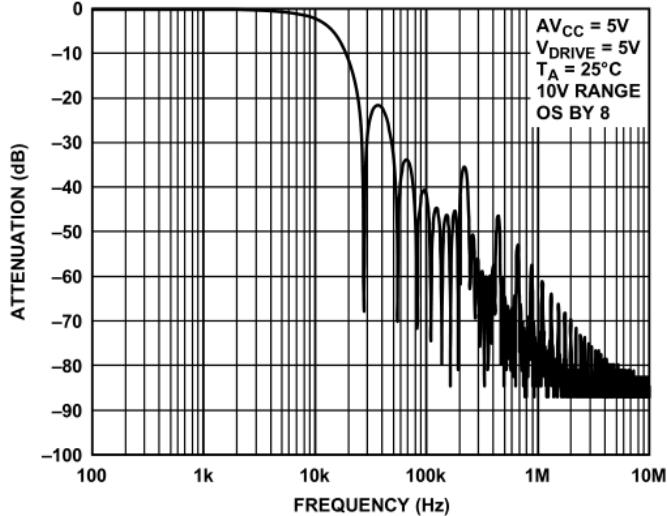
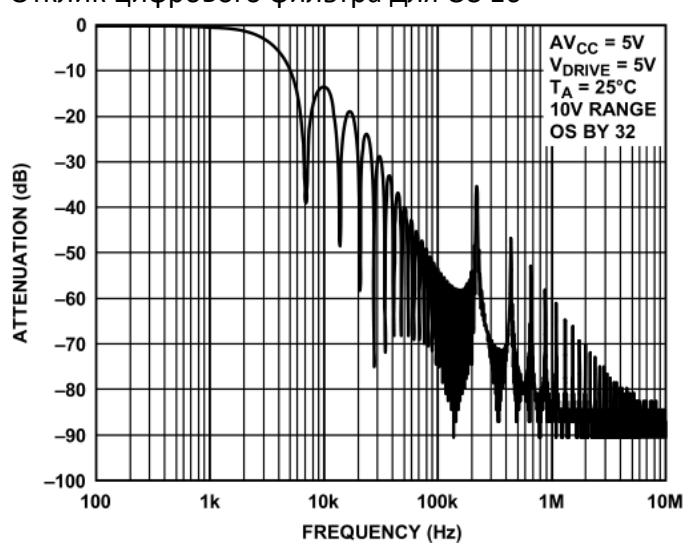
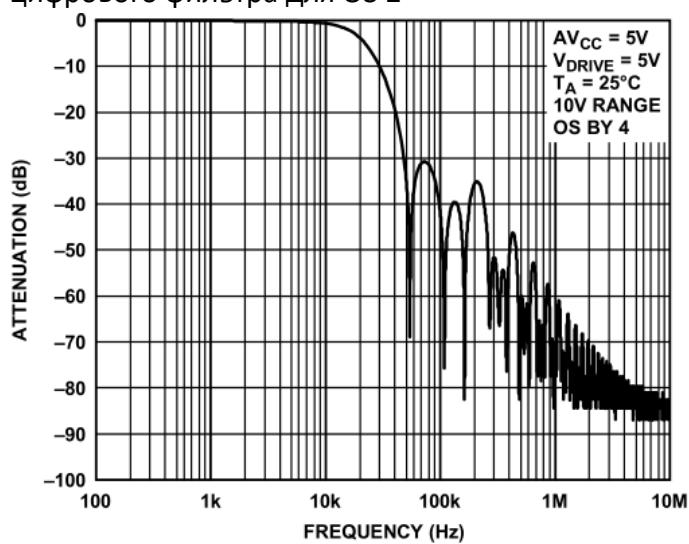
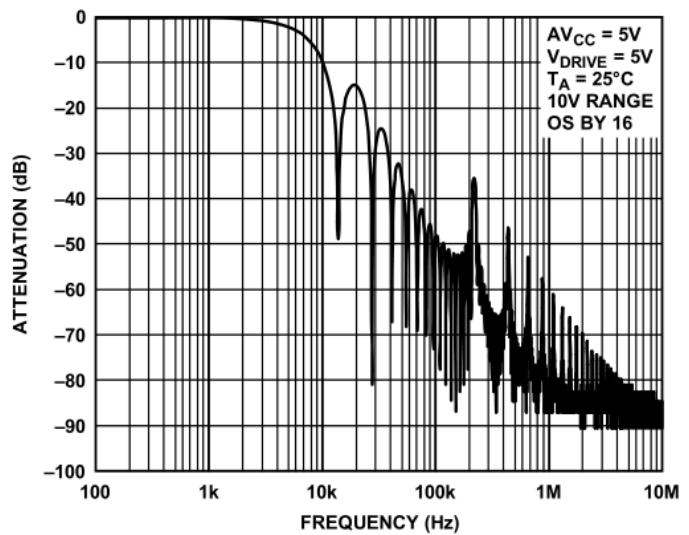
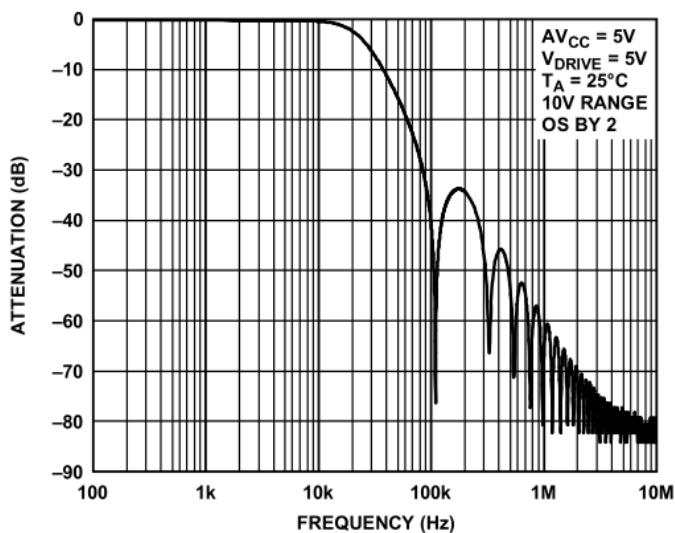
Figure 54. Histogram of Codes—OS × 32 (Two Codes) / Гистограмма кодов-OS × 32 (два кода)

When the oversampling mode is selected for the AD7606/AD7606-6/AD7606-4, it has the effect of adding a digital filter function after the ADC. The different oversampling rates and the CONVST sampling frequency produce different digital filter frequency profiles.

Figure 56 to Figure 61 show the digital filter frequency profiles for the different oversampling rates. The combination of the analog antialiasing filter and the oversampling digital filter can be used to eliminate and reduce the complexity of the design of any filter before the AD7606/AD7606-6/AD7606-4. The digital filtering combines steep roll-off and linear phase response.

Если для AD7606/AD7606-6/AD7606-4 выбран режим передискретизации, это приводит к тому, что после АЦП добавляется функция цифрового фильтра. Различные частоты передискретизации и частота дискретизации CONVST создают различные профили частоты цифрового фильтра.

На рисунках 56 - 61 показаны частотные профили цифрового фильтра для различных частот передискретизации. Комбинация аналогового фильтра сглаживания и цифрового фильтра передискретизации может быть использована для устранения и снижения сложности конструкции любого фильтра перед AD7606/AD7606-6/AD7606-4. Цифровая фильтрация сочетает в себе крутой спад и линейную фазовую характеристику.



LAYOUT GUIDELINES / РЕКОМЕНДАЦИИ ПО ПЛАНИРОВКЕ

The printed circuit board that houses the AD7606/AD7606-6/ AD7606-4 should be designed so that the analog and digital sections are separated and confined to different areas of the board.	Печатная плата, на которой размещены AD7606/AD7606-6/ AD7606-4, должна быть спроектирована таким образом, чтобы аналоговая и цифровая части были разделены и находились в разных областях платы.
At least one ground plane should be used. It can be common or split between the digital and analog sections. In the case of the split plane, the digital and analog ground planes should be joined in only one place, preferably as close as possible to the AD7606/AD7606-6/AD7606-4.	Необходимо использовать как минимум одну плоскость заземления. Она может быть общей или разделенной между цифровой и аналоговой секциями. В случае раздельной плоскости цифровая и аналоговая плоскости заземления должны быть соединены только в одном месте, предпочтительно как можно ближе к AD7606/AD7606-6/AD7606-4.
If the AD7606/AD7606-6/AD7606-4 are in a system where multiple devices require analog-to-digital ground connections, the connection should still be made at only one point: a star ground point that should be established as close as possible to the AD7606/AD7606-6/AD7606-4. Good connections should be made to the ground plane. Avoid sharing one connection for multiple ground pins. Use individual vias or multiple vias to the ground plane for each ground pin.	Если AD7606/AD7606-6/AD7606-4 находятся в системе, где несколько устройств требуют аналого-цифрового соединения с землей, соединение все равно должно быть выполнено только в одной точке: точке заземления звезды, которая должна быть установлена как можно ближе к AD7606/AD7606-6/AD7606-4. Хорошие соединения должны быть выполнены с плоскостью заземления. Избегайте совместного использования одного соединения для нескольких контактов заземления. Для каждого вывода заземления используйте отдельные или несколько проходов к плоскости заземления.
Avoid running digital lines under the devices because doing so couples noise onto the die. The analog ground plane should be allowed to run under the AD7606/AD7606-6/AD7606-4 to avoid noise coupling. Fast switching signals like CONVST A, CONVST B, or clocks should be shielded with digital ground to avoid radiating noise to other sections of the board, and they should never run near analog signal paths. Avoid crossover of digital and analog signals. Traces on layers in close proximity on the board should run at right angles to each other to reduce the effect of feedthrough through the board.	Избегайте прокладки цифровых линий под устройствами, так как это приводит к наводкам на матрицу. Плоскость аналоговой земли должна проходить под AD7606/AD7606-6/AD7606-4, чтобы избежать наводки шума. Сигналы быстрого переключения, такие как CONVST A, CONVST B или часы, должны быть экранированы цифровой землей, чтобы избежать излучения шума на другие участки платы, и они никогда не должны проходить рядом с аналоговыми сигнальными дорожками. Избегайте пересечения цифровых и аналоговых сигналов. Трассы на слоях, расположенных в непосредственной близости на плате, должны проходить под прямым углом друг к другу, чтобы уменьшить эффект прохода через плату.
The power supply lines to the AV _{CC} and V _{DRIVE} pins on the AD7606/AD7606-6/AD7606-4 should use as large a trace as possible to provide low impedance paths and reduce the effect of glitches on the power supply lines. Where possible, use supply planes and make good connections between the AD7606 supply pins and the power tracks on the board. Use a single via or multiple vias for each supply pin.	Линии питания к выводам AV _{CC} и V _{DRIVE} на AD7606/AD7606-6/AD7606-4 должны иметь как можно большую трассу, чтобы обеспечить низкоомный тракт и уменьшить влияние глюков на линии питания. По возможности используйте плоскости питания и делайте хорошие соединения между выводами питания AD7606 и дорожками питания на плате. Используйте один или несколько виа для каждого вывода питания.
Good decoupling is also important to lower the supply impedance presented to the AD7606/AD7606-6/AD7606-4 and to reduce the magnitude of the supply spikes. The decoupling capacitors should be placed close to (ideally, right up against) these pins and their corresponding ground pins. Place the decoupling capacitors for the REFIN/REFOUT pin and the REFCAPA and REFCAPB pins as close as possible to their respective AD7606/ AD7606-6/AD7606-4 pins; and, where possible, they should be placed on the same side of the board as the AD7606 device.	Хорошая развязка также важна для снижения импеданса питания AD7606/AD7606-6/AD7606-4 и уменьшения величины скачков напряжения питания. Развязывающие конденсаторы должны располагаться рядом (в идеале - вплотную) с этими выводами и их соответствующими выводами заземления. Развязывающие конденсаторы для выводов REFIN/REFOUT и выводов REFCAPA и REFCAPB следует размещать как можно ближе к соответствующим выводам AD7606/ AD7606-6/AD7606-4; по возможности их следует размещать на той же стороне платы, что и устройство AD7606.

Figure 62 shows the recommended decoupling on the top layer of the AD7606 board. Figure 63 shows bottom layer decoupling, which is used for the four AVCC pins and the VDRIVE pin decoupling. Where the ceramic 100 nF caps for the AVCC pins are placed close to their respective device pins, a single 100 nF capacitor can be shared between Pin 37 and Pin 38.

На рисунке 62 показана рекомендуемая развязка на верхнем слое платы AD7606. На рисунке 63 показана развязка на нижнем уровне, которая используется для четырех выводов AV_{cc} и развязки вывода V_{DRIVE}. Если керамические конденсаторы 100 нФ для выводов AV_{cc} расположены близко к соответствующим выводам устройства, то между выводами 37 и 38 можно использовать один конденсатор 100 нФ.

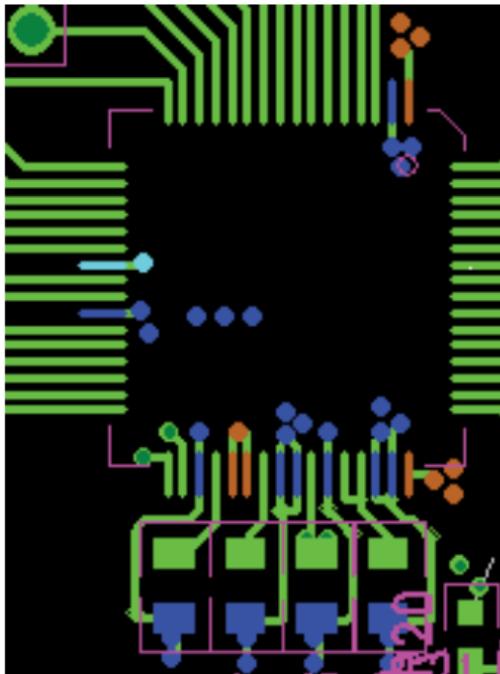


Figure 62. Top Layer Decoupling REFIN/REFOUT, REFCAPA, REFCAPB, and REGCAP Pins / Развязка верхнего слоя контактов REFIN/REFOUT, REFCAPA, REFCAPB и REGCAP

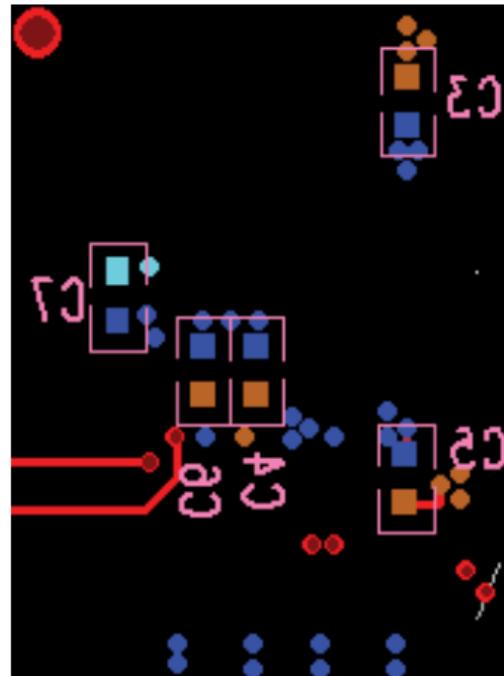


Figure 63. Bottom Layer Decoupling / Развязка нижнего слоя

To ensure good device-to-device performance matching in a system that contains multiple AD7606/AD7606-6/AD7606-4 devices, a symmetrical layout between the AD7606/AD7606-6/AD7606-4 devices is important.

Figure 64 shows a layout with two AD7606/AD7606-6/AD7606-4 devices. The AV_{cc} supply plane runs to the right of both devices, and the VDRIVE supply track runs to the left of the two devices. The reference chip is positioned between the two devices, and the reference voltage track runs north to Pin 42 of U1 and south to Pin 42 of U2. A solid ground plane is used.

These symmetrical layout principles can also be applied to a system that contains more than two AD7606/AD7606-6/AD7606-4 devices. The AD7606/AD7606-6/AD7606-4 devices can be placed in a north-south direction, with the reference voltage located midway between the devices and the reference track running in the north-south direction, similar to Figure 64.

Для обеспечения хорошего согласования производительности между устройствами в системе, содержащей несколько устройств AD7606/AD7606-6/AD7606-4, важно обеспечить симметричную компоновку между устройствами AD7606/AD7606-6/AD7606-4.

На рисунке 64 показана схема с двумя устройствами AD7606/AD7606-6/AD7606-4. Плоскость питания AV_{cc} проходит справа от обоих устройств, а дорожка питания V_{DRIVE} - слева от них. Микросхема опорного напряжения расположена между двумя устройствами, и дорожка опорного напряжения идет на север к выводу 42 U1 и на юг к выводу 42 U2. Используется сплошная плоскость заземления.

Эти принципы симметричной компоновки можно применить и к системе, содержащей более двух устройств AD7606/AD7606-6/AD7606-4. Устройства AD7606/AD7606-6/AD7606-4 можно расположить в направлении север-юг, при этом опорное напряжение будет находиться посередине между устройствами, а опорная дорожка будет проходить в направлении север-юг, как показано на рисунке 64.

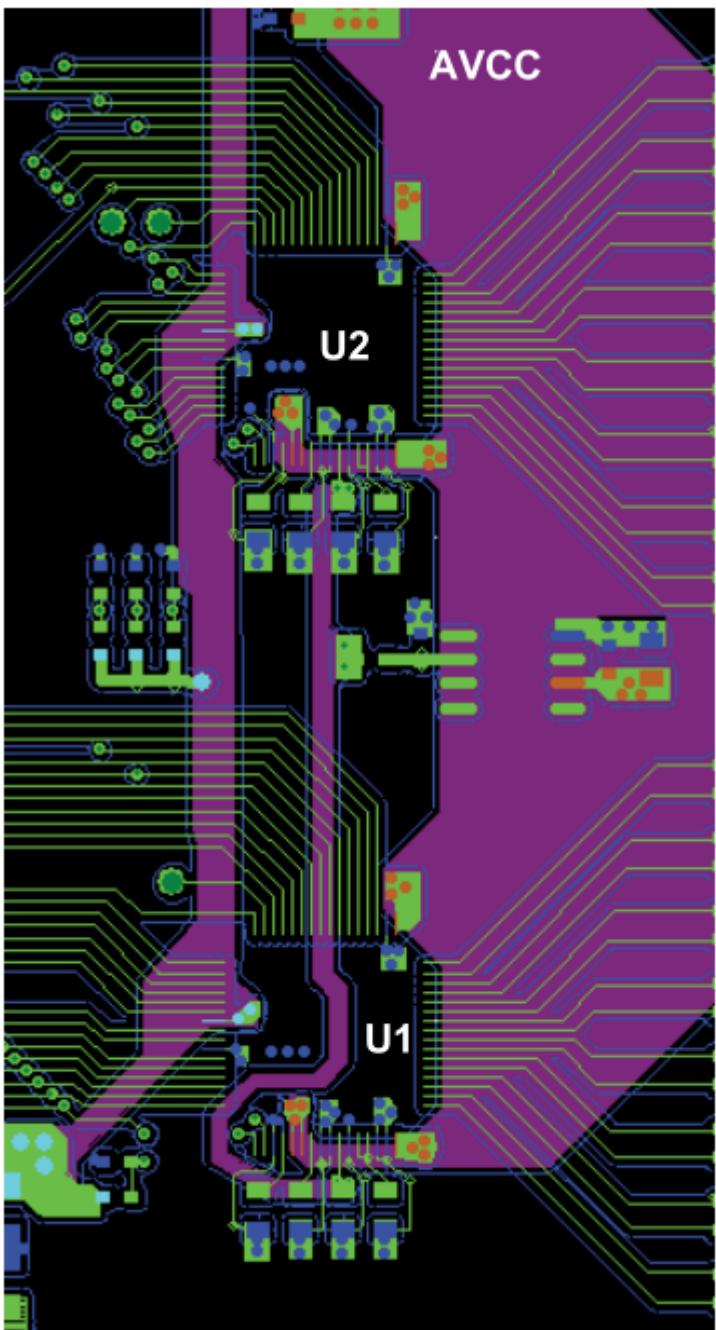
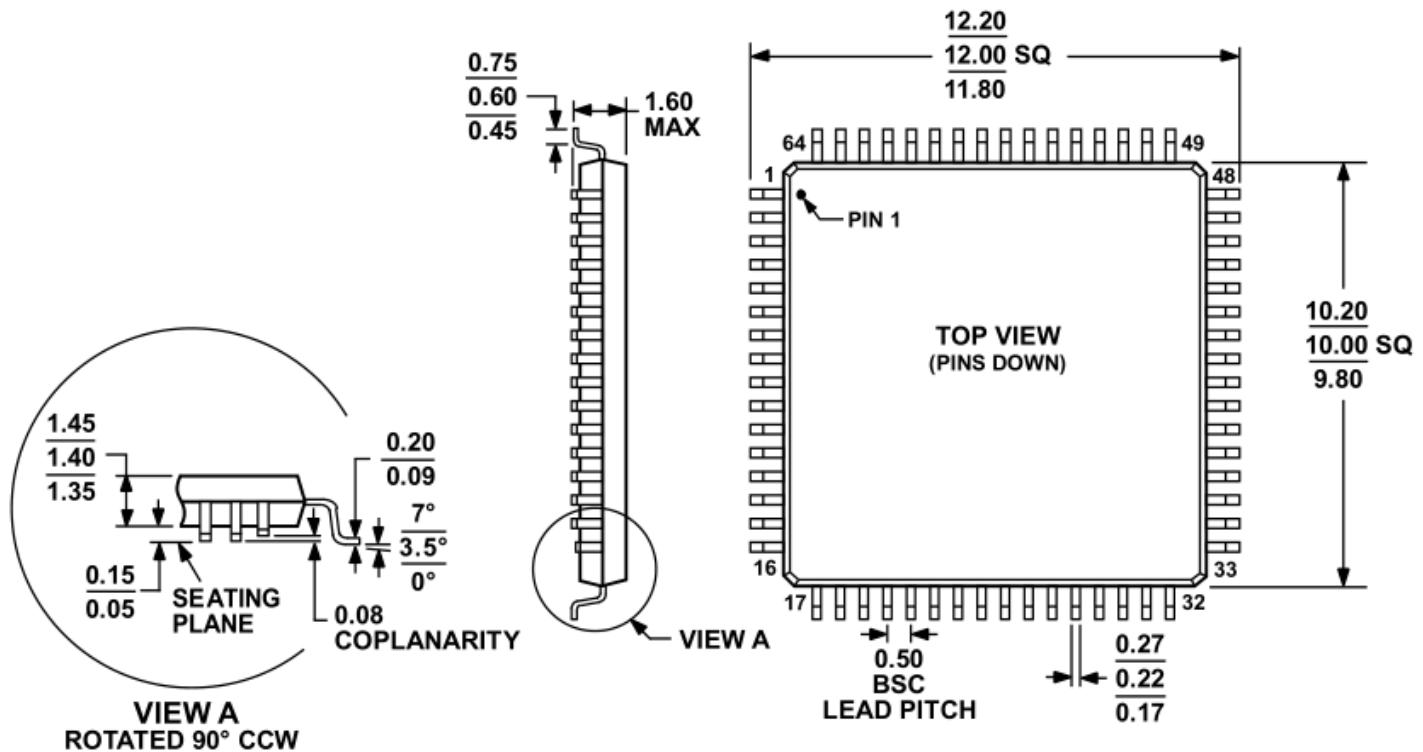


Figure 64. Layout for Multiple AD7606 Devices—Top Layer and Supply Plane Layer / Макет для нескольких устройств AD7606 - верхний слой и слой плоскости питания

OUTLINE DIMENSIONS / ГАБАРИТНЫЕ РАЗМЕРЫ



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

Figure 65. 64-Lead Low Profile Quad Flat Package [LQFP] (ST-64-2) Dimensions shown in millimetres / 64-выводной низкопрофильный четырехплоскостной пакет [LQFP] (ST-64-2) Размеры указаны в миллиметрах

ORDERING GUIDE / РУКОВОДСТВО ПО ОФОРМЛЕНИЮ ЗАКАЗА

Model ^{1, 2, 3}	Temperature Range	Package Description	Package Option
AD7606BSTZ	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BSTZ-RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BSTZ-6	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BSTZ-6RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BSTZ-4	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
AD7606BSTZ-4RL	-40°C to +85°C	64-Lead Low Profile Quad Flat Package [LQFP]	ST-64-2
EVAL-AD7606EDZ		Evaluation Board for the AD7606	
EVAL-AD7606-6EDZ		Evaluation Board for the AD7606-6	
EVAL-AD7606-4EDZ		Evaluation Board for the AD7606-4	
CED1Z		Converter Evaluation Development	

¹ Z = RoHS Compliant Part.

² The EVAL-AD7606EDZ, EVAL-AD7606-6EDZ, and EVAL-AD7606-4EDZ can be used as standalone evaluation boards or in conjunction with the CED1Z for evaluation/demonstration purposes.

³ The CED1Z allows the PC to control and communicate with all Analog Devices, Inc., evaluation boards ending in the EDZ designator.