

## 实验一 组合逻辑电路的设计（一）

### 一、实验目的

1. 掌握用 SSI 器件设计组合逻辑电路的方法；
2. 熟悉各种常用 MSI 组合逻辑电路的功能与使用方法；
3. 掌握多片 MSI 组合逻辑电路的级联、功能扩展；
4. 学会使用 MSI 逻辑器件设计组合电路；
5. 培养查找和排除数字电路常见故障的初步能力。

### 二、实验器件

- |            |          |         |           |
|------------|----------|---------|-----------|
| 1. 74LS00  | 四二输入与非门  | 74LS20  | 双四输入与非门   |
| 2. 74LS138 | 三线—八线译码器 | 74LS139 | 双二线—四线译码器 |
| 3. 74LS151 | 八选一数据选择器 |         |           |
| 4. 74LS283 | 四位二进制全加器 |         |           |

### 三、实验原理

组合逻辑电路是最常见的逻辑电路，其特点是在任何时刻电路的输出信号仅取决于该时刻的输入信号，而与信号作用前电路原来所处的状态无关。组合逻辑电路的设计，就是如何根据逻辑功能的要求及器件资源情况，设计出实现该功能的最佳电路。

在采用小规模器件（SSI）进行设计时，通常将函数化简成最简与—或表达式，使其包含的乘积项最少，且每个乘积项所包含的因子数也最少。最后根据所采用的器件的类型进行适当的函数表达式变换，如变换成与非—与非表达式、或非—或非表达式、与或非表达式及异或表达式等。

在数字系统中，常用的中规模集成器件(MSI)产品有编码器、译码器、全加器、数据选择/分配器、数值比较器等。用这些功能器件实现组合逻辑函数，基本采用逻辑函数对比方法。因为每一种中规模集成器件都具有某种确定的逻辑功能，都可以写出其输出和输入关系的逻辑函数表达式。在进行设计时，可以将要实现的逻辑函数表达式进行变换，尽可能变换成与某些中规模集成器件的逻辑函数表达式类似的形式。

### 四、实验内容

1. 用与非门设计三位多数表决器。

步骤：（1）根据真值表写出逻辑表达式：

$$F = AB + BC + AC = AB \overline{BC} AC$$

（2）画出逻辑图，如图 3—1 所示

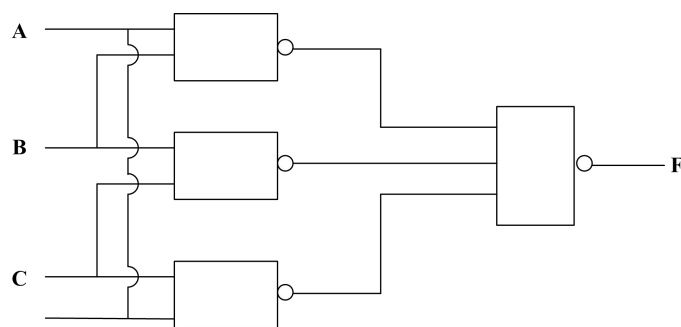


图 3 - 1

2. 用三变量译码器 74LS138 设计一位全加器

步骤：（1）根据真值表写出全加器逻辑表达式

$$\text{全加和} \quad S = \overline{A}\overline{B}C_0 + \overline{A}B\overline{C}_0 + A\overline{B}\overline{C}_0 + ABC_0$$

$$\text{进位} \quad C = \overline{A}B C_0 + A\overline{B} C_0 + AB\overline{C}_0 + ABC_0$$

$$\begin{aligned} \text{(2) 将 } S、C \text{ 改写为} \quad S &= m_1 + m_2 + m_4 + m_7 = \overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7} \\ &= y_1 \cdot y_2 \cdot y_4 \cdot y_7 \end{aligned}$$

$$\begin{aligned} C &= m_3 + m_5 + m_6 + m_7 = \overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7} \\ &= y_3 \cdot y_5 \cdot y_6 \cdot y_7 \end{aligned}$$

（3）画出逻辑图，如图 3—2 所示

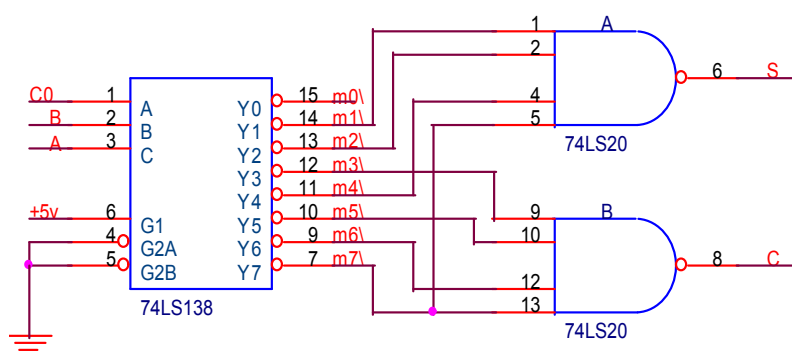


图 3—2 用 74LS138 设计全加器

### 3. 用双 2 线/4 线译码器 74LS139 设计一位全加器

该译码器只有两个地址输入端，只能对应两个输入变量，利用使能端可将其扩展为 3 线/8 线译码器。对于任意一个三变量的函数表达式总可以写成它的分解式。

$$F(A_2A_1A_0) = \overline{A_2}F_1(A_1A_0) + A_2F_1(A_1A_0)$$

式中， $F_1(A_1A_0)$  用 2 线/4 线译码器实现，则上式可用两个同样的译码器来连接，如图 3—3 所示。当  $A_2=0$  时，译码器 (A) 工作，输出  $\overline{m_3} \sim \overline{m_0}$ ，当  $A_2=1$  时，译码器 (B) 工作，输出  $\overline{m_7} \sim \overline{m_4}$ 。

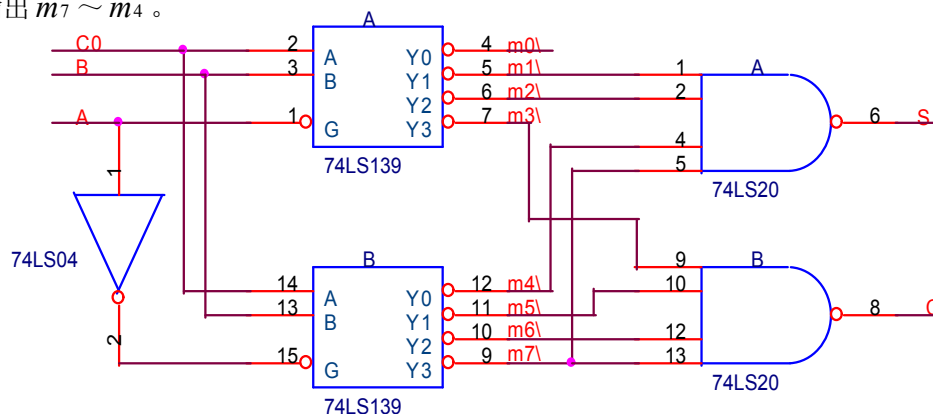


图 3—3 用双 2 线/4 线译码器实现全加器

#### 4. 使用全加器实现四位二进制相减。

原理：减去某个二进制数就是加上该数的补码（即反码加“1”），所以二进制数 A 和 B 相加，先将 B 变为反码，然后与数 A 相加，并令  $C_1=1$ ，即可。电路如图 3-4 示：

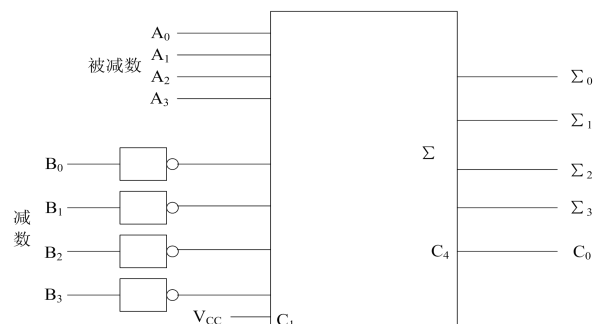


图 3-4

5. 设计一四变量输入组合逻辑电路。当四个输入中有奇数个高电平“1”时输出高电平“1”，否则输出低电平“0”。

原理：设输入四变量为 DCBA，输出为 Y，其真值表入图 3—5（a）所示，输出函数 Y 为：

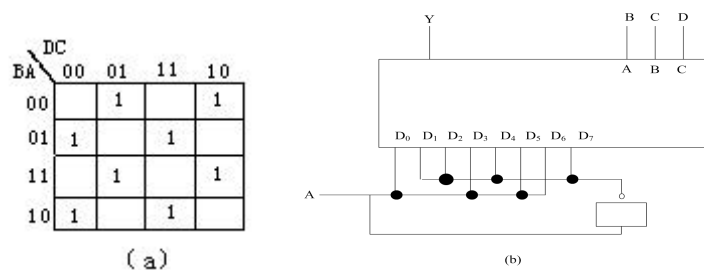


图 3-5

用八选一数据选择器实现四变量逻辑函数时，以其中 3 个变量做地址，另外一个变量做数据。选 DCB 三变量作为地址，A 为数据，画出电路图如图 3.-5（b）：

#### 五、实验报告要求

1. 画出各实验步骤的实验电路逻辑图，并分析实验结果。
2. 总结 SSI 和 MSI 器件的功能及使用方法。