

## 实验四 移位寄存器及其应用

### 一、实验目的

1. 熟悉移位寄存器的结构及工作原理
2. 了解移位寄存器的应用。

### 二、器件

- 1、74LS00 四 2 输入与非门
- 2、74LS194 通用四位双向移位寄存器
- 3、74LS195 四位并行存取移位寄存器

### 三、实验原理

移位寄存器是具有移位功能的寄存器。它是一种由触发器链型连续组成的同步时序网络。代码的移位是在统一的位移脉冲 CP 控制下进行的。每来一个移位位脉冲，原存贮于寄存器的信息代码就按规定的方向（左方或右方）同步移一位。移位寄存器的类型，按移位的方式可分为左移、右移和双向移位寄存器；按其输入输出方式可分为并行输入—并行输出、并行输入—串行输出、串行输入—并行输出和串行输入—串行输出等几种。

移位寄存器应用较广。利用移位寄存器可以构成计数分频电路、序列信号发生器、串/并行代码转换器、延时电路等。移位寄存器的状态转移是按移存规律进行的，一般称为移存型计数器。常用的移存型计数器有环形计数器和扭环形计数器。

74LS195 为 4 位并行存取移位寄存器；74LS194 为 4 位双向通用移位寄存器，它具有左移、右移、并行输入数据、保持及清除等五种功能。它们的功能表及管脚图见附录。

### 四、实验内容

#### 1. 移存型计数器

##### (1) 环形计数器

环形计数器的特点是环形计数器的计数模数  $M$ =移位寄存器位数  $N$ ，且工作状态是依次循环出 1 或 0，如 4 为环形计数器状态为 0001-0010-0100-1000 或 1110-1101-1011-0111。设计该类计数器往往要求电路能自启动。

##### (2) 扭环计数器

扭环计数器又称为约翰逊计数器。其特点是四位扭环计数器具有  $N=2n=8$  个有效计数状态，且相邻两状态间只有一位代码不同，因此扭环计数器的输出所驱动的组合网络不会产生功能竞争。

##### (3) 任意进制移存型计数器

只要状态转移关系符合移存规律的计数器，就称为移存型计数器。

移存型计数器只要  $M \neq 2^N$  时，就要考虑计数器的自启动问题。移存型计数器自启动的方法有两种：

- ①、改变移位寄存器串行输入  $D_0$  的反馈方程，例如：让循环出“1”的 4 位环形计数器的  $D_0 = \overline{Q_2 + Q_1 + Q_0}$ ，使全“0”状态时的  $D_0=1$ ；如果是循环出“0”

的 4 位环形计数器，则  $D_0 = \overline{Q_2 Q_1 Q_0}$ ，使全“1”状态时的  $D_0=0$ ，从而实现自启动。

- ②、利用预置功能实现自启动。

用 74LS194 完成具有自启动特性的扭环计数器，其一种实现逻辑电路图及完全状态图如图 8-1 所示。不同的完全状态图对应于不同的逻辑电路图。

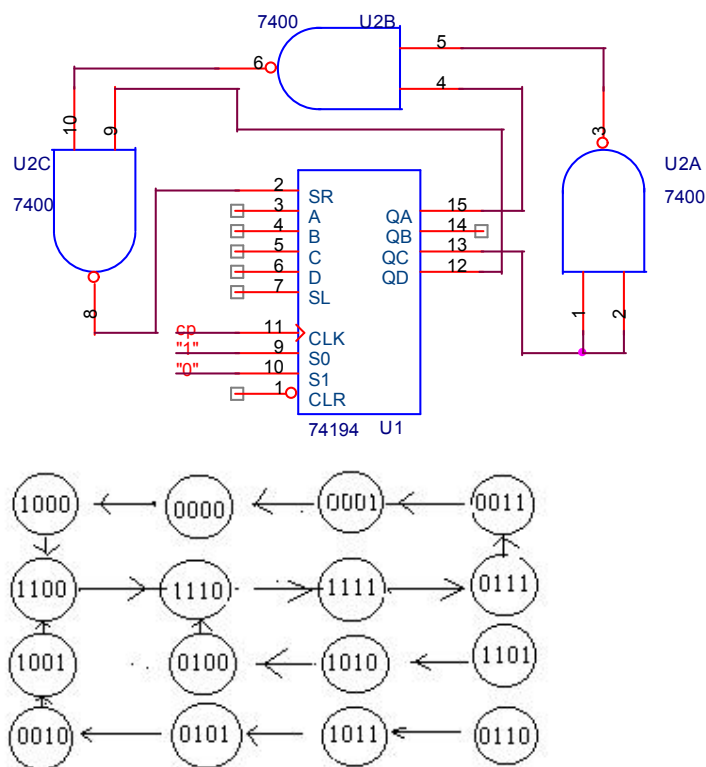


图 8-1 一种扭环计数器逻辑图及完全状态图

## 2. 可编程分频器

在数字系统设计中，经常需要频率不同的时钟信号。它们通常都是系统时钟 CP 的若干分频，并且分频比往往是可变的，这种分频器称为可编程分频器。采用 SSI 实现可编程分频器，其设计工作量是很大的。但若选用合适的 MSI 器件，实现这种分频器则是十分方便的。

采用 74LS194 实现可编程分频器的逻辑结构，如图 8-2 所示。两个 74LS194 级联构成 8 位右移寄存器，分频后的脉冲信号从 74LS194 (U2) 的 QD 输出。分频比由 3—8 译码器确定，改变译码器的地址可以改变分频比，当 3—8 译码器的地址码为 N 时，可以得到 N+1 分频的输出脉冲。这里  $1 \leq N \leq 7$ 。该分频器从 X 端输出的为负脉冲，若从 X' 输出，则可得到正脉冲输出信号。

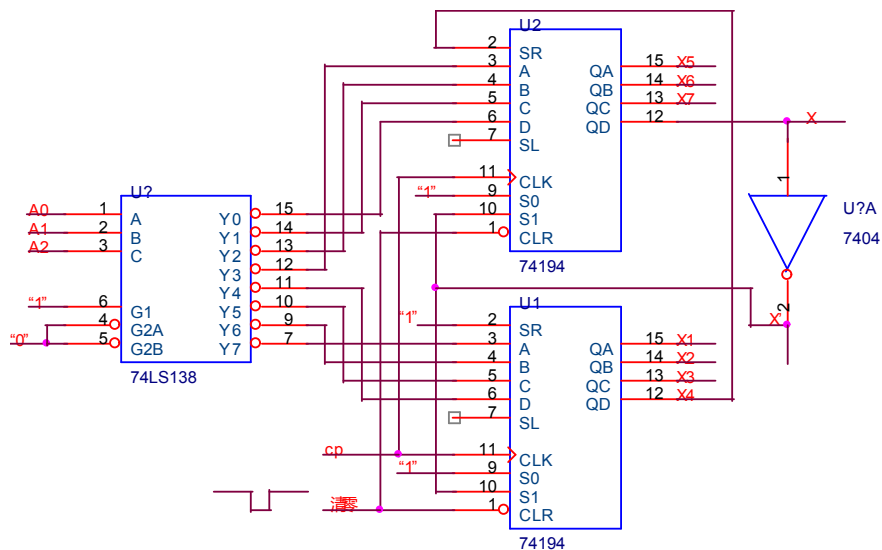


图 8-2 可编程分频器

工作过程如下：

先将计数器清零，由于 74LS194 (U2)  $QD=0$ ，故  $S_1=S_0=1$ 。这样当第一个移位脉冲 CP 的上升沿到来时，计数器进行并行置数操作。设此 3-8 译码器的地址输入端  $A_2A_1A_0=110$ ，则译码器除第 6 个输出端为 0 外，其余输出端均为 1。从而并行置数操作的结果就是两片移位寄存器的状态成为 10111111，与此同时，片 (U1) 和片 (U2) 的  $S_1$  又变为 0，因此从第 2 个 CP 脉冲开始，两片移位寄存器便进行右移操作，直到第 7 个 CP 作用之后，移位寄存器状态成为 11111110，从而使  $S_1=0$ 。当第 8 个 CP 到达时，两片移位寄存器再次进行并行置数操作，开始了下一个分频循环。

### 3. 用集成移位寄存器 74LS195 完成 7 位串一并转换

图 8-3 所示为 7 位串行一并行转换器。其中， $\overline{CR}$  为异步清 0 端，当  $\overline{CR}=0$  时，所有 D 触发器全部清 0；J、 $\overline{K}$  为串行数据输入端；D0、D1、D2、D3 为并行数据输入端；SH/ $\overline{LD}$  为移位控制/置入控制（低电平有效）端。

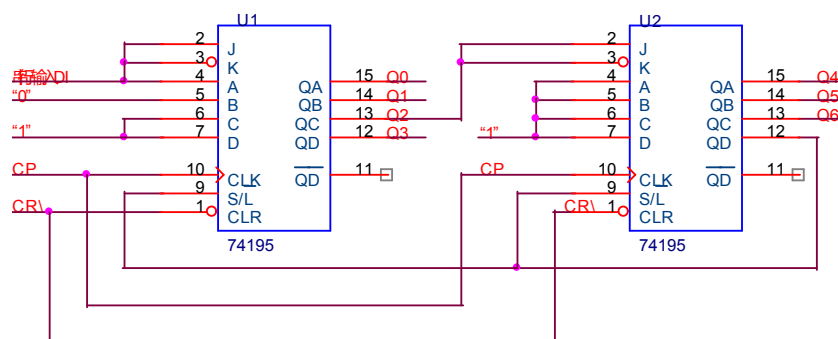


图 8-3 7 位串行一并行转换器

图中串行数据  $D_i$  送入片 U1 的串行数据输入端 J、 $\overline{K}$  及并行输入端 D0。片 U1 的并行输入端 D1 接 0，为标志码。D2、D3 接 1。芯片 U2 的串行数据输入端 J、 $\overline{K}$  接片 U1 的输出 Q3，片 U2 的 D0~D3 均接 1。片 U2 的 Q3 作片 U1 和片 U2 的 SH/ $\overline{LD}$  输入。在 CP 的作用下，即能完成 7 位串行一并行转换。此转换器常用于数模转换系统。

### 五、实验报告

按实验要求写出设计全过程，画出实验电路图并给出实验结果。