情報工学実験 VHDL の基礎



1 実験目的

Quartus の基本操作を確認しながら、単純な組合せ回路を作成する。

2 実験内容

課題 1

「一つのスイッチの入力をそのまま1つのLEDに出力する」という回路を作成する

プログラムを以下に示す。

```
library ieee;
use ieee.std_logic_1164.all;
entity test is
   port(
        sw_in: in std_logic;
        led_out: out std_logic);
end test;

architecture rtl of test is
begin
   led_out<=sw_in;
end rtl;</pre>
```

ピン設定を以下に示す

入力:Pushbutton[1] (PIN_N23) 出力:LED Green[0] (PIN_AE22)

結果

入力 (Pushbutton[1]) を押して入力すると、出力 (LED Green[0]) が点灯した。

課題 2

「2入力の論理積の結果を出力する回路 (andgate.vhd)」を作成する

プログラムを以下に示す

```
library ieee;
use ieee_std_logic_1164.all;

entity andgate is
    port(
        sw_in:in std_logic_vector(1 downto 0);
        led_out:out std_logic);
    end andgate;

architecture rtl of andgate is
begin
    led_out <=(not sw_in(0) and not sw_in(1));
end rtl;</pre>
```

ピン設定を以下に示す

```
入力 1: Pushbutton[0] (PIN_G26)
入力 2: Pushbutton[1] (PIN_N23)
出力 1: LED Green[7] (PIN_Y18)
```

結果

入力 1 (Pushbutton[0]) と入力 2 (Pushbutton[1]) の両方を入力したときのみ出力 1(LED Green[7])が点灯した。

課題3

and gate.vhd で定義した and gate 回路をコンポーネントとして宣言し、そのコンポーネントを 2 つ含ませた and test.vhd を作成し実行結果を確かめる。

なお、andtest.vhd にはプッシュボタン2つと LED 出力2つを割り当てる。

プログラムを以下に示す

library ieee;

```
use ieee_std_logic_1164.all;
entity andtest is
   port(
        sw_in1,sw_in2 : in std_logic_vector(1 downto 0);
        led_out1,led_out2:out std_logic);
end andtest;

architecture rtl of andtest is
   component andgate
   port(
        sw_in:in std_logic_vector (1 downto 0);
        led_out:out std_logic);
end component;

begin
   and1:andgate port map(sw_in =>sw_in1,led_out=>led_out1);
   and2:andgate port map(sw_in=>sw_in2,led_out=>led_out2);
end rtl;
```

ピン設定を以下に示す

結果

入力 1 (Pushbutton[3]) と入力 2 (Pushbutton[2]) を同時に入力すると出力 1 (LED Green[0]) が点灯し、入力 3 (Pushbutton[1]) と入力 4 (Pushbutton[0]) を同時に入力すると出力 2 (LED Green[1]) が点灯した。

3 感想

初めてのVHDLで今までのプログラミングと若干の違いがあり少し戸惑ったがスムーズに 実験を進めることができた。今後のハードウェア実験でも同じように円滑に進められるよ うにしたい。