

Questions for Introductory Lab - Hardware/Software Co-Design

Consider your final system and answer to the following questions.

Please deliver your answers by the 3rd laboratory week.

Todas as respostas são referentes ao programa matprod_0.

1. List the bus interfaces connected to the following components:

debug_module: S_AXI (AXI4-Lite)

MCB_DDR2: S0_AXI (AXI4)

RS232_Uart_1: S_AXI (AXI4-Lite)

microblaze_0_d_bram_ctrl: SLMB (Local Memory Bus)

Explain briefly why the system builder chose each specific (different) bus to connect to each of the referred components.

Para o debug_module e o componente RS232_Uart foi usado AXI4-Lite porque o tempo de acesso a esse módulo não é crítico e não precisa de uma grande largura de banda.

O MCB_DDR2 é memória externa, então o seu acesso é caro. De maneira a mitigar o seu custo é usado AXI4 para que a transferência de dados da memória para o MicroBlaze seja mais rápida, uma vez que este barramento possui uma maior largura de banda do que a versão Lite.

O microblaze_0_d_bram_ctrl usa LMB o que é uma ligação directa do MicroBlaze à memória.

2. List the addresses (Base address / High address) for the following instances:

RS232_Uart_1: 0x40600000 / 0x4060FFFF

microblaze_0_d_bram_ctrl: 0x00000000 / 0x00001FFF

microblaze_0_i_bram_ctrl: 0x00000000 / 0x00001FFF

debug_module: 0x41400000 / 0x4140FFFF

MCB_DDR2: 0xA8000000 / 0xAFFFFFFF

3. Indicate the number of resources needed to implement your design in terms of LUTs, BRAMs and DSPs.

LUT: 3004 (11%)

BRAM 18KB dual-port: 14 (12%)

DSP: 3 (5%)

4. According to the resource consumption estimated by the synthesis tool, for each component of your system, indicate how many microBlaze processors you would be able to fit in the same Spartan-6 device. Justify briefly.

Tendo em conta que um MicroBlaze usa 11% das LUTs, 12% das BRAMs e 5% dos DSPs; então o máximo número de MicroBlaze's que cabem numa Spartan-6 são, aproximadamente, 8. Isto resulta do facto de estar

limitado pelo número total de BRAMs na FPGA, que é o recurso mais usado por cada processador. Seria no entanto possível fazer caber mais MBs de menores dimensões.

5. What is the estimated maximum executable frequency of your design?

A frequência máxima está indicada no Post-PAR Static Timing Report e é aproximadamente 79MHz. O resultado está dentro do esperado pois foi escolhida uma frequência de 75MHz para o processador.

6. From the behavioral simulation of your system, estimate the execution time of the matrix product program, by measuring the elapsed time between the clock cycle when the first element of the first input matrix is read and the clock cycle when the last element of the result matrix is written (from/to the data memory).

O primeiro valor é lido $x1[0][0] = -79$ em 4,90us e o último valor é escrito $x3[2][2] = 1247$ em 30,35us, o que apresenta um tempo de execução de aproximadamente 25,45us.

7. Indicate the memory regions (and memory component) where the main sections of your program are stored, stating the starting address and size of each section. Briefly describe the contents of each main program section.

A partir do ficheiro .elf pode-se concluir o seguinte:

- o código (.text) começa no endereço 0x00000050 e tem tamanho 0x00000DC8 bytes, os dados (.data) começam no endereço 0x00001278 e têm tamanho 0x0000015C bytes e a stack (.stack) começa no endereço 0x000015B8 e tem tamanho 0x00000190 bytes.
- as matrizes como são estáticas estão alocadas no espaço de dados a partir do endereço 0x00001278 e as variáveis locais estão no stack a partir do endereço 0x000015B8.
- o programa reside na memória local pois os seus endereços estão entre 0x00000000 e 0x00001FFF.