



Projecto de Sistemas Digitais, MEEC 2014/15

Projecto 2 - Escalonamento e Partilha de Recursos

Pretende-se calcular o determinante de uma matriz A , de dimensão 3×3 , com base no algoritmo:

$$|A| = \begin{vmatrix} a & b & c \\ d & e & f \\ g & h & i \end{vmatrix} = aei - afh - bdi + cdh + bfg - ceg$$

1. Reescreva o algoritmo de modo a efectuar o cálculo com o menor número de multiplicações.
2. Esboce o grafo de fluxo de dados correspondente.
Obtenha o escalonamento por lista usando como métrica a prioridade do caminho crítico, considerando que ambas as operações requerem 1 ciclo de relógio e que só pode utilizar (como operadores aritméticos) 2 multiplicadores e 1 somador(-subtractor).
3. Projecte um circuito que concretize o algoritmo indicado, de acordo com as restrições indicadas e o escalonamento definido em 2.
Considere que os elementos da matriz são inteiros de 16 bits com sinal.
Escolha o período de relógio, escalonamento e atribuição/alocação de recursos mais apropriados para conseguir o circuito com o melhor desempenho possível.
Considere que os elementos da matriz A estão armazenados em registos independentes.
Utilize uma arquitectura FSM (unidade de controlo + unidade de dados). Todos os registos a usar são obrigatoriamente *edge-triggered* positivos, e são sincronizados pelo mesmo (único) sinal de relógio global.

Desenhe o diagrama de blocos com a arquitectura utilizada.

Indique o número de registos intermédios e de multiplexers que necessitou.

Quantifique a área ocupada pelo circuito em termos das primitivas básicas da FPGA utilizadas.

Quantifique o desempenho do seu circuito indicando a frequência máxima de funcionamento e a latência (obtenha a estimativa de desempenho por modelação *pós-layout*). Justifique por simulação.

(Para facilidade de modelação considere que os registos que contêm os elementos da matriz e o resultado ligam directamente a entradas/saídas da FPGA; utilize um dispositivo com o número suficiente de pinos p.ex. o XC3S250E-5-FT256)

Nota: este projecto será demonstrado apenas por simulação, pelo que deve ser desenvolvida também a *testbench* que permita verificar o funcionamento correcto do circuito.

4. Considere agora que os elementos da matriz A estão armazenados numa memória independente com 2 portos de leitura. O que alteraria no escalonamento/alocação do projecto anterior para fazer face às limitações de acesso à memória? Estime a alteração de desempenho do circuito consequente.
5. Considere que quer calcular os determinantes de 100 matrizes A , armazenadas na mesma memória independente com 2 portos de leitura.

Poderia acelerar o desempenho do circuito anterior por *pipelining*? Com ou sem aumento de recursos?

Indique qual o melhor ritmo de produção possível, face às limitações de acesso à memória, e qual o número mínimo de multiplicadores e de somadores necessário para o conseguir. Justifique.

Esboce o diagrama de blocos da unidade de dados da arquitectura correspondente.