

目录

CONTENTES



Part 01

需求分析



Part 02

动机



Part 03

技术方案和效
果



Part 04

效果



Part 05

分析



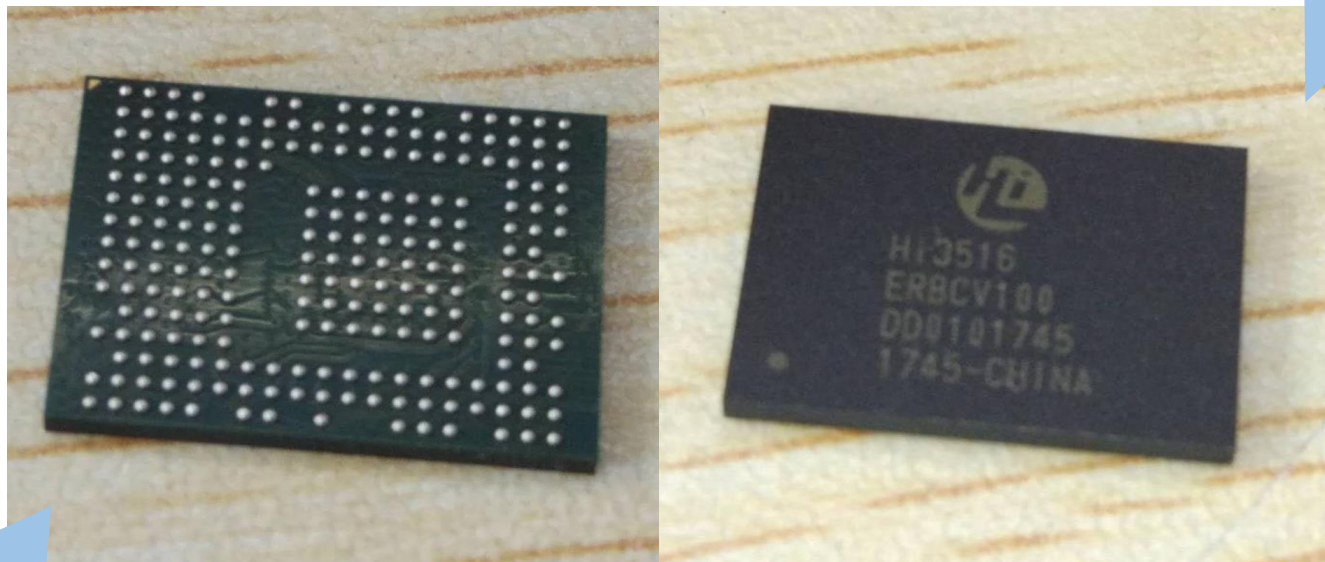
01

需求分析 ▶

START >

视频芯片

视频流编解码



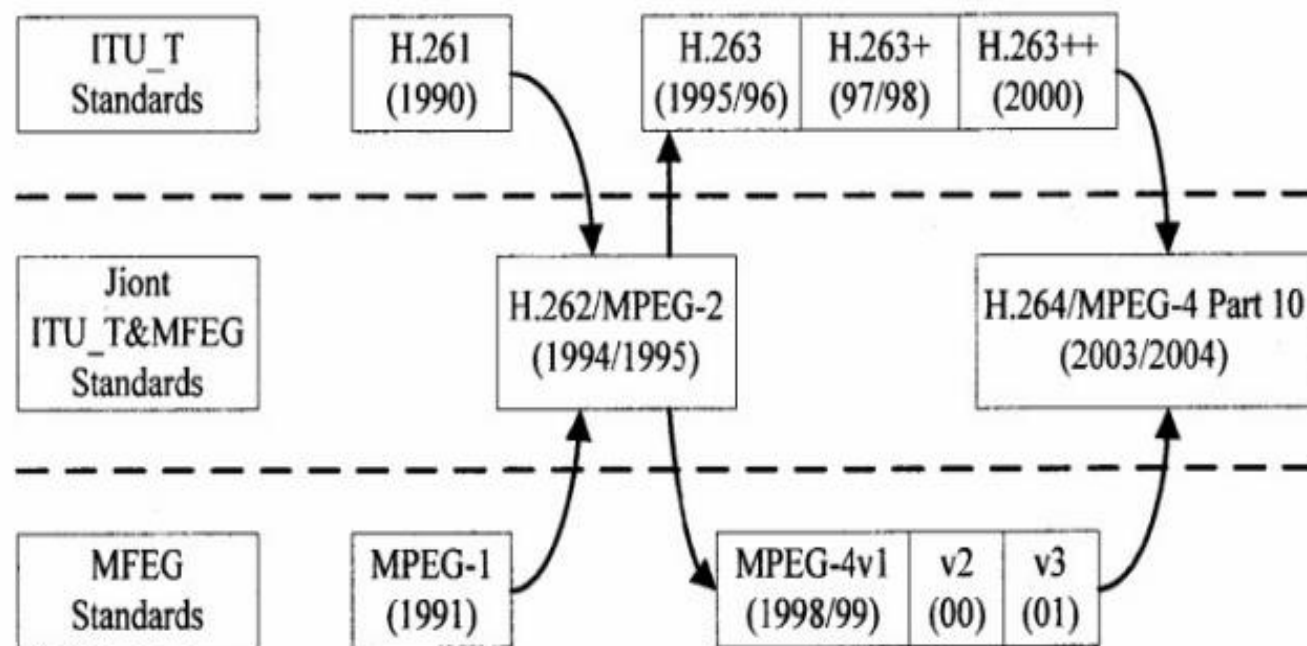
主要处理数字
信号

数字视频编码标准

根据不同的视频应用领域，不同的国际组织制定了不同的视频编码标准。

H.26X系列：具有实时性特点的网络视频以及多媒体可视通信系统

MPEG系列：视频流信息的保存格式、多媒体视频广播等方面的应用



■ 实现方式

//

纯软件

DSP

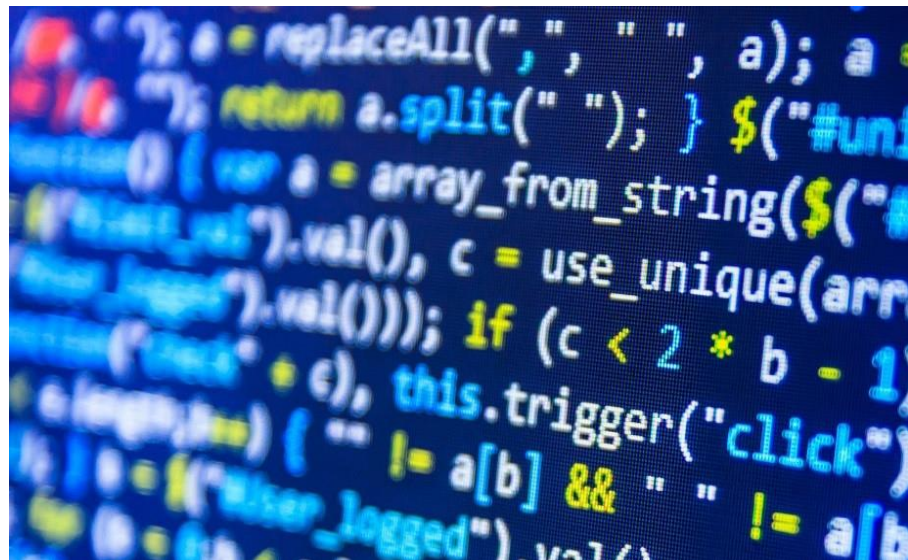
专用编解码芯片

FPGA





纯软件实现方式



无需硬件电路，可在通用处理器上实现

优点：

- 成本低，无硬件开销
- 包容性良好

缺点：

- 占用处理器资源过多
- 串行处理，编解码能力有限



DSP实现方式



使用硬件电路，采用并行处理方式，具有特定的指令系统

优点：

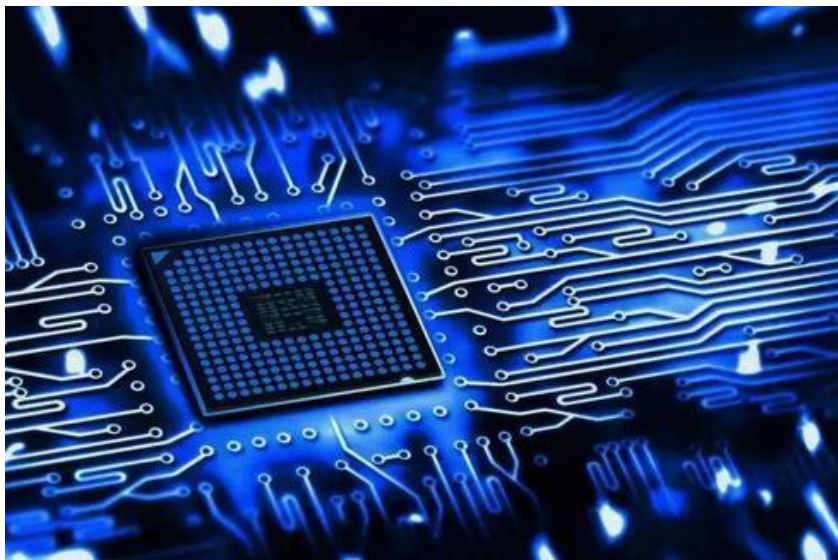
- 处理速度加快，算法实现更方便

缺点：

- 灵活性不够，复杂度高



专用编解码芯片实现方式



使用具有易集成特点的专用编解码芯片

优点：

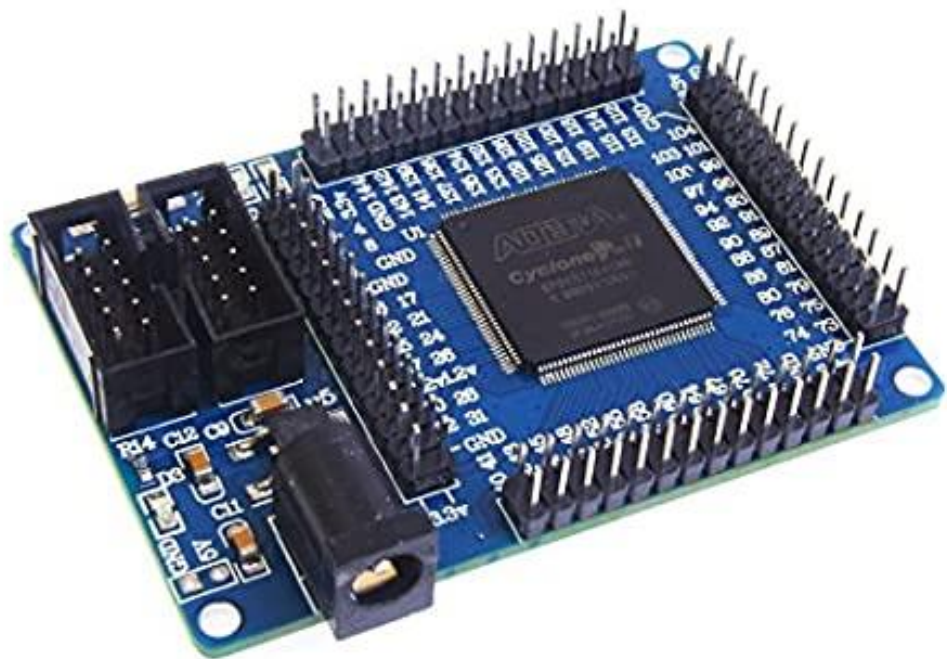
- 处理速度加快，功耗比较低
- 可大规模生产，成本较低

缺点：

- 不能应对不同的需求功能进行程序修改
- 可扩展性差



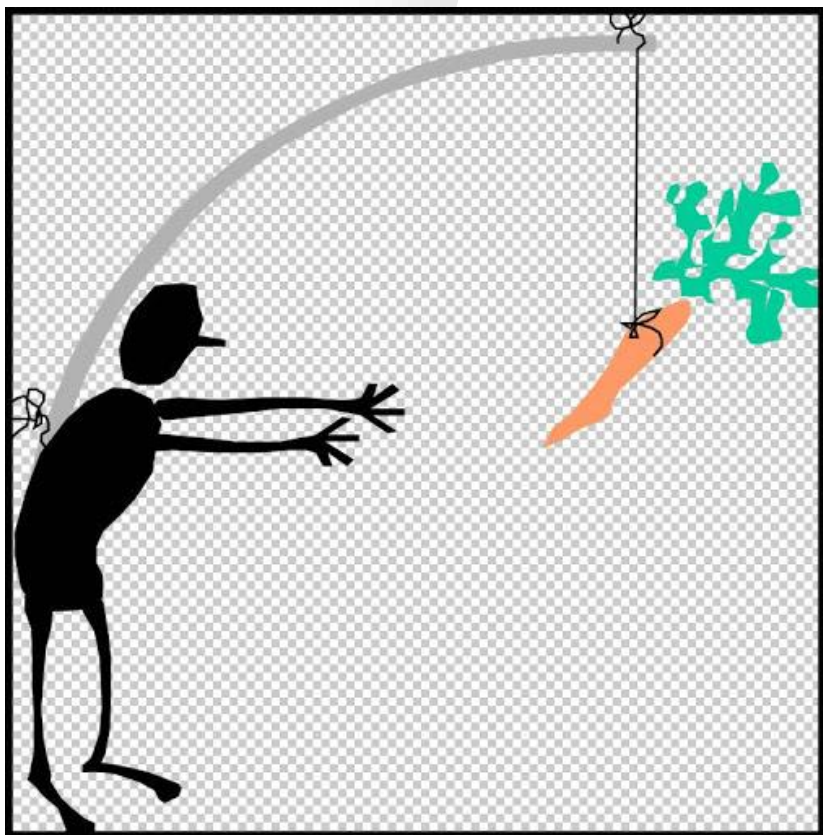
FPGA实现方式



使用FPGA技术，可嵌入片上可编程系统

优点：

- 简单方便，节约开销
- 设计具有很高的灵活性
- 拥有着强大的功能实现逻辑以及庞大的寄存器资源



02

动机

Unmanned vehicle

DSP和专用芯片在应用实现的过程中都不具有灵活性，而且生产成本相对来说比较高

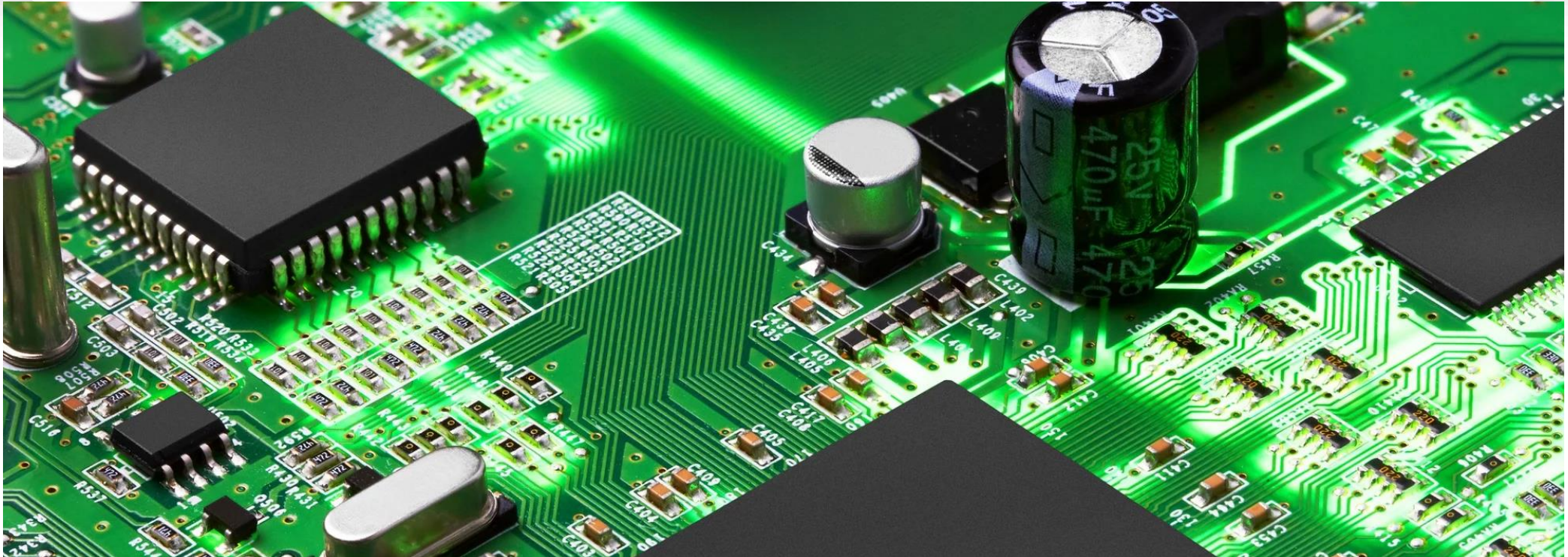
如何实现？

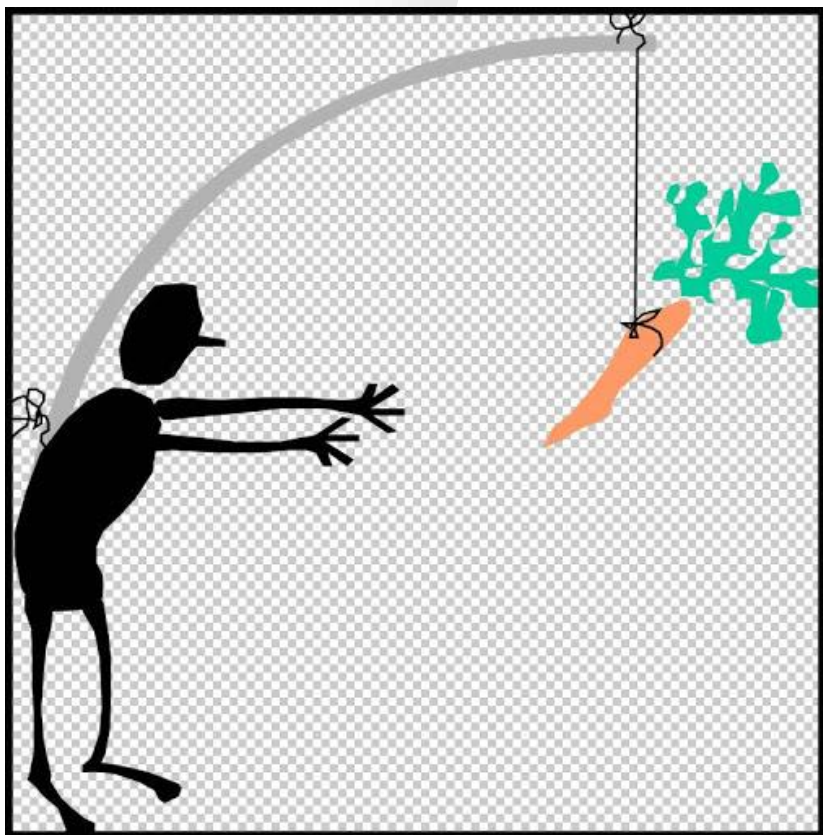
纯软件方式无法对于高质量的视频压缩码流进行有效的实时解码

随着编解码视频标准优越性能的提高，其复杂度也越来越大，这就要求视频编解码实现系统要具有快速的处理能力、灵活的更改性能、方便的升级和移植性，从而实现视频的实时显示。

选择FPGA

可以很好的适用于高速数字系统的设计
可以很好地用来实现视频系统的控制和网络传输功能
设计过程中可以随时更改，方便升级和移植





03

实现方案

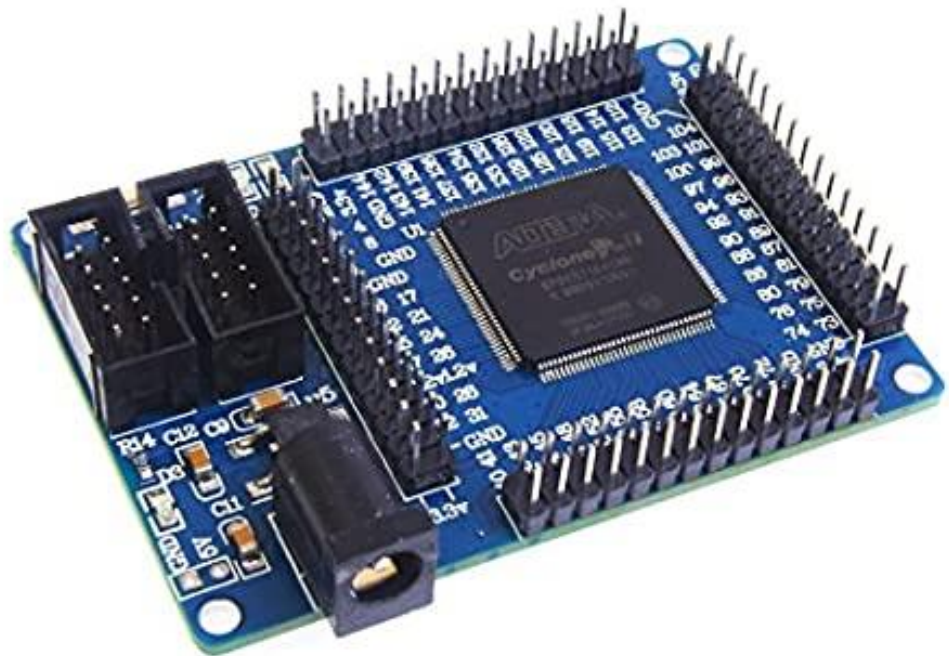
Unmanned vehicle



基于FPGA的H.264视频解码器实现

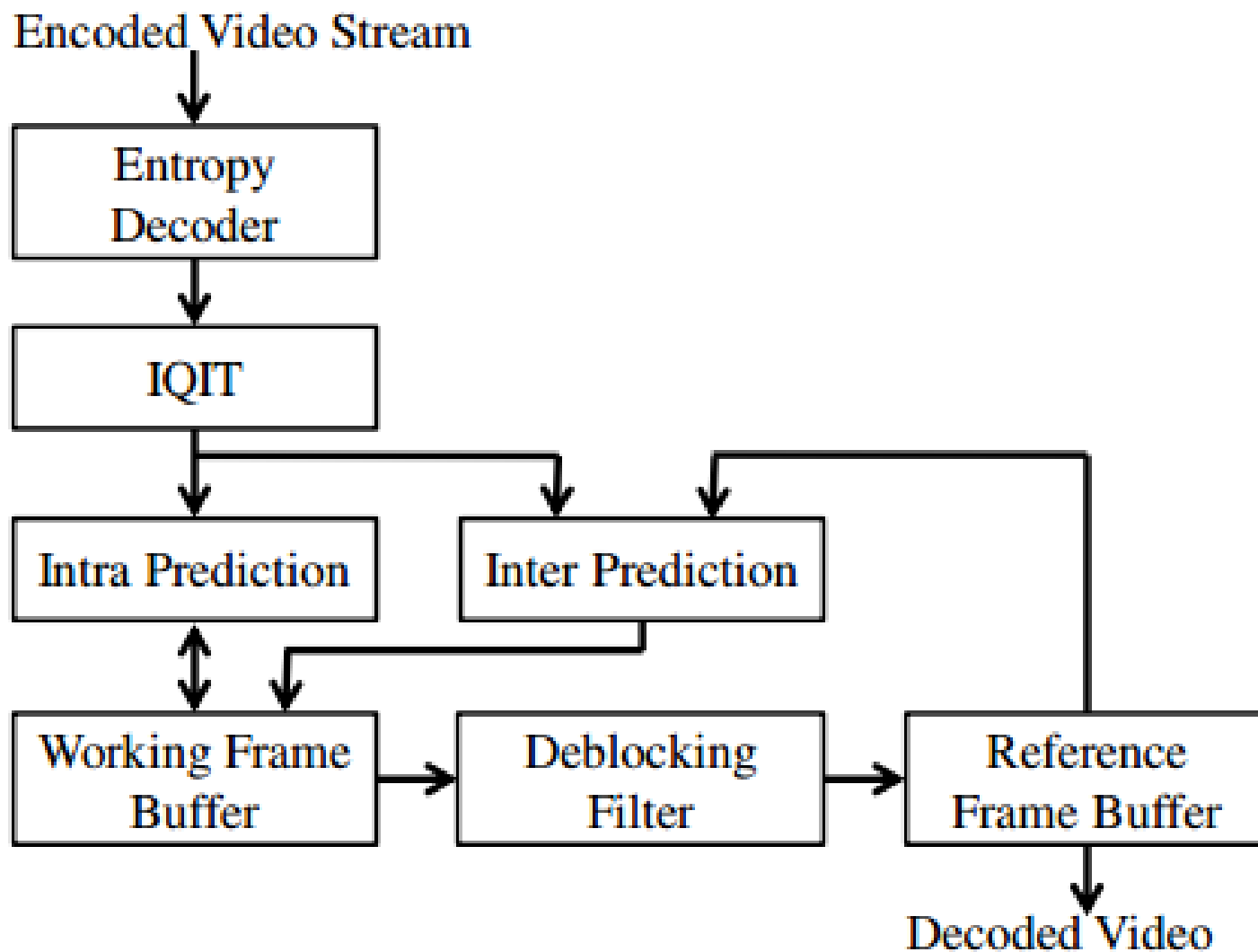
之前基于FPGA的H.264视频解码器的不足：

- 针对FPGA实现的研究，但仅限于仿真层面
- 在FPGA硬件上实现并验证部分H.264解码器算法
- 仅在仿真级别上研究基于片上网络(NOC)的H.264解码器解决方案



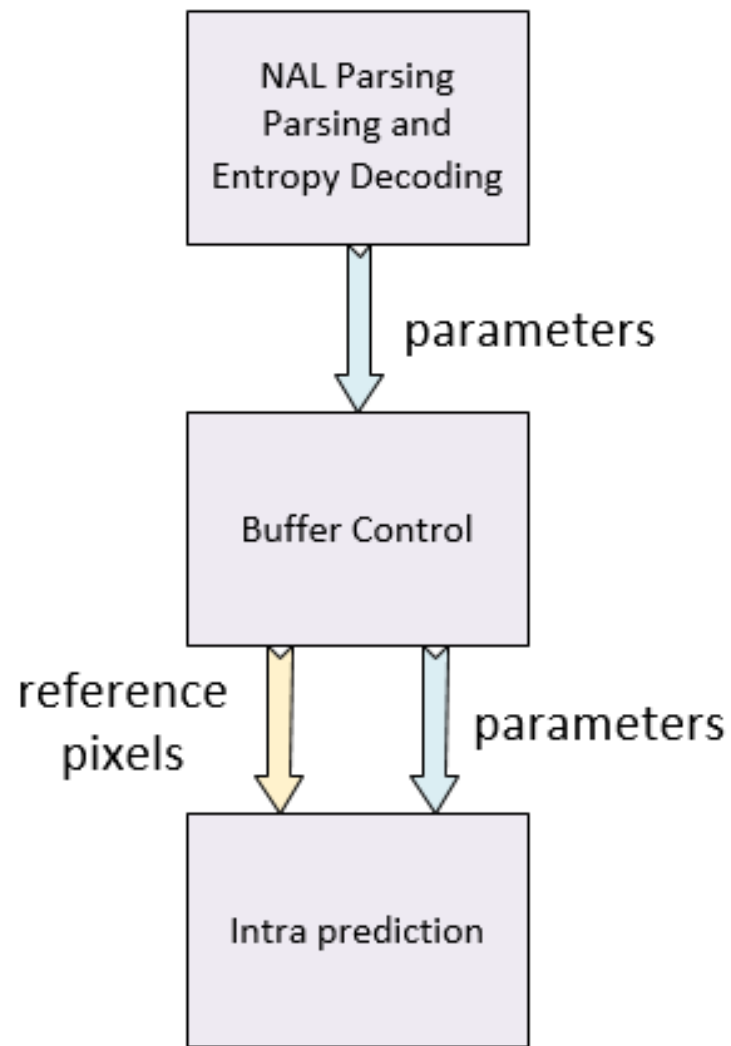
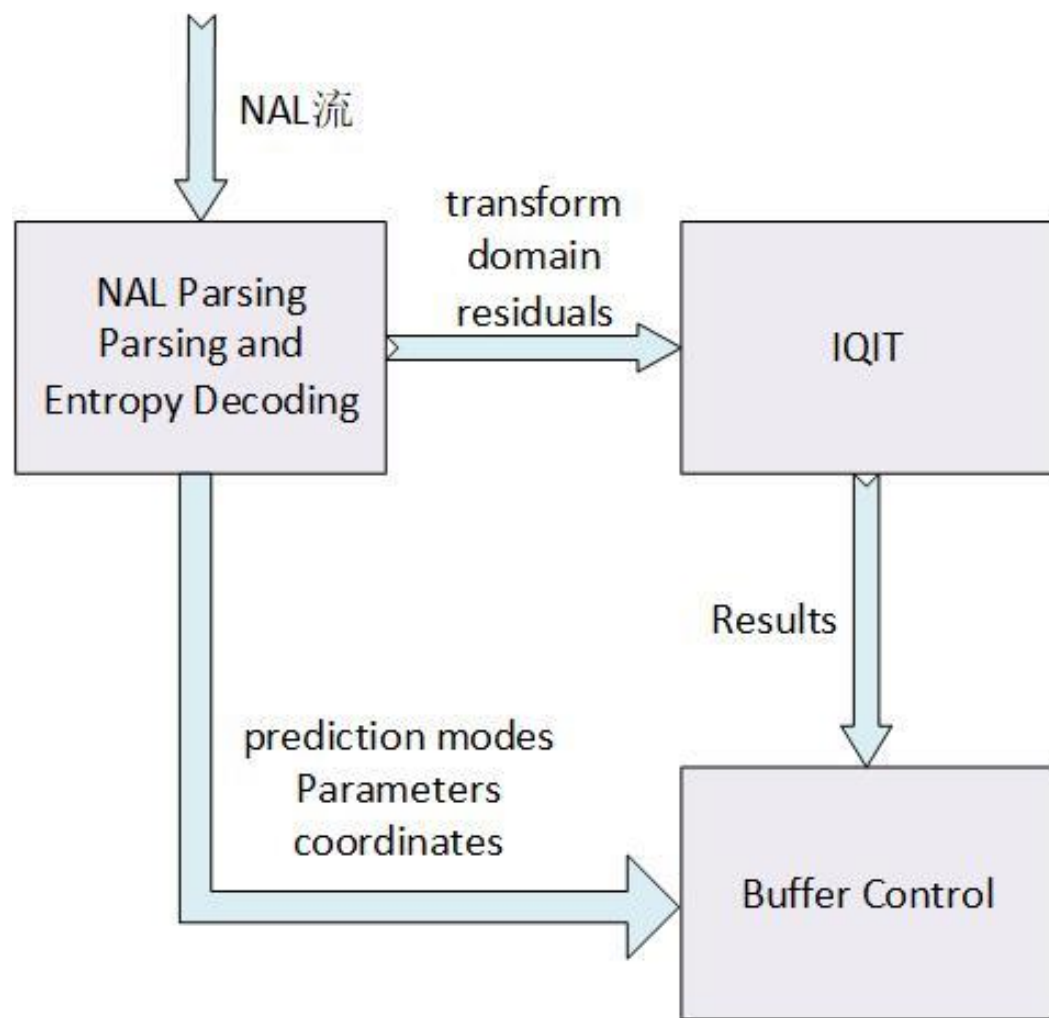


H.264视频解码器算法顶层框图



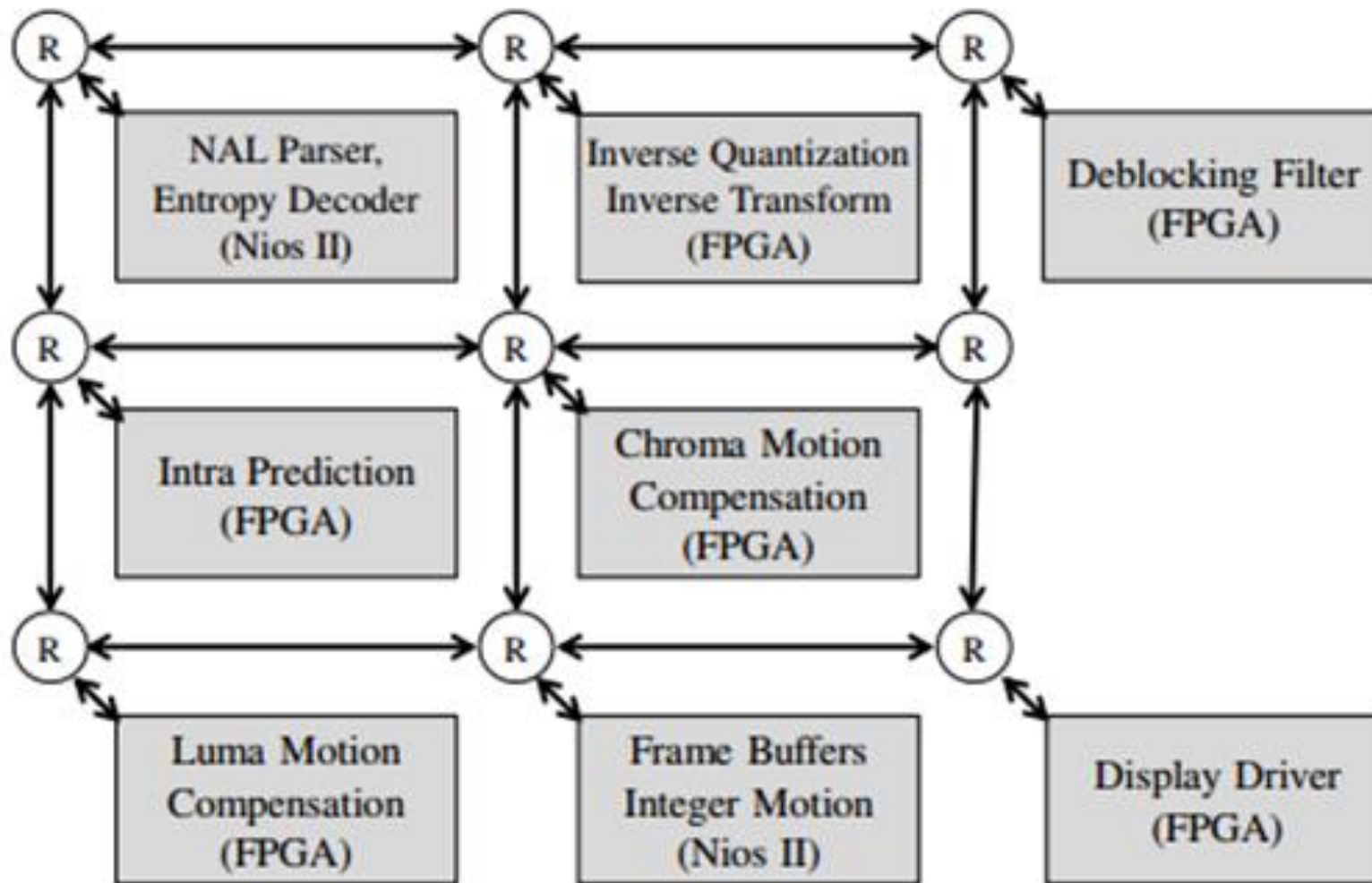


几个模块的数据流向图



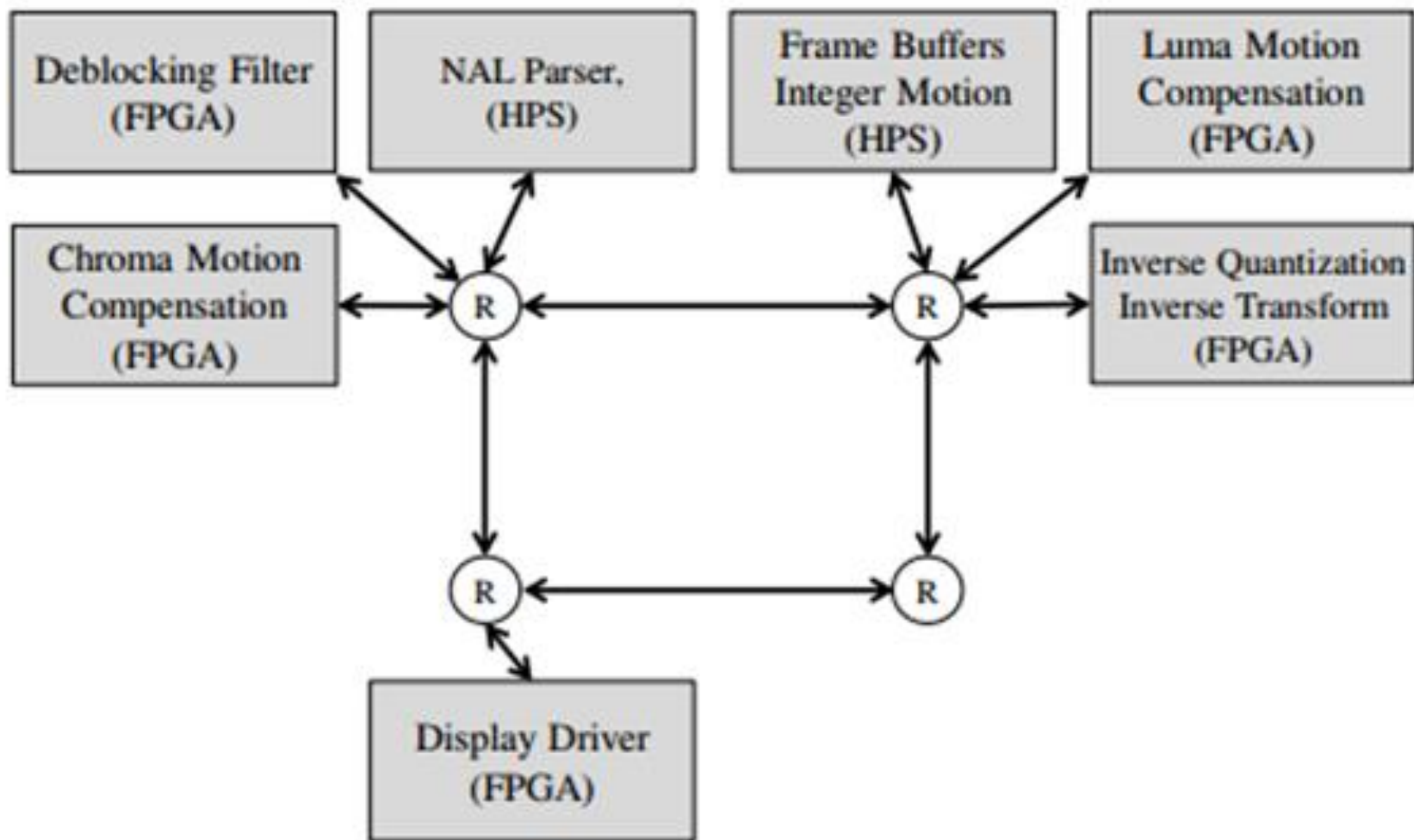


3x3的片上网络拓扑





2x2的片上网络拓扑



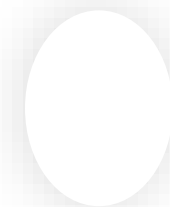


04

效果



测试结果

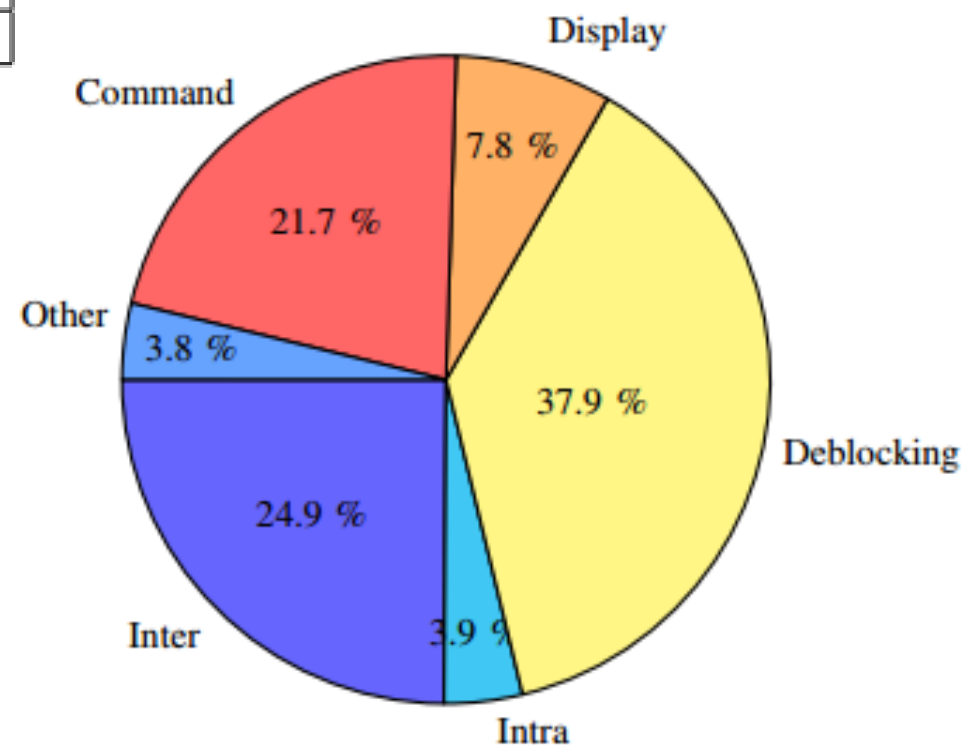


	3x3 Decoder	2x2 Decoder	Nios II SW	HPS SW
akiyo (qcif)	8.26	7.12	4.86	11.57
highway (qcif)	6.74	4.73	3.55	11.03
foreman (qcif)	5.76	3.64	2.81	10.79
paris (cif)	1.96	1.76	0.82	4.23
hall (cif)	1.91	1.66	1.02	4.22
average fps (cif)	1.95	1.74	0.85	4.23
average fps (qcif)	6.75	4.75	3.56	11.06



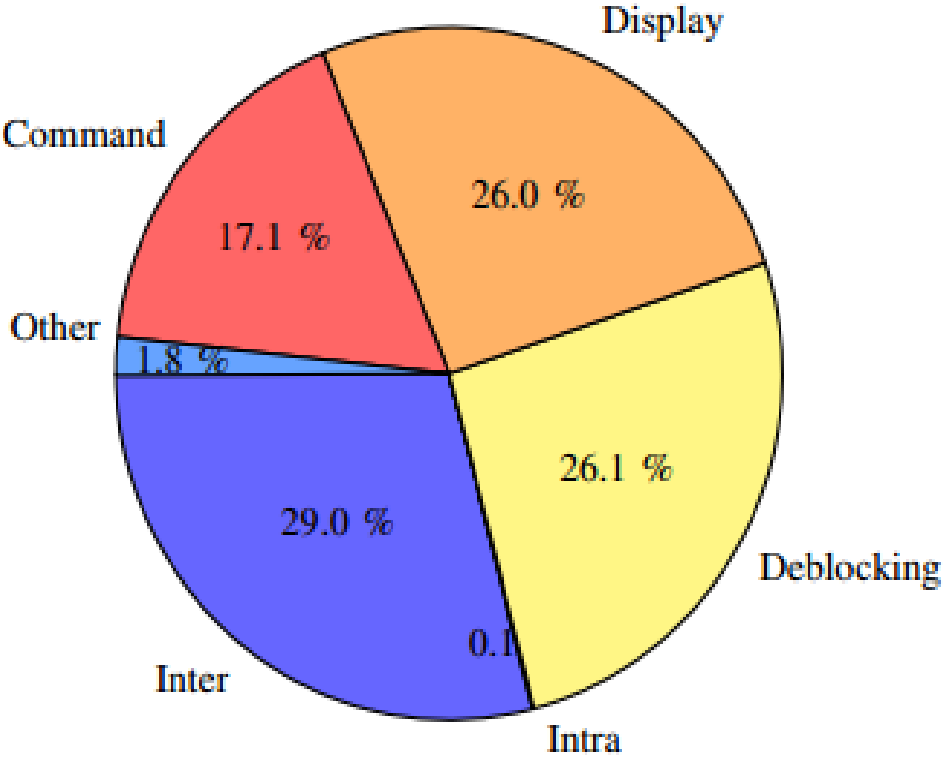
Video	akiyo	highway	foreman	paris	hall
Format	qcif	qcif	qcif	cif	cif
Frames	300	2000	300	1060	300
Total Decode Time	37.18	310.00	55.07	579.68	168.65
Total Intra Time	1.61	11.46	1.96	23.68	6.08
Total Inter Time	8.08	83.26	16.36	135.85	38.65
Total Deblock Time	16.14	107.62	16.14	242.31	68.26
Total Display Time	3.99	26.60	3.99	35.95	10.13
Intra Idle Time	0.54	3.80	0.65	7.92	2.02
Inter Idle Time	0.47	12.97	3.25	11.39	3.52
Deblock Idle Time	2.57	17.12	2.57	38.51	10.85
Command Wait Time	6.23	68.75	14.14	121.27	38.63

3x3 noc解码器的分析结果



Video	akiyo	highway	foreman	paris	hall
Format	qcif	qcif	qcif	cif	cif
Frames	300	2000	300	1060	300
Total Decode Time	43.05	430.34	83.79	615.21	184.04
Total Intra Time	0.04	0.27	0.04	0.60	0.16
Total Inter Time	6.26	157.34	39.00	143.15	43.96
Total Deblock Time	13.30	88.71	13.31	199.47	56.19
Total Display Time	16.45	109.63	16.45	147.52	41.55
Intra Idle Time	0.00	0.00	0.00	0.00	0.00
Inter Idle Time	1.65	46.00	11.56	39.88	12.36
Deblock Idle Time	8.95	59.69	8.95	134.20	37.80
Command Wait Time	6.28	67.29	13.48	112.80	38.14

2x2 noc解码器的分析结果





05

分析



可以改进的地方

- 提高内存的总带宽
- 应该减少缓冲区处理单元执行片上网络读写所需的活动或交互量
- 考虑到缓冲处理单元相对简单，可以完全在硬件中实现其功能
- 解析器处理单元可能是一个很好的改进目标，因为命令等待时间占用了大量的缓冲处理单元时间



谢谢观看

汇报人：杨维铃

小组成员：杨维铃，高琬蓉