



CONTADOR CONTROLADO POR UART

Especialización En Sistemas Embebidos

TRABAJO FINAL – MICROARQUITECTURAS Y SOFTCORES

En el presente documento se registran los entregables del proyecto requeridos por la cátedra.

Gonzalo Vila
CESE – Microarquitecturas y Softcores

1. Introducción	2
2. Alcance	2
3. Captura de las simulaciones más relevantes	2
4. Tabla de uso de recursos de la FPGA	4
5. Diseño de bloques	4

1. Introducción

El sistema a implementar se trata de un contador capaz de incrementar o decrementar la cuenta en base al control del usuario mediante la UART.

El proyecto consiste en diseñar un circuito utilizando el lenguaje VHDL para la descripción del hardware y su funcionamiento. Asimismo se integra este circuito en la forma de un IP core el cual es controlado por un microcontrolador tradicional.

En el microcontrolador se despliega una aplicación que proporciona la interfaz con el usuario a través de la UART y permite el control de la dirección en la que el contador avanza.

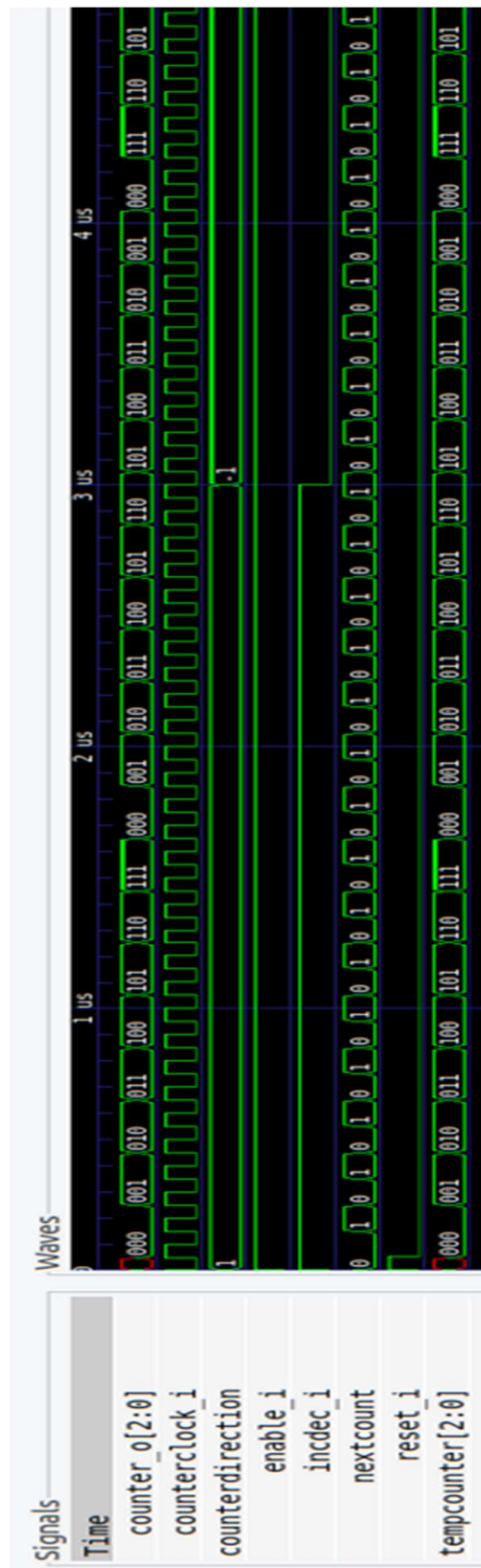
Se completan todas las fases de la construcción del sistema desde la creación del código, la simulación, síntesis, implementación y ejecución de la aplicación.

2. Alcance

El presente documento registra los entregables requeridos por la cátedra.

3. Captura de las simulaciones más relevantes

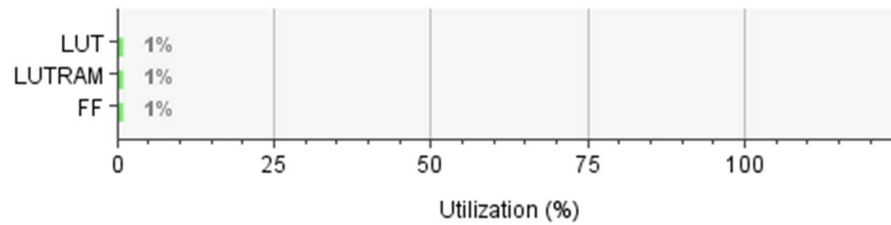
A continuación se observa la simulación del componente contador



4. Tabla de uso de recursos de la FPGA

A continuación se exhibe la tabla de uso de recursos del diseño.

Resource	Utilization	Available	Utilization %
LUT	617	53200	1.16
LUTRAM	66	17400	0.38
FF	808	106400	0.76

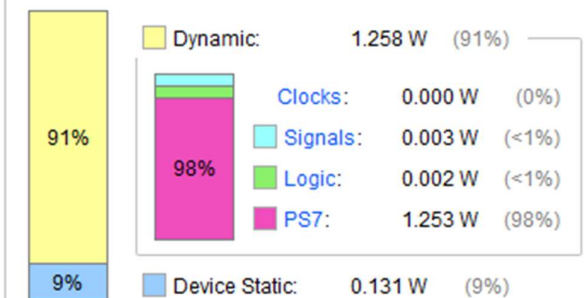


Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 1.389 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 41,0°C
Thermal Margin: 44,0°C (3,7 W)
Effective θ_{JA} : 11,5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Medium

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



5. Diseño de bloques

A continuación se entrega el diseño de bloques del sistema.

