

Trabajo práctico N°4

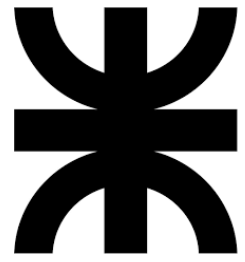
■ Autores:

- Mariano Alberto Condori - Leg. 406455 (Coordinador)
- Ignacio Ismael Perea - Leg. 406265 (Operador)
- Gonzalo Ezequiel Filsinger - Leg. 403797 (Operador/Doc.)
- Marcos Acevedo - Leg. 402898 (Doc)

■ Curso: 3R1

■ Asignatura: Dispositivos Electrónicos.

■ Institución: Universidad Tecnológica Nacional - Facultad Regional de Córdoba.



U
T
N

F
R
C

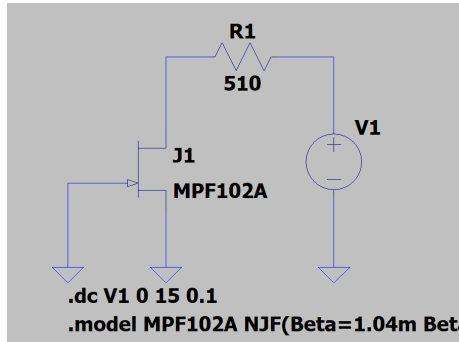
Índice

1. Actividad 1: Corriente de Saturación I_{DSS}	1
1.1. Simulación	1
1.2. Laboratorio	1
1.3. Conclusión	2
2. Actividad 2: Estrangulamiento del Canal $V_{GS(off)}$	2
2.1. Simulación	2
2.2. Laboratorio	2
2.3. Conclusión	3
3. Actividad 3: Característica de salida del JFET	3
3.1. Simulación	3
3.2. Laboratorio	3
3.3. Conclusión	3
4. Actividad 4: Interpretación de las especificaciones del fabricante	4
4.1. Actividad	4

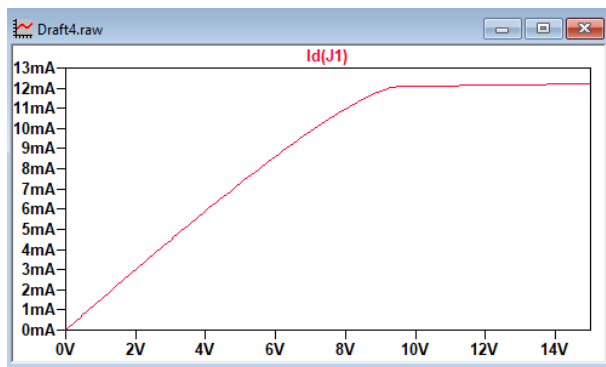
1. Actividad 1: Corriente de Saturación I_{DSS}

1.1. Simulación

Para la primera simulación vamos a implementar el siguiente circuito al simulador (LTSpice). Resaltamos que en nuestro caso usamos el JFET MPF102, por lo cual añadimos una resistencia al drenador para proteger el elemento, dicha resistencia es de 510Ω . Por lo que la añadiremos de ahora en adelante a las simulaciones para ser más precisas.



Observando el comportamiento de I_{DS} con respecto a V_{DS} , obtenemos la siguiente gráfica:



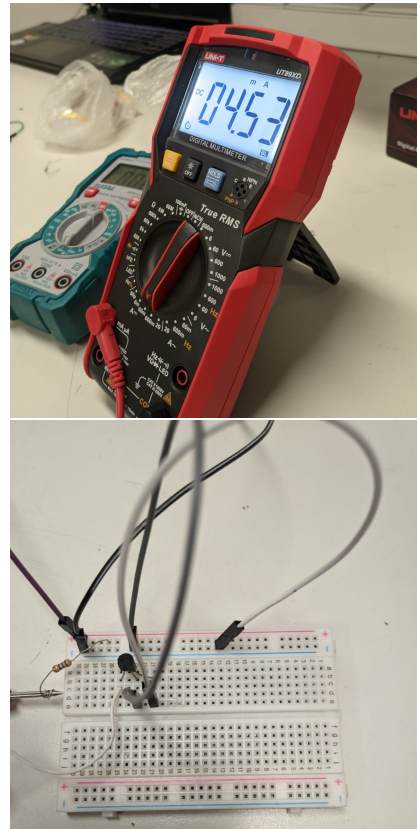
1.2. Laboratorio

Instrumental y Materiales

- Multímetro UNI-T UT89X
- Transistor JFET MPF102
- Resistor de 510Ω
- Fuente de alimentación

Procedimiento: Para la realización de la actividad implementamos el circuito mostrado en la siguiente imagen, e hicimos variar el voltaje de la fuente desde 0 hasta 15V, punto en el que consideramos que el JFET mantiene su corriente constante. Los saltos medidos fueron impresos para ver que ocurría en cada nivel de voltaje distinto hasta llegar a los 15V mencionados anteriormente.

Ejemplo de medición a 3V:



V_{DS}	I_D
150mV	0,210mA
1V	1,61mA
1,5V	2,43mA
2V	3,2mA
4V	5,36mA
6V	6,48mA
8V	7,34mA
10V	8mA
14,8V	9,56mA
17V	9,6mA

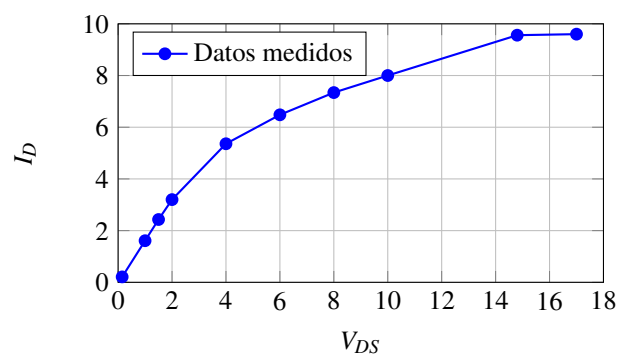


Figura 1: Gráfica de I_D (mA) vs V_{DS} (V) obtenida en laboratorio

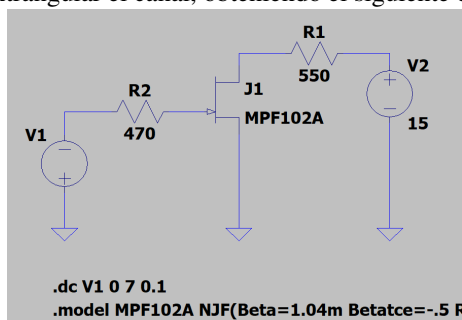
1.3. Conclusión

Podemos ver que el valor de I_{DSS} es 9,56, lo cual difiere con el obtenido en la hoja de datos el cual es de 20mA, pero esto se debe a la resistencia usada en el drenador, la cual limita la corriente de drenaje, y también las diferencias en las características del dispositivo usado en el laboratorio.

2. Actividad 2: Estrangulamiento del Canal $V_{GS(off)}$

2.1. Simulación

Para la siguiente simulación añadiremos una fuente que varía de 0 a 7 en polarización inversa a la compuerta para extrangular el canal, obteniendo el siguiente circuito:



Al simularlo se obtiene la siguiente gráfica:

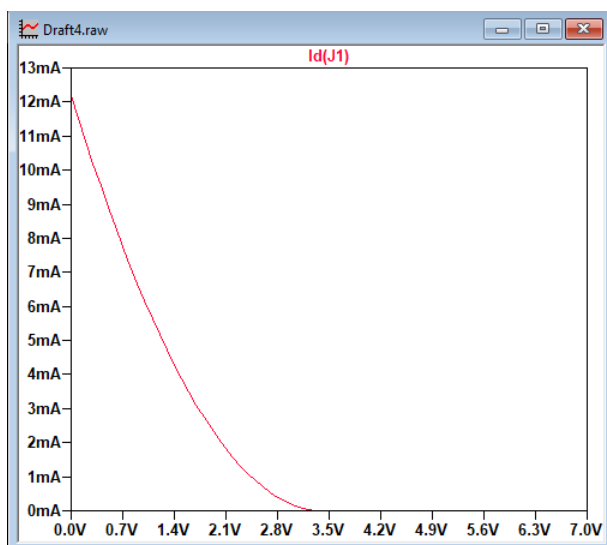


Figura 2: Gráfica de I_D (mA) vs V_{GS} (V) obtenida en simulación

En ella observamos El valor I_{DSS} de la simulación anteriores rondando los 12mA, y además obtenemos un nuevo valor, el cual es $V_{GS(off)}$ que en nuestro caso es de -3,3V.

2.2. Laboratorio

Instrumental y Materiales

- Multímetro UNI-T UT89X
- Transistor JFET MPF102
- Resistores de 470Ω y 550Ω

■ Fuente de alimentación

Procedimiento Para dicha actividad implementamos el circuito mostrado en la siguiente imagen, usando dos fuentes dejamos la fuente V_{DS} en 15V, y variamos lentamente la fuente V_{GS} en polarización inversa hasta que la corriente I_D sea 0.



V_{GS} [mV]	I_D [mA]
0	9,17
36	8,57
96,5	5,61
172	4,06
230	2,78
265	2,46
348	1,36
396	0,86
451	0,49
537	0,21
700	0,00124

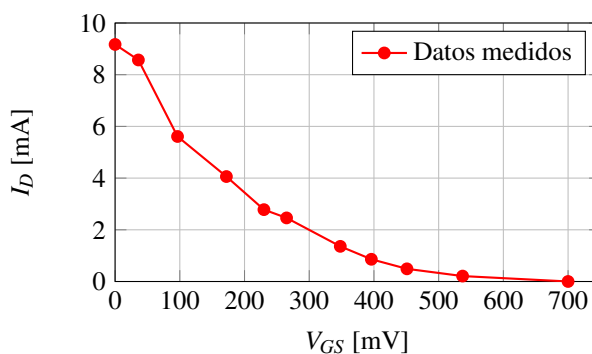


Figura 3: Gráfica de I_D vs V_{GS} obtenida en laboratorio

2.3. Conclusión

Como se puede observar se cumplen dos cosas, el valor máximo de corriente I_{DSS} es 9,17mA, y el valor de $V_{GS(off)}$ es -700mV, ambos valores difieren con los obtenidos en la hoja de datos, pero esto se debe a la calidad del JFET seleccionado como hablamos en la conclusión anterior.

Además, al observar la gráfica podemos ver que el comportamiento de la corriente de drenaje con respecto al voltaje de compuerta es exponencial, lo cual se puede observar en la ecuación que rige el comportamiento del JFET, siendo el valor máximo de I_{DSS} cuando V_{GS} es 0, y siendo 0 cuando V_{GS} es igual a $V_{GS(off)}$.

3. Actividad 3: Característica de salida del JFET

3.1. Simulación

Para la siguiente simulación vamos a implementar el circuito mostrado en la sección anterior, pero esta vez variamos el voltaje de la fuente V_{GS} , y medimos la corriente I_D para distintos valores de V_{DS} .

3.2. Laboratorio

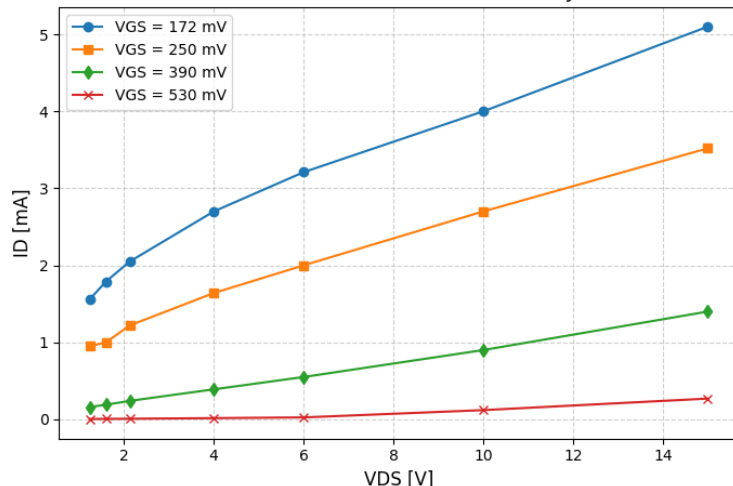
Instrumental y Materiales

- Multímetro UNI-T UT89X
- Transistor JFET MPF102
- Resistor de
- Fuente de alimentación

V_{DS}	$V_{GS} = 172mV$	$V_{GS} = 250mV$
1,24V	1,56mA	0,95mA
1,6V	1,79mA	1mA
2,13V	2,05mA	1,22mA
4V	2,7mA	1,64mA
6V	3,21mA	2mA
10V	4mA	2,7mA
15V	5,1mA	3,52mA

V_{DS}	$V_{GS} = 390mV$	$V_{GS} = 530mV$
1,24V	0,16mA	4,84μA
1,6V	0,19mA	6,28μA
2,13V	0,24mA	8,17μA
4V	0,39mA	16,05μA
6V	0,55mA	25,4μA
10V	0,9mA	0,12mA
15V	1,4mA	0,27mA

Curvas características de salida del JFET



3.3. Conclusión

Las curvas medidas muestran el comportamiento esperado del JFET: I_D disminuye al aumentar la tensión negativa de la compuerta V_{GS} .

4. Actividad 4: Interpretación de las especificaciones del fabricante

4.1. Actividad

Para esta actividad vamos a buscar los siguientes datos en la en el datasheet del transistor seleccionado.

- I_{DSS} : 2-20mA
- V_{DS} máx: 25V
- V_{GS} : 0 a -25V
- P_t : 350 mW
- V_{br} : -25V
- $V_{GS(off)}$: -8V