

TP CAO Amplificateur de puissance MMIC en bande Ku

Le fichier ADS fourni (*.7zads) à télécharger sur la page Moodle du cours contient le modèle grand signal du transistor qui permet d'effectuer les différentes simulations utiles à la conception de l'amplificateur MMIC.

Voir si besoin le mode d'emploi ADS pour désarchiver le fichier .7zads

Ouvrir le Schematic « test_modelFET_2100um »

NB : Tous les résultats de simulation sont sauvegardés dans le fichier « test_modelFET_2100um.ds » et affichés dans l'onglet correspondant du Display « test_modelFET_2100um.dds » (visibles en bas de la fenêtre d'affichage). Choisir le bon onglet pour avoir l'affichage correct :



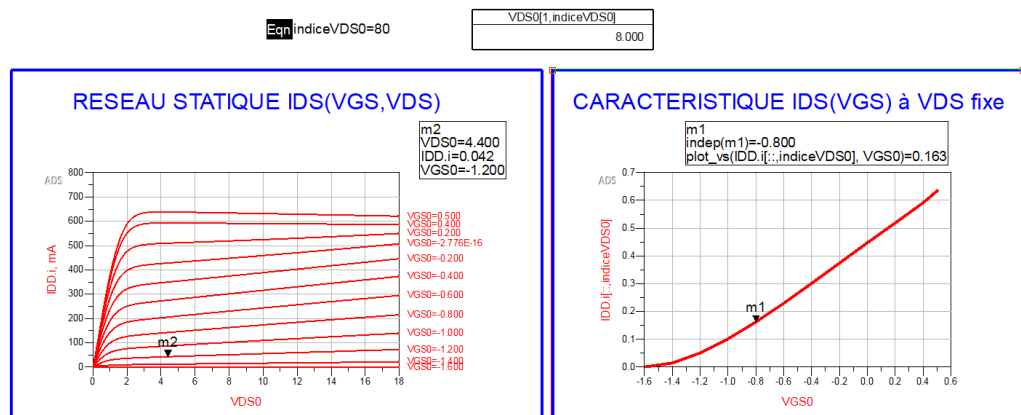
I. Simulation des performances du transistor unitaire

- Tracer les caractéristiques statiques (DC) $I_{DS}(V_{GS}, V_{DS})$ du transistor unitaire en précisant les paramètres *Start*, *Stop* des tensions VGS et VDS. Choisir le point de polarisation (V_{GS0} , V_{DS0}) qui sera utilisé pour la suite. Justifier ce choix. Visualiser les résultats dans l'onglet 'STATIQUE'.

$$V_{GS0} = -0.8V$$

$$V_{DS0} = 8V$$

Justification : On se place à -0.8 V pour être en classe A



Commentaires sur l'allure des courbes :
 Courbes

NB : avant de passer à la suite, modifier le *dataset* (fichier résultat) dans le menu : *simulation/settings* en indiquant le nom : *test_modelFET_2100um*

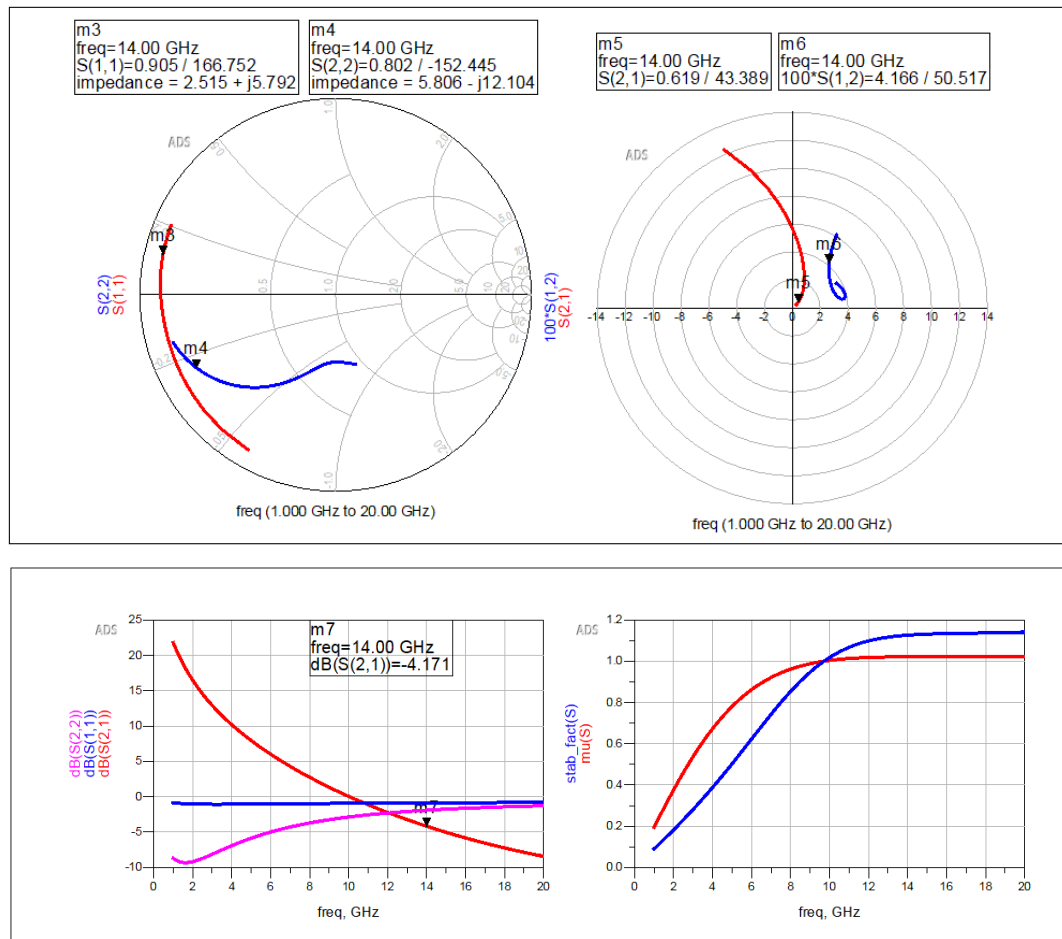
2) Simulation des paramètres S (S-PARAM) : régime dynamique petit-signal au point de polarisation choisi.

Renseigner VGS0 et VDS0 avec les valeurs retenues et simuler.

Relever les valeurs des S_{ij} (module et phase) à la fréquence de travail (14 GHz) ainsi que les impédances associées à S_{11} et S_{22} .

Visualiser les résultats dans l'onglet 'PARAMETRES S'.

Commentaires ?




Vérifier les critères de stabilité (petit-signal) du circuit.

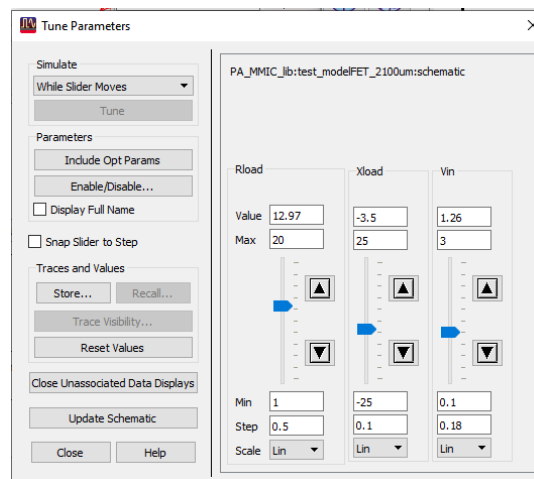
Le graphique de μ en fonction de la fréquence nous indique que le système est inconditionnellement stable jusqu'à environ 8GHz.

$S_{21} = -4\text{dB}$ à 14GHz (pas de gain)

- 3) Simulation en puissance (HB) : régime dynamique fort-signal au point de polarisation choisi. **L'annexe ci-après précise les notions de cycle de charge intrinsèque et d'impédance de charge intrinsèque.**

Désactiver/activer les blocs et éléments (générateur, charge) pour cette simulation comme indiqué sur le *schematic*.

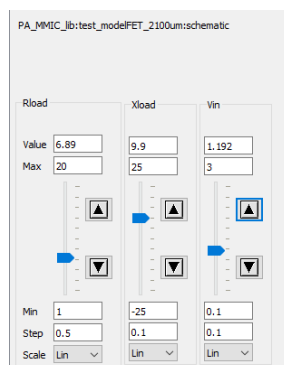
- a) optimiser l'impédance de charge Z_{load} à l'aide de la fonction « tuning »  en visualisant le cycle de charge intrinsèque et en modifiant Rload et Xload. Ajuster la tension Vin pour maximiser les excursions du cycle de charge (fermé !) dans les limites imposées par le réseau $I_{DS}(V_{GS}, V_{DS})$. *Modifier les bornes Min, Max et Step si besoin.*

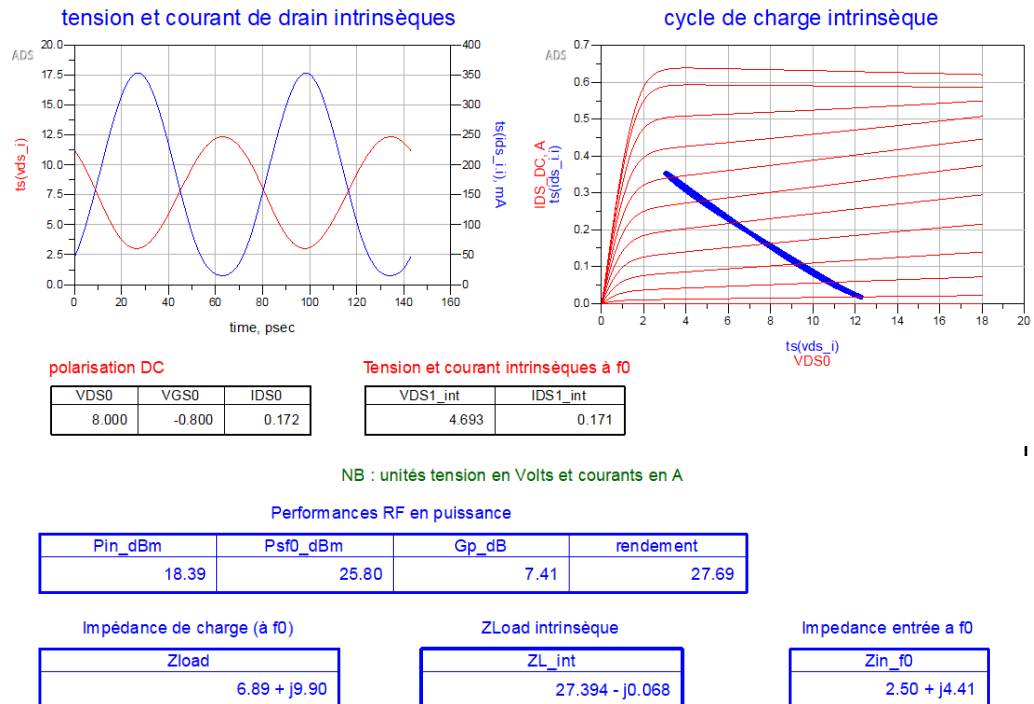


Une fois le cycle de charge optimisé, faire « Update Schematic » et « close ».

Visualiser les résultats dans l'onglet 'PUISSANCE Vin fixe'.

courbes





Valeur optimale de V_{in} =
 Valeur optimale de Z_{load} =
 Valeur optimale obtenue de ZL_int

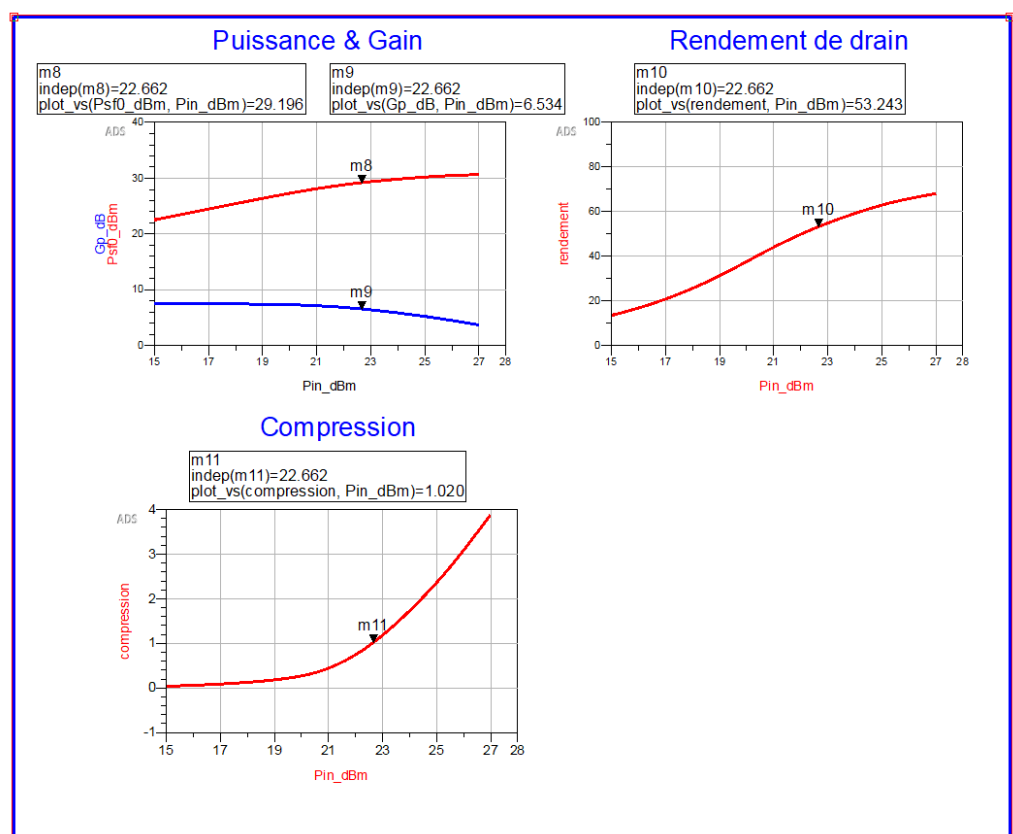
Performances RF :

- Puissance de sortie à f_0 :
- Puissance d'entrée correspondante :
- Gain :
- Rendement :
- Amplitude de la tension de drain à f_0 :
- Amplitude du courant de drain à f_0 :

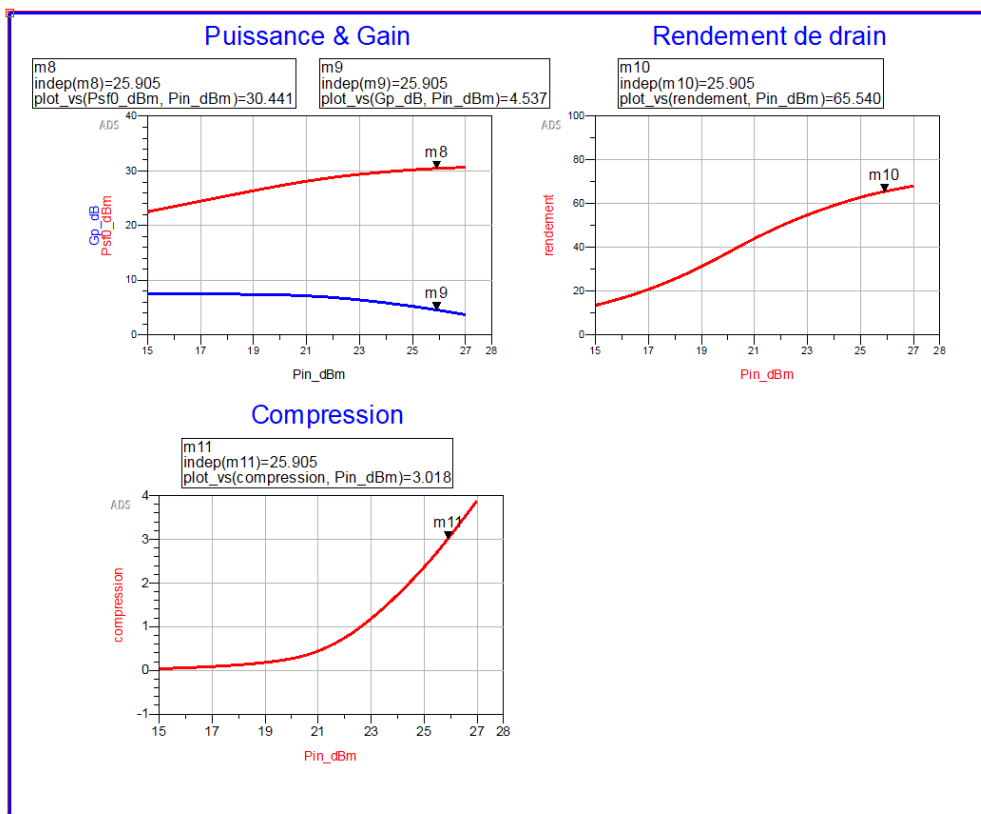
- b) Désactiver la simulation HB précédente et activer HB avec V_{in} variable. La charge Z_{load} est celle déterminée précédemment. Simuler.
 On visualise alors la puissance de sortie, le gain et le rendement en fonction de la puissance d'entrée (calculée à partir de V_{in}). Cette simulation permet de déterminer la puissance et le gain à 1 dB et à 3 dB de compression (ce qui n'était pas possible avec l'optimisation précédente via le cycle de charge).

Visualiser les résultats dans l'onglet 'PUISSANCE V_{in} variable'.

Courbes



$Ps_{-1dB} =$
 $Gp_{-1dB} =$
 Rendement :



$Ps_{.3dB} =$

$G_{p-3dB} =$

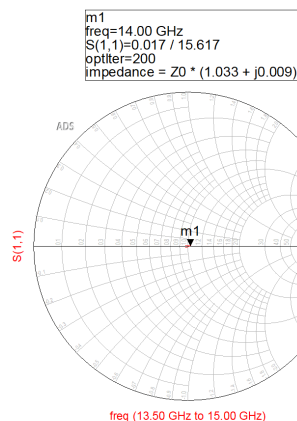
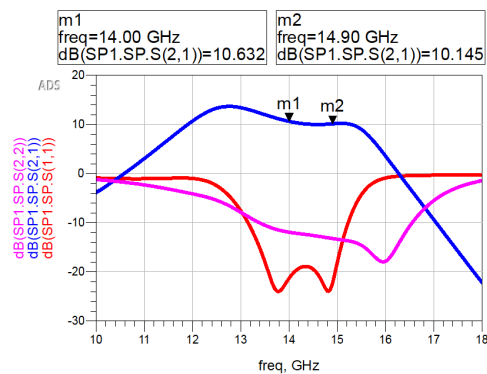
Rendement :

Commentaires sur les valeurs obtenues :

II. Comparaison théorie-simulation

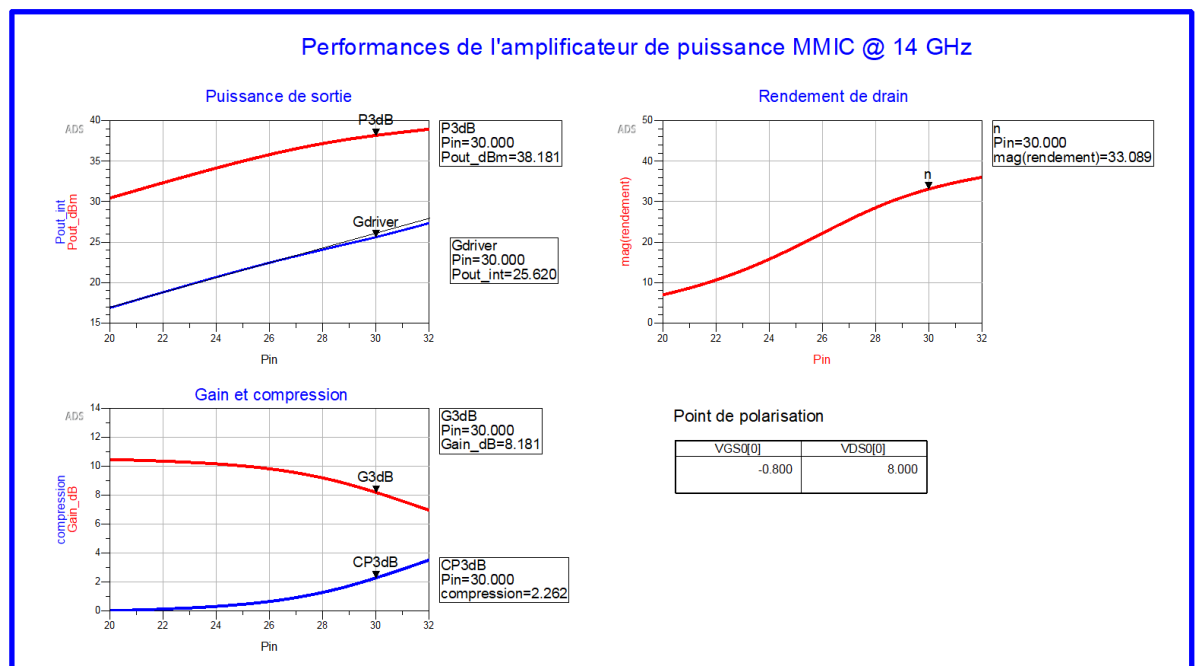
- comparer les valeurs simulées et théoriques de la puissance RF du transistor unitaire et son impédance de charge optimale obtenues à partir du réseau $I_{DS}(V_{GS}, V_{DS})$ – cf cours SSPA
- comparer l'impédance Z_{load} optimale en puissance à l'impédance qui serait présentée pour une adaptation petit-signal

Paramètres S de l'amplificateur de puissance MMIC



Attention : le centre de l'abaque correspond ici à l'impédance complexe du générateur (PORT1) ($Z_g = Z_{load}/8$) et à non 50 Ohms !!
Si S11 est au centre de l'abaque (donc "nul") cela indique que l'impédance vue par le générateur vaut $Z_{ch} = Z_{load}/8$.

longueurs des lignes/stubs et capacités	largeurs des lignes/stubs
<div>Var Eqn</div> VAR VAR9 LL1mm=0.35987 LL0mm=0.0106923 LL2mm=0.0100177 LL3mm=0.0100466 LL4mm=0.449054 LL5mm=1.40944 LL6mm=0.499971 Co1pF=0.325364 Co2pF=1.52335 Co3pF=0.707619	<div>Var Eqn</div> VAR VAR43 W50um=14.2136 W40um=19.4664 W30um=19.0684 WOum=20 longueurs en mm largeurs en um capacités en pF



$$\text{Eqn } P_{\text{out_dBm}} = \text{dBm}(\text{vout}[1])$$

$$\text{Eqn } \text{Gain_dB} = P_{\text{out_dBm}} - P_{\text{in}}$$

$$\text{Eqn } \text{compression} = \text{Gain_dB}[1] - \text{Gain_dB}$$

$$\text{Eqn } P_{\text{out_W}} = 10^{(P_{\text{out_dBm}}/10)} \cdot 1e-3$$

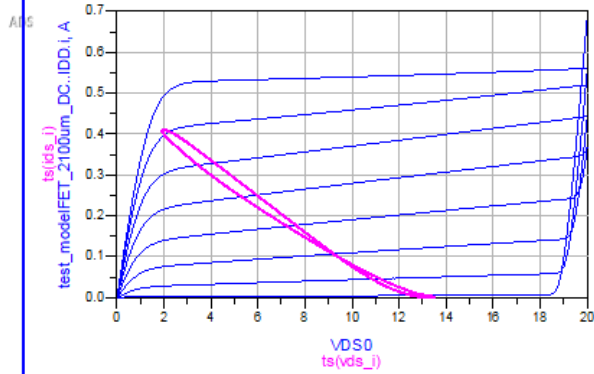
$$\text{Eqn } P_{\text{DC}} = V_{\text{DS0}}[0] \cdot I_{\text{DD}}[0]$$

$$\text{Eqn } \text{rendement} = 100 \cdot P_{\text{out_W}} / P_{\text{DC}}$$

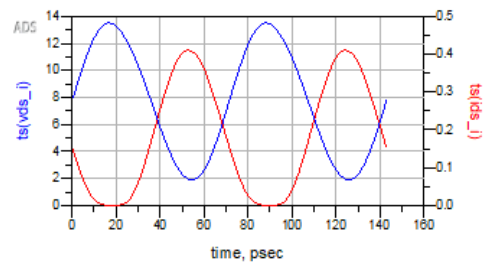
$$\text{Eqn } P_{\text{out_interetage}} = 0.5 \cdot \text{real}(\text{vs1etage} \cdot \text{conj}(\text{lout_1etage}.i))$$

$$\text{Eqn } P_{\text{out_int}} = 10 \cdot \log(P_{\text{out_interetage}}[1]) + 30$$

cycle de charge des transistors de sortie



Eqn vds_i=-(FET_mod2.vs_i[ind,:]-FET_mod2.vd_i[ind,:])
Eqn ids_i=FET_mod2.ids_i[ind,:]

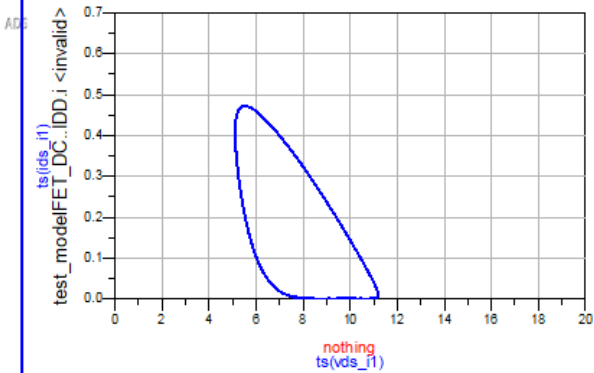


modifier l'indice pour obtenir
la puissance d'entree correspondante

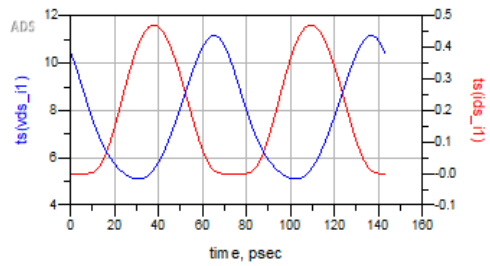
Eqn ind=36

Pin[ind]
27.200

cycle de charge des transistors d'entree

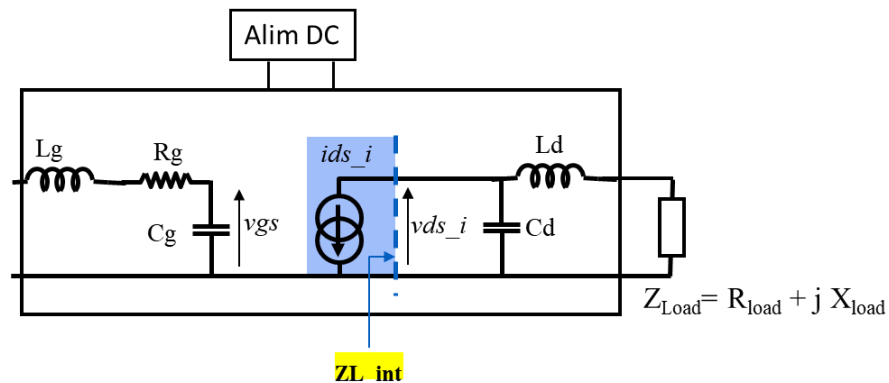


Eqn vds_i1=-(FET_mod10.vs_i[ind,:]-FET_mod10.vd_i[ind,:])
Eqn ids_i1=FET_mod10.ids_i[ind,:]



ANNEXE : cycle de charge

Le cycle de charge représente l'évolution temporelle du courant de drain en fonction de la tension de drain lorsque le transistor est chargé par une impédance quelconque. Sachant que l'impédance Z_{load} est placée sur l'accès drain « externe » (accessible à l'utilisateur), il faut s'intéresser au courant ids_i et tension vds_i au niveau de la source de courant intrinsèque, à laquelle on n'a pas accès en pratique (uniquement en simulation...), comme le montre le modèle simplifié du transistor ci-dessous.



L'impédance de charge Z_{load} est vue aux bornes de la source de courant comme une impédance intrinsèque notée ZL_int . L'objectif de l'optimisation de la charge Z_{load} est de faire en sorte que ZL_int soit réelle car c'est l'impédance optimale qui maximise la puissance fournie par le transistor : $v_{ds_i}(t)$ et $ids_i(t)$ sont alors en opposition de phase et le cycle de charge est fermé et se rapproche ici d'une droite (cf droite de charge). Si la charge est complexe ids_i et v_{ds_i} sont déphasés et le cycle de charge est ouvert et s'apparente à une ellipse (du moins pour V_{in} pas trop élevée). Ceci est illustré ci-dessous. Le cycle est tracé pour une puissance d'entrée donnée et il est parcouru en fonction du temps. Il faut donc maximiser ses excursions pour obtenir la puissance maximale.

