

# *Proyecto de diseño*

Sistema de alimentación para aplicaciones  
industriales y automotrices

Diseño de Circuitos Electrónicos (86.10)  
Primer cuatrimestre de 2022

Aveni, Lucas Daniel  
Becker, Gonzalo Agustín  
Ferreyra, Rodrigo Nicolas  
Topp, Alejandro Gabriel  
Viñas, Matías Ezequiel

## Indice

|   |          |
|---|----------|
| <b>1. Objetivos</b>   | <b>4</b> |
| <b>2. Resultados Obtenidos</b>                                    | <b>4</b> |
| <b>3. Fuente de alimentación lineal</b>                           | <b>5</b> |
| 3.1. Elección del transistor de paso . . . . .                    | 6        |
| 3.2. Diseño . . . . .   | 6        |
| 3.3. Regulación de línea . . . . .                                | 7        |
| 3.3.1. Simulaciones . . . . .                                     | 7        |
| 3.3.2. Mediciones . . . . .                                       | 9        |
| 3.4. Regulación de carga . . . . .                                | 10       |
| 3.4.1. Simulaciones . . . . .                                     | 10       |
| 3.4.2. Mediciones . . . . .                                       | 11       |
| 3.5. Estabilidad . . . . .  | 12       |
| 3.5.1. Simulaciones . . . . .                                     | 13       |
| 3.5.2. Mediciones . . . . .                                       | 14       |
| 3.5.3. Cálculos correspondientes de compensación . . . . .        | 16       |
| 3.6. Limitador de corriente tipo foldback . . . . .               | 17       |
| 3.6.1. Simulaciones . . . . .                                     | 17       |
| 3.6.2. Mediciones . . . . .                                       | 17       |
| 3.6.3. Cálculos correspondientes de limitación foldback . . . . . | 19       |
| 3.7. Detector de baja tensión . . . . .                           | 19       |
| 3.7.1. Simulaciones . . . . .                                     | 20       |
| 3.7.2. Mediciones . . . . .                                       | 21       |
| 3.7.3. Cálculos correspondientes detector UVLO . . . . .          | 21       |
| 3.8. Protección por alta tensión . . . . .                        | 22       |
| 3.8.1. Simulaciones . . . . .                                     | 22       |
| 3.8.2. Mediciones . . . . .                                       | 23       |
| 3.9. Cálculo del disipador . . . . .                              | 24       |

|   |           |
|---|-----------|
| 3.10. Simulación Montecarlo y Worst Case . . . . .          | 25        |
| 3.10.1. Simulaciones . . . . .                              | 25        |
| 3.11. Eficiencia . . . . .                                  | 28        |
| 3.11.1. Simulaciones . . . . .                              | 28        |
| <b>4. Fuente de alimentación conmutada</b>                  | <b>29</b> |
| <b>5. Bloque Support</b>                                    | <b>33</b> |
| 5.1. Tensión de referencia de 1.2V . . . . .                | 33        |
| 5.2. Alimentación de 9V y 5V . . . . .                      | 33        |
| 5.3. Alimentación de -5V . . . . .                          | 33        |
| 5.4. Alimentación y Suministro Corriente Buck . . . . .     | 34        |
| 5.5. Enable y Selección de tensión de salida . . . . .      | 34        |
| 5.6. Diseño PCB Support . . . . .                           | 34        |
| <b>6. Apéndices</b>   | <b>35</b> |
| 6.1. Apéndice 1: Compensación y Estabilización . . . . .    | 35        |
| 6.1.1. Ganancia de cada etapa constructiva . . . . .        | 35        |
| 6.1.2. Ganancia de lazo total . . . . .                     | 36        |
| 6.1.3. Análisis de nodo dominante . . . . .                 | 36        |
| 6.1.4. Compensación por polo dominante . . . . .            | 36        |
| 6.2. Apéndice 2: Limitación tipo Foldback . . . . .         | 38        |
| 6.2.1. Desarrollo teórico . . . . .                         | 38        |
| 6.3. Apéndice 3: Detector UVLO . . . . .                    | 40        |
| 6.3.1. Histéresis . . . . .                                 | 40        |
| 6.4. Apéndice 4: Detector OVLO . . . . .                    | 40        |
| 6.4.1. Desarrollo teórico . . . . .                         | 40        |
| 6.5. Diseño PCB LDO . . . . .                               | 41        |
| 6.6. Apéndice 5: Fuente conmutada reductora . . . . .       | 42        |
| 6.6.1. Topología utilizada y parámetros de diseño . . . . . | 42        |
| 6.6.2. Corriente sobre la carga . . . . .                   | 42        |

|         |  |    |
|---------|--|----|
| 6.6.3.  | Rizado de tensión . . . . .  | 42 |
| 6.6.4.  | Demás parámetros . . . . .   | 42 |
| 6.6.5.  | Elección de controlador . . . . .  | 43 |
| 6.6.6.  | Seteo de frecuencia de conmutación . . . . .   | 45 |
| 6.6.7.  | Caracterización de inductor . . . . .  | 46 |
| 6.6.8.  | Desarrollo a través del método del $k_G$ . . . . .   | 46 |
| 6.6.9.  | Caracterización de capacitor de salida . . . . .   | 48 |
| 6.6.10. | Elección de transistores . . . . .   | 51 |
| 6.6.11. | Circuito de disparo de Top MOS . . . . .   | 51 |
| 6.6.12. | Compensación de sistema . . . . .  | 52 |
| 6.6.13. | Tiempo de retardo del controlador . . . . .  | 54 |
| 6.6.14. | Comparación de modelo promediado con modelo temporal y respuesta de carga dinámica . . . . . | 55 |
| 6.6.15. | Respuesta ante variaciones a la entrada . . . . .  | 55 |
| 6.6.16. | Rechazo de ruido a la entrada . . . . .  | 56 |
| 6.6.17. | Seteo de Soft-Start . . . . .  | 56 |
| 6.6.18. | Caracterización de componentes adicionales . . . . .   | 57 |
| 6.6.19. | Limitador de corriente máxima . . . . .  | 57 |
| 6.6.20. | Limitador de corriente interno . . . . .   | 57 |
| 6.6.21. | Lazo de control de corriente . . . . .   | 58 |
| 6.6.22. | Circuito final . . . . .   | 61 |
| 6.6.23. | Cálculo de parámetros de diseño . . . . .  | 62 |
| 6.6.24. | Eficiencia . . . . .   | 64 |

## 1. Objetivos

El siguiente proyecto tiene como objetivo diseñar un sistema electrónico que genere tensiones de alimentación estables seleccionables de 3.3V y 5V a partir de una fuente de alimentación conmutada. La tensión de la fuente puede tener un amplio rango de variación (12V a 36V). La aplicación de este sistema es proveer alimentación estable a cargas como microprocesadores, sensores y transceptores de comunicación, tanto en aplicaciones automotrices como industriales.

## 2. Resultados Obtenidos

| Especificaciones Generales               |                     |      |      |      |          |
|--|---------------------|------|------|------|----------|
| Característica                           | Símbolo             | Min. | Tip. | Max. | Unidades |
| Rango de operación de tensión de entrada | VIN                 | 12   | 24   | 36   | V        |
| Corriente de alimentación inactivo       | IQ (VIN=12V)        |      |      |      | mA       |
| Corriente de alimentación inactivo       | IQ_Sleep (ENABLE=0) |      |      |      | mA       |

Cuadro 1: Especificaciones Generales

| Especificaciones Regulador BUCK |           |       |        |       |          |
|---------------------------------|-----------|-------|--------|-------|----------|
| Característica                  | Símbolo   | Min.  | Tip.   | Max.  | Unidades |
| Frecuencia de conmutación       | fsw       |       | 201.58 |       | kHz      |
| Tensión regulada del Buck       | VREG      | 6.343 | 6.355  | 6.367 | V        |
| ON time                         | ton(min)  | 0.88  | 1.33   | 2.65  | us       |
| OFF time                        | toff(min) | 2.35  | 3.68   | 4.12  | us       |
| Resistencia de encendido HS MOS | Rdson(HS) |       | 36     |       | mΩ       |
| Resistencia de encendido LS MOS | Rdson(LS) |       | 36     |       | mΩ       |
| Tiempo de encendido lento       | tss       |       | 7.5    |       | ms       |

Cuadro 2: Especificaciones Regulador BUCK

| Especificaciones Reguladores Lineales VA y VB |                       |      |      |      |          |
|---|-----------------------|------|------|------|----------|
| Característica                                | Símbolo               | Min. | Tip. | Max. | Unidades |
| VA exactitud y regulación de carga            | VA 5V 1A              | 4.9  | 5    | 5.1  | V        |
| VA exactitud y regulación de carga            | VA 3.3V 1A            | 3.23 | 3.3  | 5.1  | V        |
| VA rango de capacidad de carga                | COUT(VA)              | 1.0  | 2.2  | 15.0 | uF       |
| VB exactitud y regulación de carga            | VB 5V 0.5A            | 4.9  | 5    | 5.1  | V        |
| VB exactitud y regulación de carga            | VB 3.3V 0.5A          | 3.23 | 3.3  | 5.1  | V        |
| VB rango de capacidad de carga                | COUT(VB)              | 1.0  | 2.2  | 15.0 | uF       |
| VA corriente límite                           | ILIM(VA)              |      | 750  |      | mA       |
| VA corriente de foldback                      | IFBK(VA)              |      | 200  |      | mA       |
| VB corriente límite                           | ILIM(VB)              |      | 1.5  |      | A        |
| VB corriente de foldback                      | IFBK(VB)              |      | 400  |      | mA       |
| VA startup time                               | tVA(start)            |      |      |      | ms       |
| VB startup time                               | tVB(start)            |      |      |      | ms       |
| VA 5V Over Voltage Lock Out                   | VA_5V_OVLO(rising)    |      | 5.17 |      | V        |
| VA 5V Over Voltage Lock Out                   | VA_5V_OVLO(falling)   |      |      |      | V        |
| VA 5V Under Voltage Lock Out                  | VA_5V_UVLO(rising)    |      | 4.75 |      | V        |
| VA 5V Under Voltage Lock Out                  | VA_5V_UVLO(falling)   |      | 4.11 |      | V        |
| VB Over Voltage Lock Out                      | VB_3.3V_OVLO(rising)  |      |      |      | V        |
| VB Over Voltage Lock Out                      | VB_3.3V_OVLO(falling) |      |      |      | V        |
| VB Under Voltage Lock Out                     | VB_3.3V_UVLO(rising)  |      |      |      | V        |
| VB Under Voltage Lock Out                     | VB_3.3V_UVLO(falling) |      |      |      | V        |

Cuadro 3: Especificaciones Reguladores Lineales VA y VB

### 3. Fuente de alimentación lineal

La fuente de alimentación lineal es la encargada de suministrar la alimentación a las cargas de interés. Esta fuente consiste en dos reguladores lineales de bajo drop-out (Low Drop-Out, LDO). Un regulador generará una tensión de 3.3V/5V y una corriente nominal de 500mA, mientras que el otro generará una tensión de 3.3V/5V y una corriente nominal de 1A. Por otro lado, se implementaron protecciones por sobre-corriente, por baja y alta tensión.

### 3.1. Elección del transistor de paso

Para la correcta elección del transistor de paso, se tomaron en cuenta los siguientes requerimientos:

- Baja tensión de saturación
- Baja resistencia de encendido
- Soportar un amplio rango de corriente
- Accesibilidad en el mercado interno

En una primera instancia, se adoptó la utilización de un P-MOSFET, debido a que puede funcionar con un nivel cercano a la saturación, reduciéndose así la diferencia mínima de tensión entre entrada y salida;  $V_{DROP-OUT}$ . El transistor elegido es IRF9Z24, con las siguientes características:

- $R_{DS} = 0,28m\Omega$
- $ID = -11A$
- $V_{gs-th} = -4V$
- $V_{dss} = -60V$

### 3.2. Diseño

En la Figura 1 se presenta el diagrama en bloques del regulador LDO.

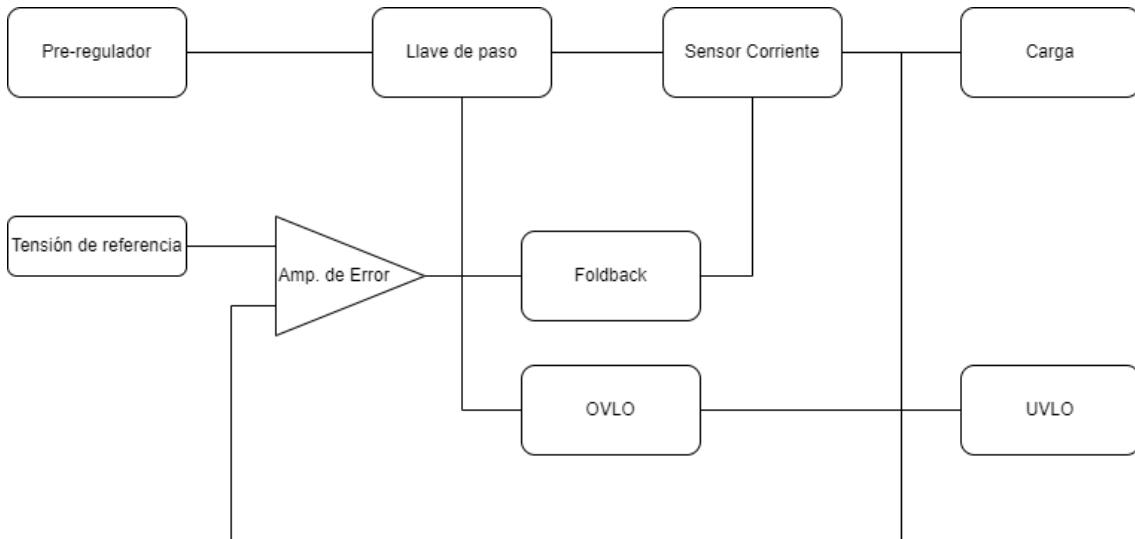


Figura 1: Diagrama en bloques del regulador LDO

En la Figura 2 se presenta el circuito esquemático del regulador LDO implementado.

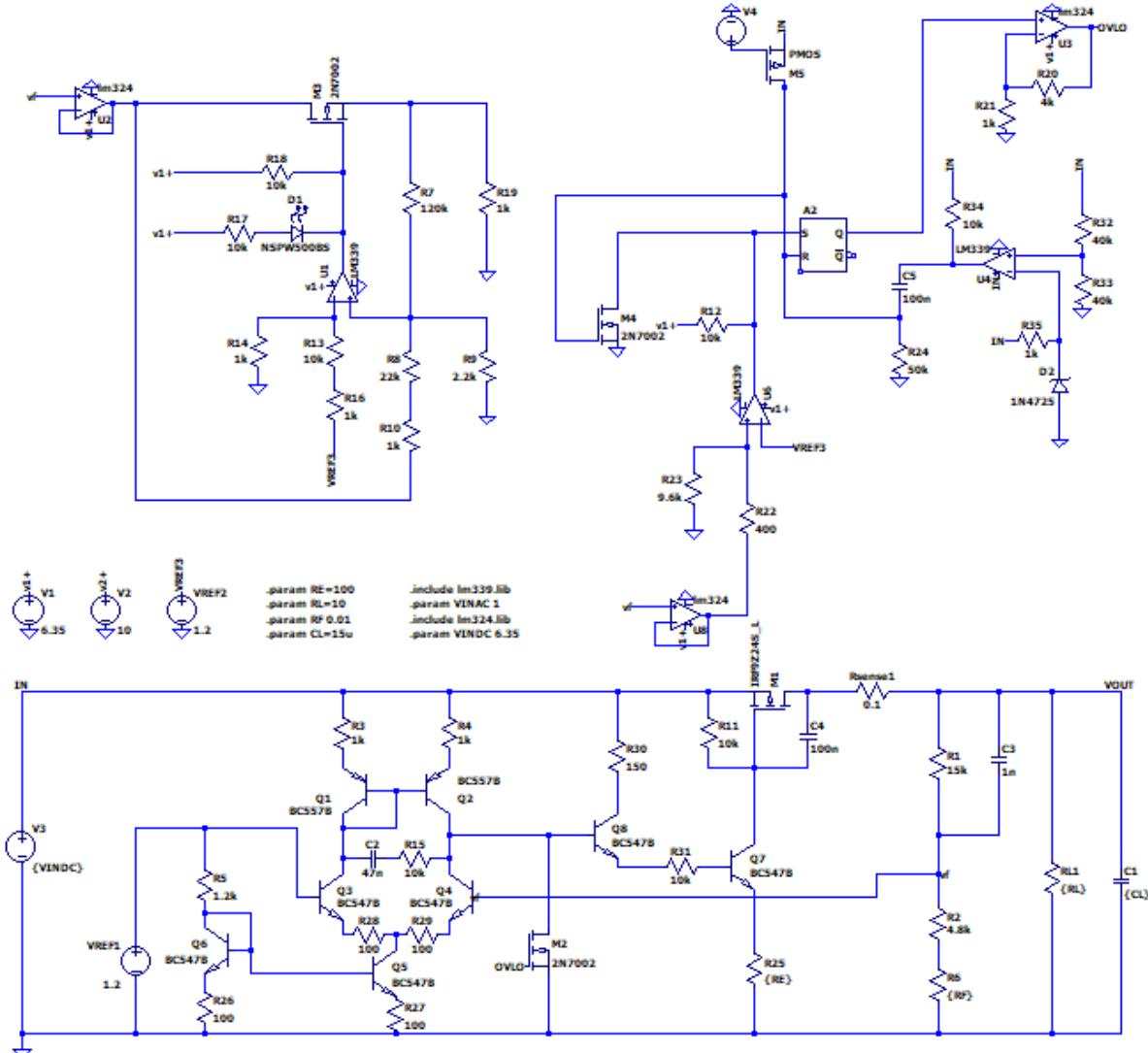


Figura 2: Circuito esquemático del regulador LDO

### 3.3. Regulación de línea

Se procedió a simular y medir la regulación de línea, definida como la variación de la tensión de salida del regulador ante variaciones de la tensión de entrada. Para el cálculo se utilizó la siguiente ecuación:

$$\text{Regulacion de linea} = \frac{V_{out2} - V_{out1}}{V_{in2} - V_{in1}}$$

#### 3.3.1. Simulaciones

Para la simulación, se realizó un barrido de la tensión de entrada en la zona de regulación para observar como afecta a la tensión de salida. En la figura 3 y en la figura 4 se muestran los resultados obtenidos.

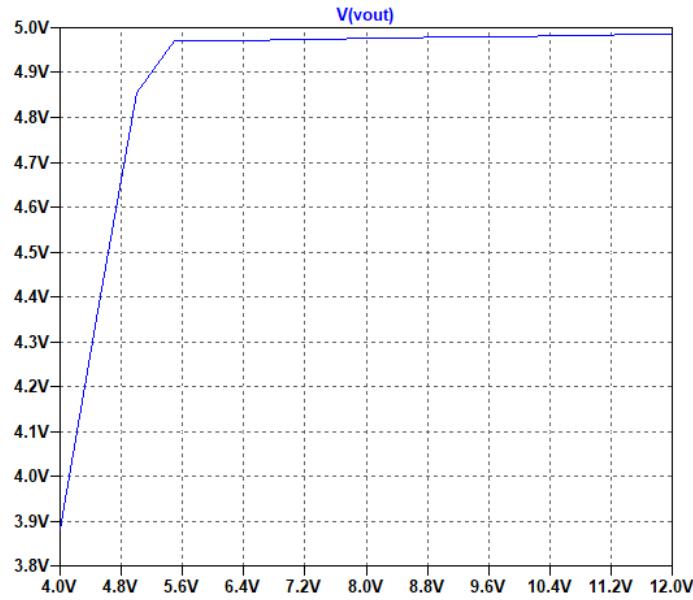


Figura 3: Simulación de la caracterización de la regulación de línea para 5V

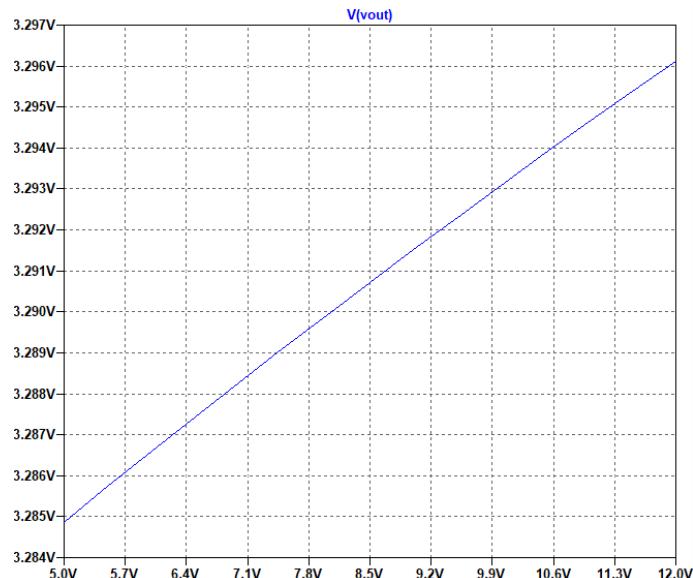


Figura 4: Simulación de la caracterización de la regulación de línea para 3.3V

En el cuadro 4 se muestran los valores obtenidos.

| Configuración | Vout2[V] | Vout1[V] | Vin2[V] | Vin1[V] | Regulación |
|---------------|----------|----------|---------|---------|------------|
| 5V            | 4.983    | 4.969    | 11.001  | 5.509   | 1.6E-3     |
| 3.3V          | 3.294    | 3.284    | 11.007  | 6.007   | 2.0E-3     |

Cuadro 4: Valores obtenidos para la regulación de línea

### 3.3.2. Mediciones

En la figura 5 y en la figura 6 se muestran las mediciones realizadas para la caracterización de la regulación de línea para la configuración de 5V y 3.3V, respectivamente.

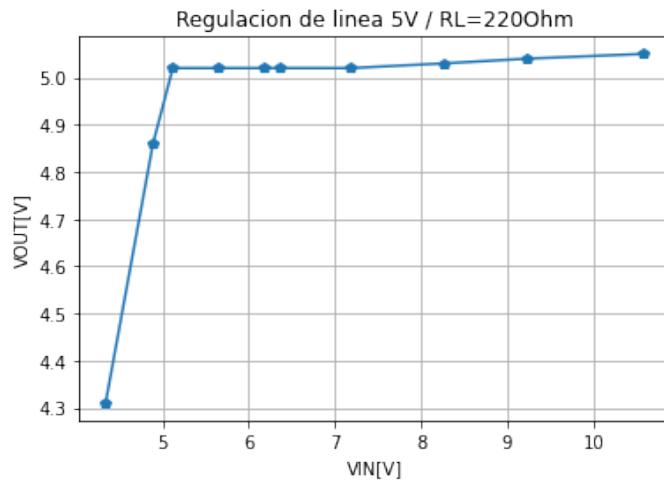


Figura 5: Simulación de la caracterización de la regulación de línea para 5V

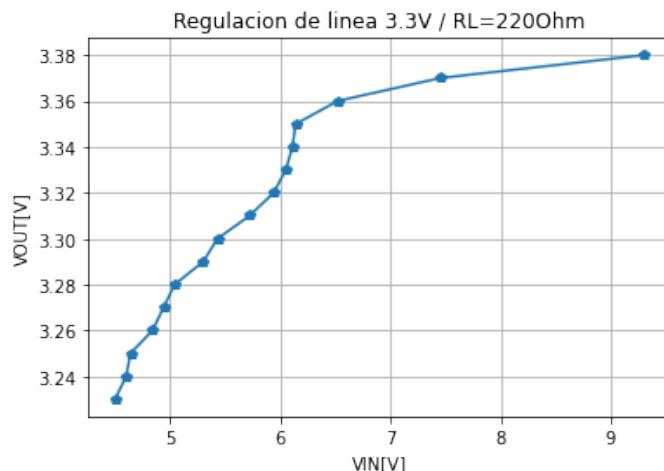


Figura 6: Simulación de la caracterización de la regulación de línea para 3.3V

En el cuadro 5 se muestran los valores obtenidos.

| Configuración | Vout2[V] | Vout1[V] | Vin2[V] | Vin1[V] | Regulación |
|---------------|----------|----------|---------|---------|------------|
| 5V            | 5.05     | 5.02     | 10.57   | 5.12    | 5.5E-3     |
| 3.3V          | 3.38     | 3.28     | 9.3     | 5.04    | 23.4E-3    |

Cuadro 5: Valores obtenidos para la regulación de carga

### 3.4. Regulación de carga

La regulación de carga se define como la variación en la tensión del regulador frente a los cambios en la carga. Para la caracterización se realizó un barrido de la corriente de la carga con el fin de observar como afecta a la tensión de salida. Posteriormente, se infirió el valor de la corriente que circula por la carga partiendo de la tensión de salida y del valor del resistor. Para el cálculo se utilizó la siguiente ecuación:

$$\text{Regulacion de carga} = \frac{V_{out2} - V_{out1}}{I_{out2} - I_{out1}}$$

#### 3.4.1. Simulaciones

Para la simulación, se realizó un barrido de la resistencia de la carga en la zona de regulación para observar como afecta a la tensión de salida. En la figura 7 y en la figura 8 se muestran los resultados obtenidos. Para la salida de 5V, la resistencia de carga fue variada en el rango entre  $3.3\Omega$  y  $500\Omega$ .

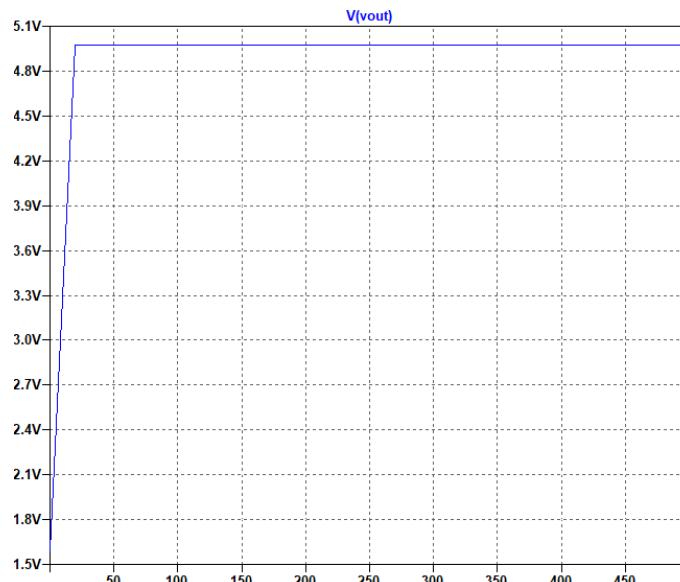


Figura 7: Simulación de la caracterización de la regulación de carga para 5V.

Para la salida de 3.3V, la resistencia de carga fue variada en el rango entre  $3.3\Omega$  y  $200\Omega$ .

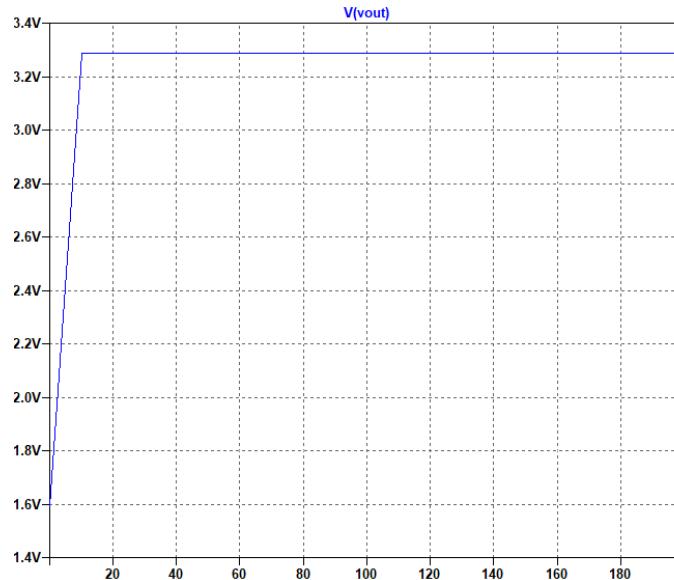


Figura 8: Simulación de la caracterización de la regulación de carga para 3.3V

En el cuadro 6 se muestran los valores obtenidos.

| Configuración | Vout2[V] | Vout1[V] | Iout2[V] | Iout1[V] | Regulación[Ω] |
|---------------|----------|----------|----------|----------|---------------|
| 5V            | 4.9718   | 4.9717   | 0.009    | 0.225    | 4.6E-4        |
| 3.3V          | 3.2872   | 3.2872   | 0.009    | 0.225    | 3.75E-5       |

Cuadro 6: Valores obtenidos para la regulación de carga

### 3.4.2. Mediciones

En la figura 9 y en la figura 10 se muestran las mediciones realizadas para la caracterización de la regulación de carga para la configuración de 5V y 3.3V, respectivamente. Las curvas obtenidas están en función de  $R_L$ .

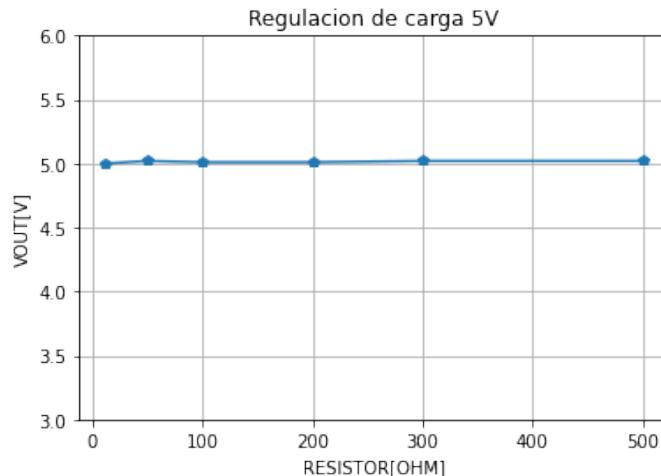


Figura 9: Simulación de la caracterización de carga para 5V

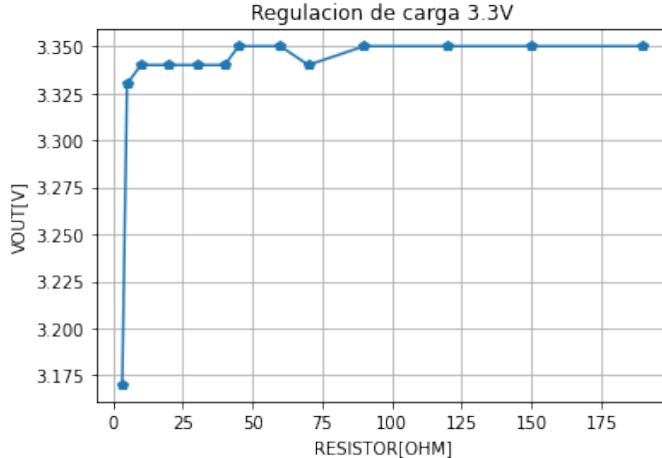


Figura 10: Simulación de la caracterización de carga para 3.3V

| Configuración | Vout2[V] | Vout1[V] | Iout2[V] | Iout1[V] | Regulación[Ω] |
|---------------|----------|----------|----------|----------|---------------|
| 5V            | 5.02     | 5.01     | 500      | 100      | 1.0E-6        |
| 3.3V          | 3.35     | 3.33     | 0,017    | 0.648    | 0.030         |

### 3.5. Estabilidad

Al realizar una puesta en marcha del circuito mediante un osciloscopio, se notaron oscilaciones en la regulación y frente a un escalón en la tensión de entrada. Posteriormente, se realizó una respuesta en frecuencia de la transferencia a lazo abierto del circuito sin ningún tipo de compensación. En la figura 11, se puede notar un margen de fase negativo, lo que indica inestabilidad en nuestro circuito, de allí las oscilaciones anteriormente comentadas.

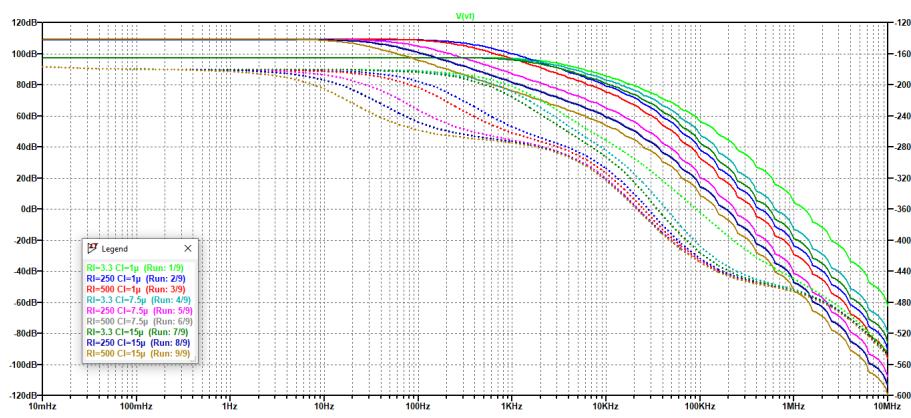


Figura 11: Respuesta en frecuencia sin compensación

Para estabilizar la transferencia del circuito y su respuesta dinámica, se propone la adición de capacitores de compensación, que permiten implementar una compensación de Miller, un adelanto de fase y la compensación del par diferencial, tal como se observa en las Figuras 12, 13 y 14, respectivamente.

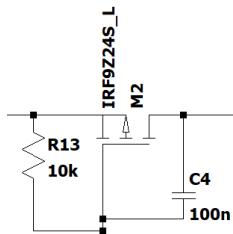


Figura 12: Compensación de Miller

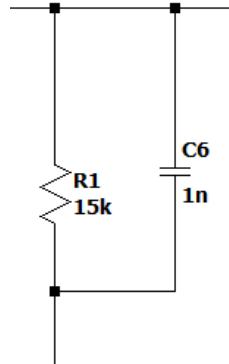


Figura 13: Adelanto de fase

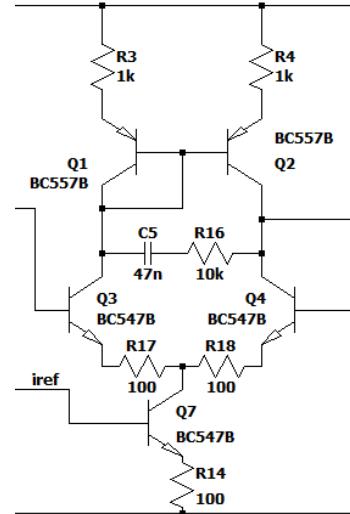


Figura 14: Par diferencial

### 3.5.1. Simulaciones

Respecto al lazo de tensión, en la figura 15 se observa la respuesta en frecuencia del lazo de tensión ( $a(w) \cdot f(w)$ ) que se pudo lograr a partir de la compensación implementada. Se evidencia que en todo el rango de carga admisible el margen de fase es siempre mayor a  $30^\circ$  y el margen de ganancia siempre mayor a 20 dB. El peor caso se da cuando  $R_L = 500\Omega$  y  $C_L = 15\mu F$ , con un margen de fase de  $30^\circ$ .

Respecto al lazo de corriente (impuesto por el limitador de corriente), se observa en la figura 16 que el margen de fase es siempre mayor a  $35^\circ$  y el margen de ganancia siempre mayor a 15dB. El peor caso se da cuando  $R_L = 2\Omega$  y  $C_L = 1\mu F$ , con un margen de fase de  $35^\circ$ .

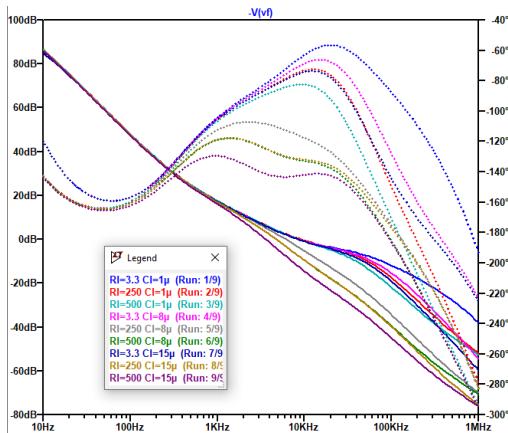


Figura 15: Ganancia de lazo para el lazo de tensión

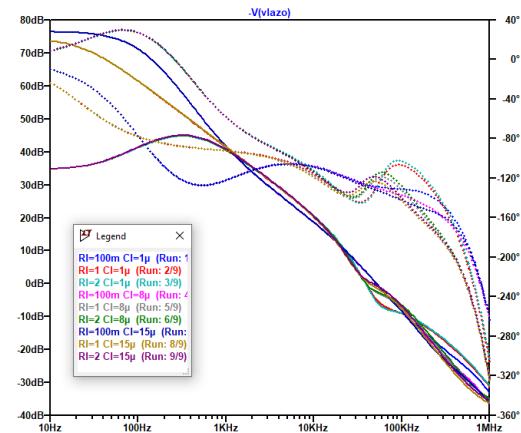


Figura 16: Ganancia de lazo para el lazo de corriente

### 3.5.2. Mediciones

Para medir la estabilidad del circuito se realiza una prueba utilizando una carga dinámica. Para ello, se conecta un mosfet de potencia controlado por una señal cuadrada, que permitirá variar la resistencia que se encuentra conectada a la salida del LDO. Este circuito se puede ver en la figura 17.

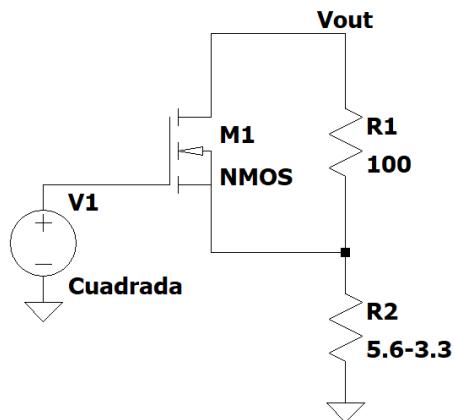


Figura 17: Circuito utilizado para emular una variación de  $R_L$



Figura 18: Medición de  $V_{out} = 5V$  con una corriente variable entre  $50mA$  y  $0,5A$



Figura 19: Medición de  $V_{out} = 3,3V$  con una corriente variable entre  $30mA$  y  $0,65A$



Figura 20: Medición de  $V_{out} = 5V$  con una corriente variable entre  $30mA$  y  $0,65A$



Figura 21: Medición de  $V_{out} = 5V$  con una corriente variable entre  $50mA$  y  $1A$

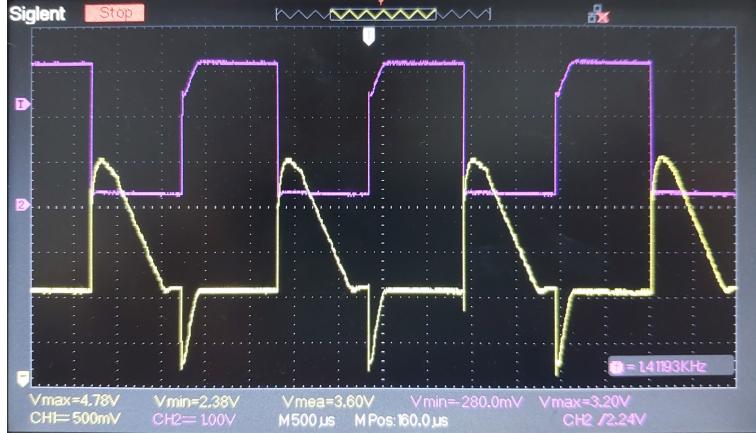


Figura 22: Medición de  $V_{out} = 3,3V$  con una corriente variable entre  $30mA$  y  $1A$

Para intentar reducir los sobrepicos observados en la respuesta dinámica del regulador, se han probado determinados cambios en el circuito para lograr una respuesta más rápida y con perturbaciones menores. El resultado de la simulación se observa en la figura 23. No obstante, se ha notado que existe una relación de compromiso entre la estabilidad y la respuesta dinámica.

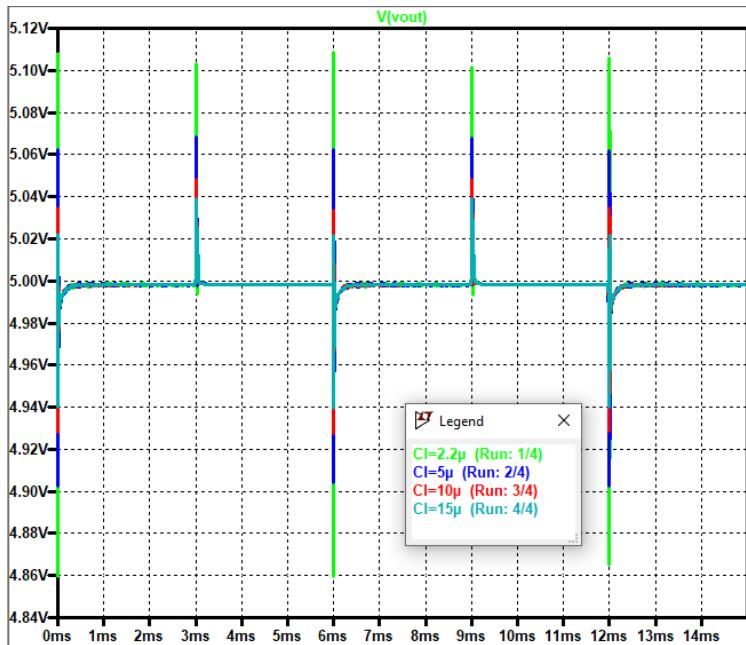


Figura 23: Medición de  $V_{out} = 5V$  con una corriente variable entre  $30mA$  y  $1A$

### 3.5.3. Cálculos correspondientes de compensación

En el Apéndice 1, se pueden encontrar los cálculos realizados para la realización de la compensación y estabilización del regulador lineal.

### 3.6. Limitador de corriente tipo foldback

#### 3.6.1. Simulaciones

En la Figura 24 se encuentra la simulación de la corriente sobre la carga en función de  $R_L$ .

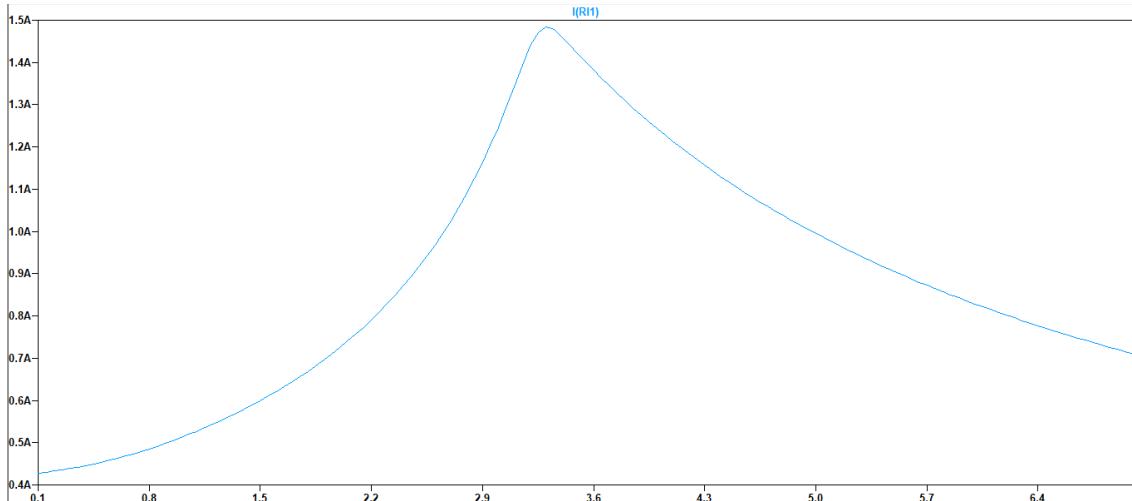


Figura 24: Funcionamiento del limitador tipo foldback

Se puede notar que la corriente máxima se encuentra aproximadamente en 1.5A, donde para cargas mayores empieza a actuar el correspondiente transistor, drenando corriente e imponiendo así el lazo de corriente. A medida que aumenta la carga, llegando al estado de cortocircuito, se puede verificar por simulación la  $I_{cc}=400\text{mA}$  aproximadamente.

#### 3.6.2. Mediciones

El circuito se ha elaborado y se ha comprobado que la corriente de cortocircuito es de aproximadamente 0,4A. En la Figura 26 se encuentra la curva que se pudo caracterizar al realizar una variación de la carga desde el cortocircuito ( $R_L \approx 0\Omega$ ) hasta  $10\Omega$ . Se toma un promedio ponderado realizando la experiencia en varias ocasiones, con el objeto de reducir la varianza del resultado final.

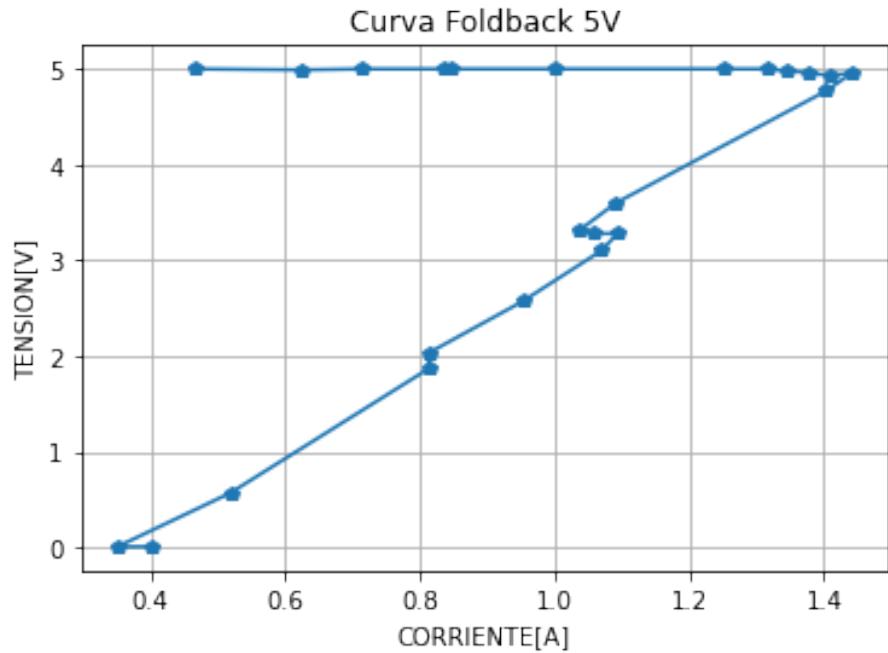


Figura 25: Curva Foldback

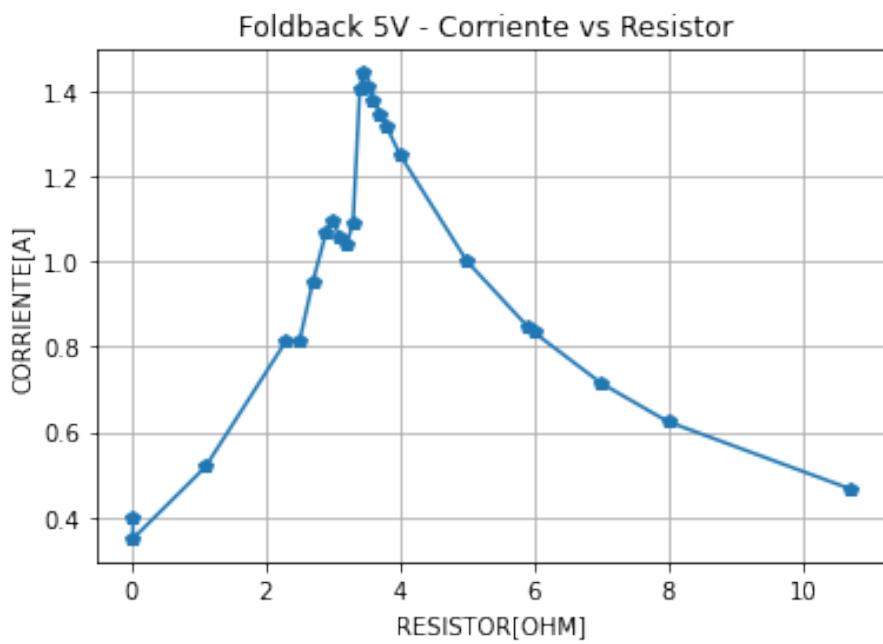


Figura 26: Foldback 5V - Corriente vs Resistor

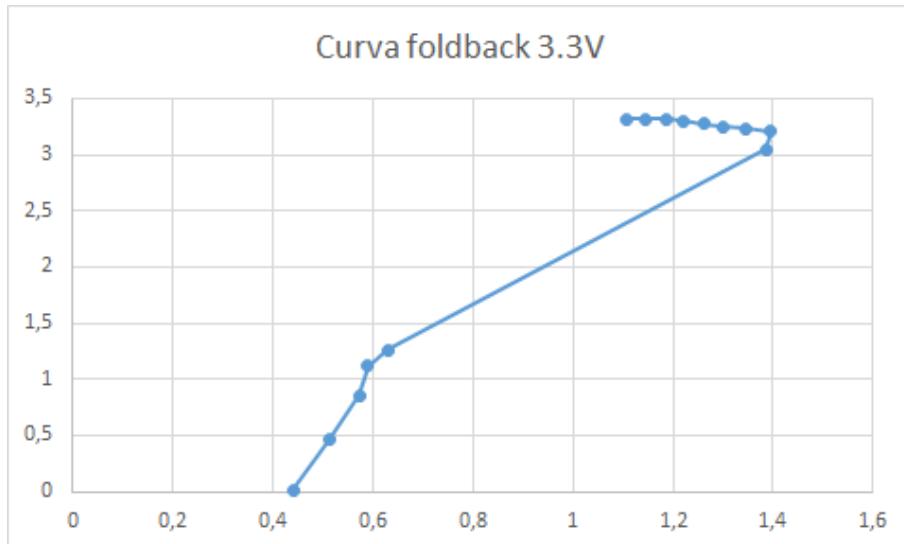


Figura 27: Curva Foldback 3.3V: V vs I

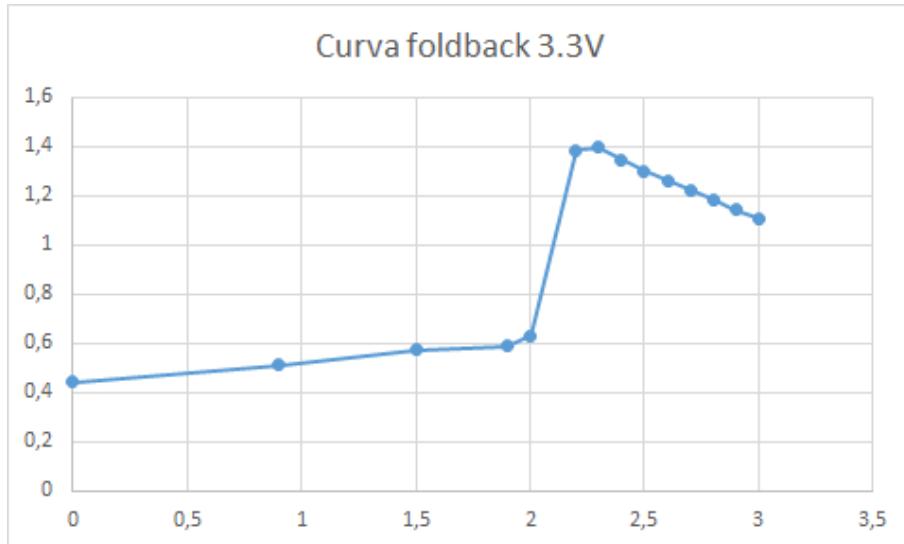


Figura 28: Curva Foldback 3.3V: I vs R

### 3.6.3. Cálculos correspondientes de limitación foldback

Los cálculos realizados para la elección de las resistencias del lazo de corriente y la topología implementada se encuentran explícitas en el Apéndice 2.

## 3.7. Detector de baja tensión

Para proporcionar la detección de baja tensión (UVLO), se propone el circuito de la figura 29.

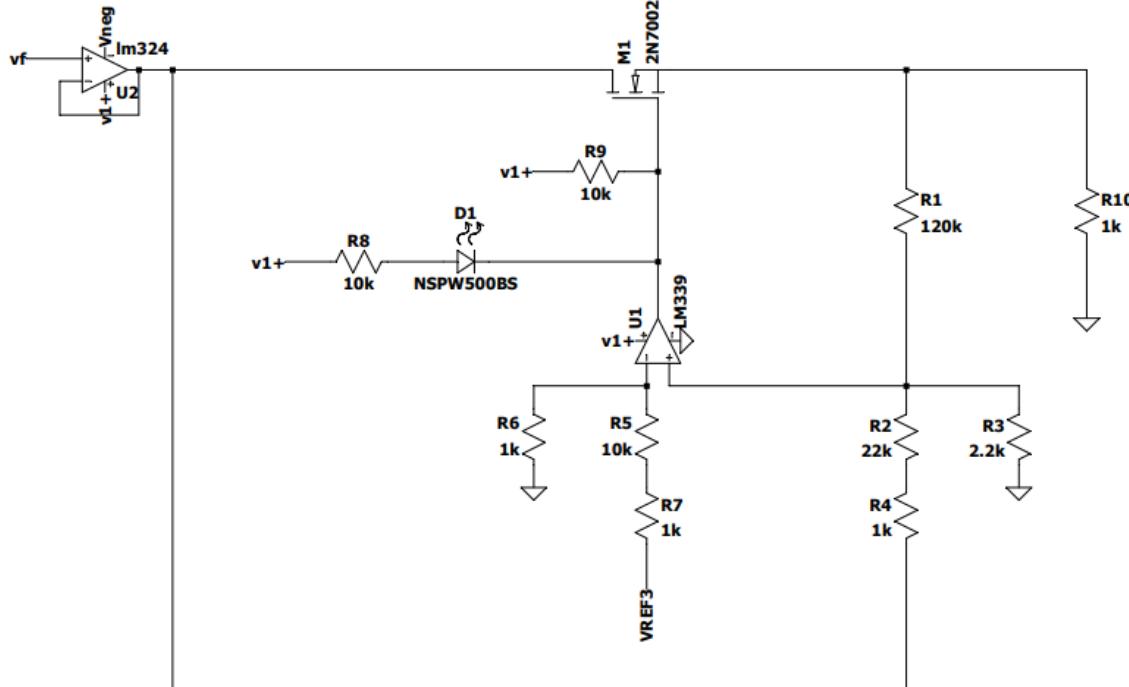


Figura 29: Implementación circuitual del UVLO

### 3.7.1. Simulaciones

Se analiza el flanco de subida, considerando un barrido ascendente en la tensión de referencia. Notar que de manera lineal varía la salida.

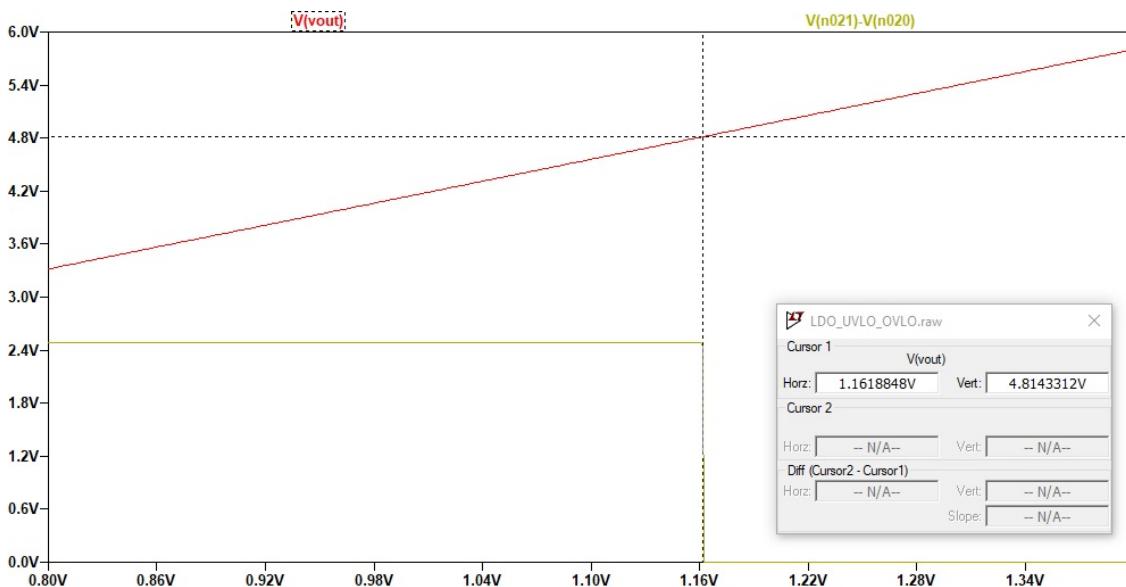


Figura 30: Flanco de subida del UVLO

Se ve que el flanco ocurre en  $V_{rise} = 1,162V$ . Además, la curva amarilla representa la caída de

tensión en el LED, y se observa que está encendido cuando la tensión de referencia es menor al umbral.

Por otro lado, el flanco de bajada:

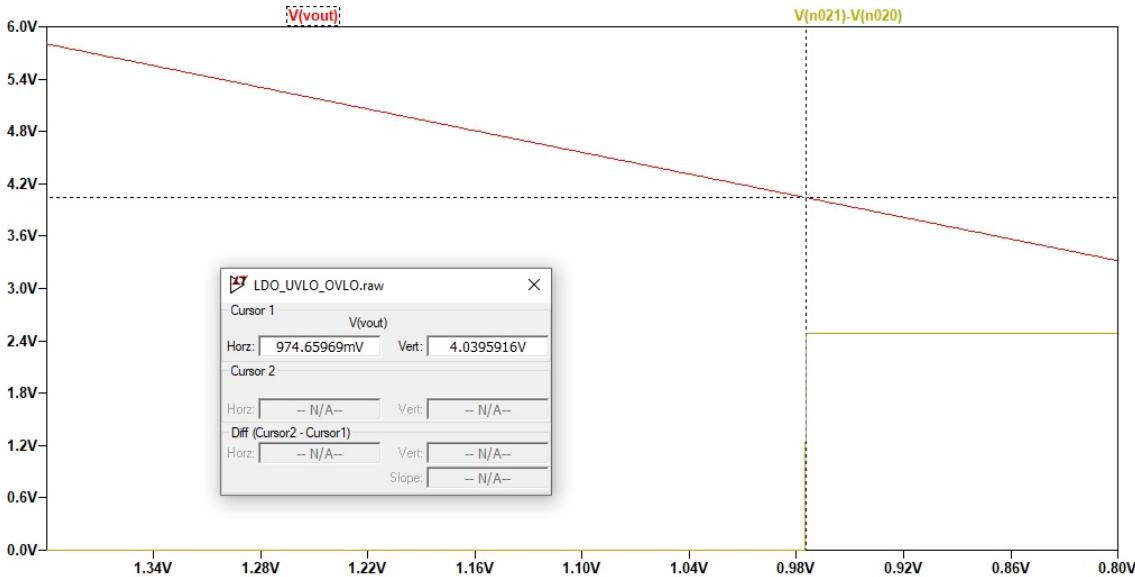


Figura 31: Flanco de bajada del UVLO

Se observa que el flanco ocurre en  $V_{fall} = 0,975V$ . Además, el LED se encuentra encendido luego de atravesar el umbral de manera descendente (curva amarilla).

### 3.7.2. Mediciones

Para la puesta en marcha del UVLO, se verificó la existencia del flanco de subida y de bajada con la función de Single Shot del osciloscopio, sensando el estado a la salida del comparador del UVLO. Se obtuvo un flanco de subida de 4.75V, mientras que el flanco de bajada en 4.11V. La comparación de los valores obtenidos con los simulados se encuentra a continuación:

| UVLO       | Flanco de subida 5V | Flanco de bajada 5V |
|------------|---------------------|---------------------|
| Teórico    | 4.85V               | 4.07V               |
| Simulación | 4.84V               | 4.06V               |
| Medido     | 4.75V               | 4.11V               |

### 3.7.3. Cálculos correspondientes detector UVLO

Los cálculos realizados para la elección de las resistencias de histéresis de corriente y la topología implementada se encuentran explícitas en el Apéndice 3.

### 3.8. Protección por alta tensión

Para ejercer la protección por sobre tensión (OVLO), se propone el circuito de la figura 32.

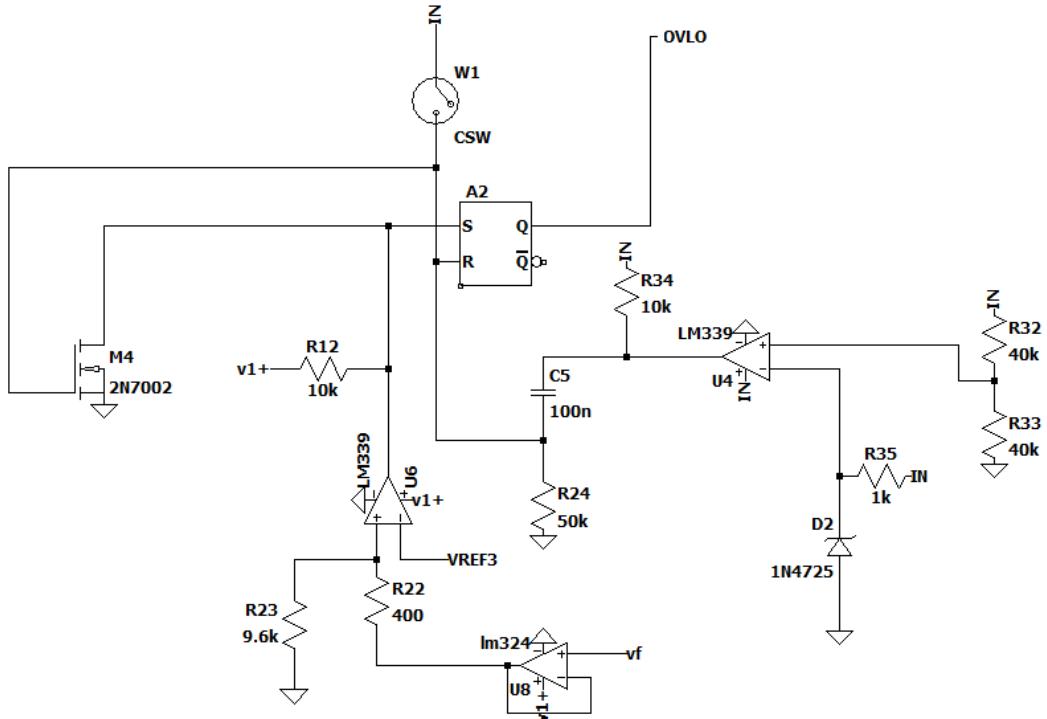


Figura 32: Implementación circuital del OVLO

### 3.8.1. Simulaciones

El POR fue diseñado con un comparador, de modo que la señal de POR es poco dependiente del  $t_{rise}$  de la señal de entrada, tal como se puede notar en las figuras 33 y 34.

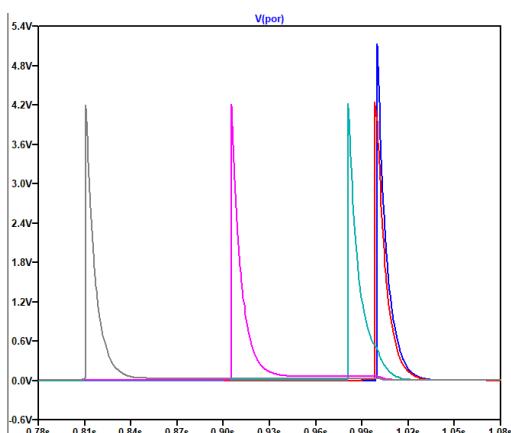


Figura 33: POR según distintos  $t_{rise}$  de la tensión de alimentación

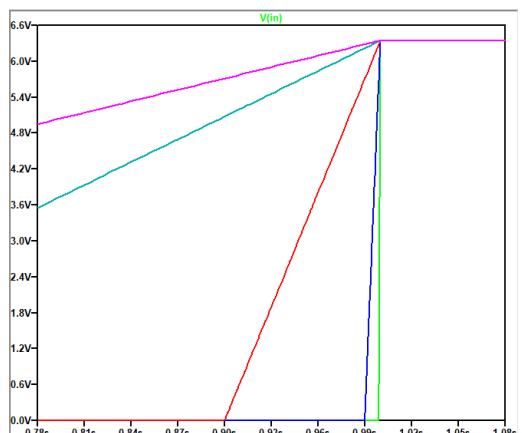


Figura 34: Diferentes  $t_{rise}$  de la tensión de alimentación

En la figura 35 se encuentra graficada la tensión de salida. Una vez que se supera el umbral de 5,2V, el LDO es desactivado por el latch, tal como se observa en la figura 37, que representa la salida del latch. A la salida del comparador se observa un pulso de corta duración (figura 36) y esto se debe a que el comparador detecta la sobre tensión pero esta es corregida al instante. Notar también que a los 2,3s se presiona el pulsador de reinicio, y que mientras este se mantiene presionado el regulador se mantiene en funcionamiento. Por supuesto, al soltarse el pulsador el LDO se verá desactivado nuevamente.

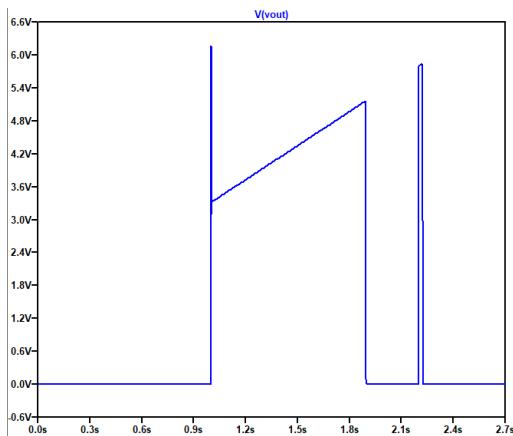


Figura 35: OVLO: tensión de salida

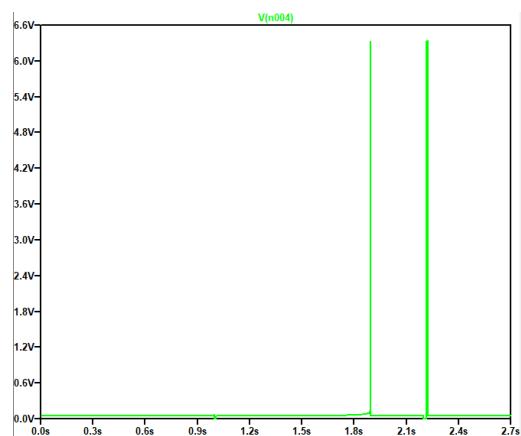
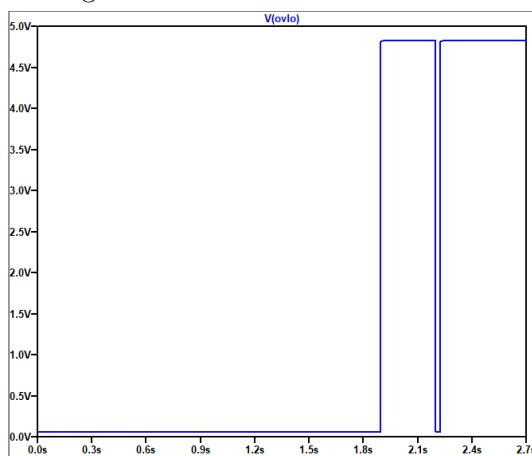


Figura 36: OVLO: Salida del comparador

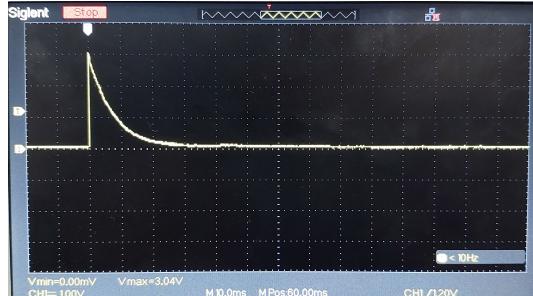
Figura 37: OVLO: salida del latch SR



### 3.8.2. Mediciones

Para la verificación experimental del OVLO, se produjo un aumento gradual de la tensión de referencia, sensando la tensión a la salida. La tensión a la salida es nula cuando la misma supera el umbral de 5.17V. En la figura 38 se encuentra caracterizado el funcionamiento del POR.

Figura 38: Medición del POR



La comparación de los valores obtenidos con los simulados se encuentra a continuación:

| OVLO       | Tensión de umbral 5V |
|------------|----------------------|
| Teórico    | 5.20V                |
| Simulación | 5.20V                |
| Medido     | 5.17V                |

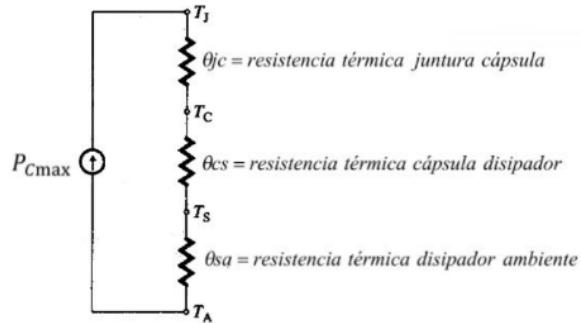
### 3.9. Cálculo del disipador

A partir de los datos brindados por el fabricante del transistor IRF9Z24 en la figura 39, puede calcularse el disipador necesario de acuerdo al modelo de la figura 40.

Figura 39: Datos del fabricante

| THERMAL RESISTANCE RATINGS          |            |      |      |      |
|-------------------------------------|------------|------|------|------|
| PARAMETER                           | SYMBOL     | TYP. | MAX. | UNIT |
| Maximum junction-to-ambient         | $R_{thJA}$ | -    | 62   | °C/W |
| Case-to-sink, flat, greased surface | $R_{thCS}$ | 0.50 | -    |      |
| Maximum junction-to-case (drain)    | $R_{thJC}$ | -    | 2.5  |      |

Figura 40: Modelo térmico



$$\theta_{ja} = \frac{T_j - T_a}{P_{C MAX}}$$

$$\theta_{ja} = \theta_{jc} + \theta_{cs} + \theta_{sa}$$

Suponiendo que se utilice grasa siliconada, una vez colocado el disipador se tendrá  $\theta_{cs} = 0,5^{\circ}\text{C}/\text{W}$ . Por otro lado, el fabricante indica que  $\theta_{jc} = 2,5^{\circ}\text{C}/\text{W}$ . Se puede asumir también el peor

escenario de la temperatura ambiente de 50°. Luego, suponiendo que se deseé una temperatura de juntura máxima de 120°C y considerando que la potencia máxima sobre el transistor de paso será de  $(6,35V - 3,3V) \cdot 1,5A \approx 5W$ , el disipador puede calcularse como:

$$\theta_{cs} = \frac{T_{Jmax} - T_A}{P_{max}} - \theta_{cs} - \theta_{jc} = 10^{\circ}C/W$$

### 3.10. Simulación Montecarlo y Worst Case

El método Montecarlo es de gran utilidad para poder apreciar las desviaciones existentes en nuestro circuito, respecto a las tolerancias de los componentes pasivos y los corrimientos de ciertos parámetros de transistores. Para la realización de esta simulación, se asume:

- En los capacitores cerámicos de compensación se asume una tolerancia del 20 %.
- En las resistencias de metalfilm, tanto de la limitación Foldback como la realimentación, se asume tolerancia del 1 %.
- En los transistores BC547B y BC557B se utiliza corrimiento de  $200 < \beta < 450$ .
- Para la desviación de la resistencia de carga, se toma  $3,23\Omega < R_L < 255\Omega$ , mientras que para la capacidad de carga  $1\mu F < C_L < 22\mu F$ .
- Para el transistor de paso, IRF9Z24S, se utiliza un corrimiento de  $-4 < V_T < -2$ , y para la resistencia de encendido de  $0\Omega < R_{ds} < 220m\Omega$
- Para los resistores del par diferencial y de la etapa actuador, se simula con la tolerancia del 5 %.

#### 3.10.1. Simulaciones

Utilizando la función mc(valor,tolerancia) y la función flat(x), se generaron 100 corridas. Para la simulación, se buscó verificar que la tensión de salida respete las condiciones propuestas, es decir,  $4.9V < V_{out} < 5.1V$  y  $3.23V < V_{out} < 3.37V$ . En la figura 41 y en la figura 42 se muestran los resultados obtenidos. En ambos casos los valores obtenidos oscilan entre los límites establecidos.

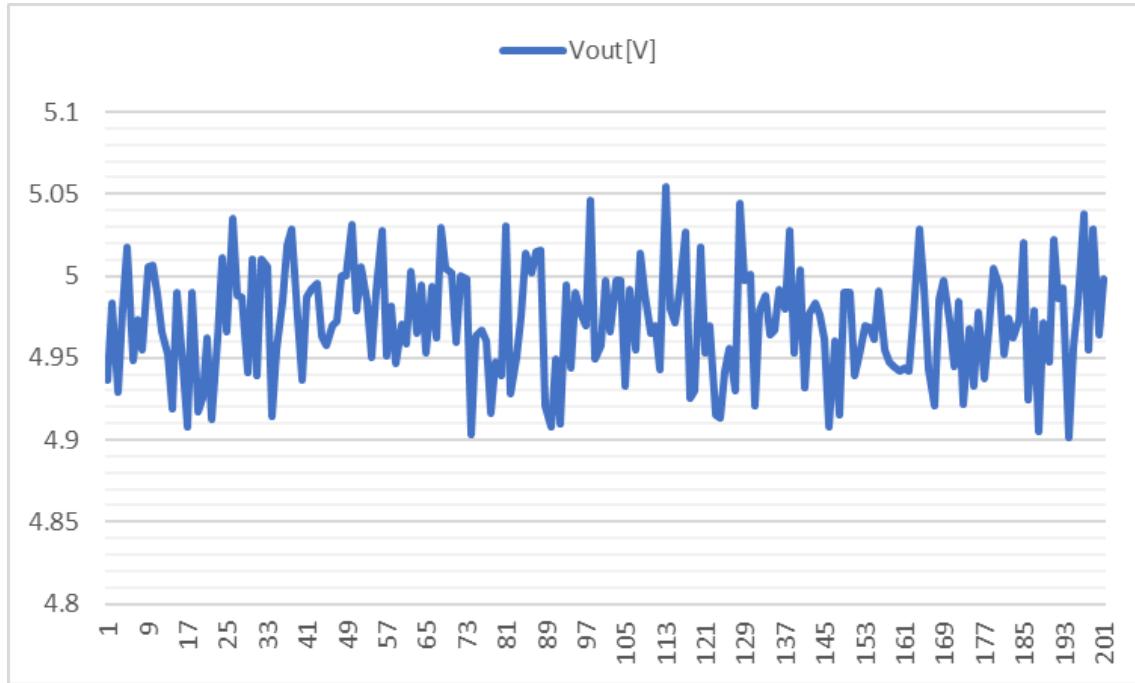


Figura 41: Resultados de la simulación para la Vout de 5V aplicando el método de Montecarlo

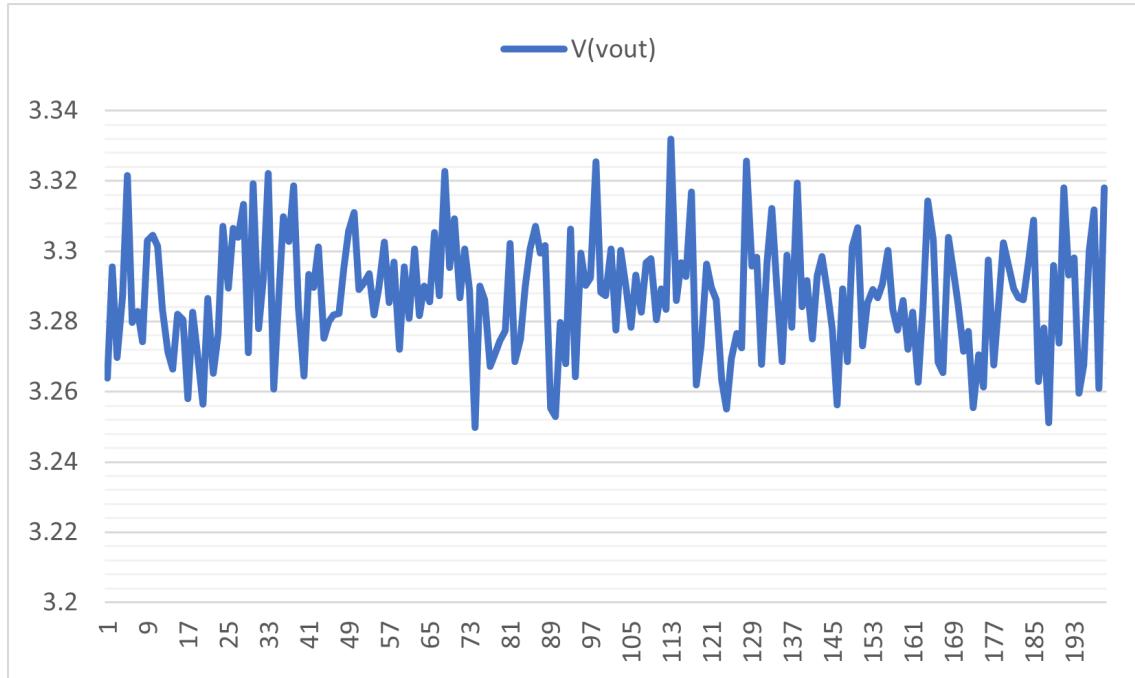


Figura 42: Resultados de la simulación para la Vout de 3.3V aplicando el método de Montecarlo

Para la simulación de Worst Case, se eligieron los 8 componentes más influyentes en la estabilidad de tensión de salida. Entre estos componentes se encuentran: los resistores de la realimentación, los resistores del transistor de la llave de paso y los resistores de la etapa de salida del par diferencial. Para la simulación, se buscó verificar que la tensión de salida respete las condiciones propuestas, es decir,  $4.9V < V_{out} < 5.1V$  y  $3.23V < V_{out} < 3.37V$ . En la figura 43 y en la figura 44 se

muestran los resultados obtenidos. En ambos casos los valores obtenidos oscilan entre los límites establecidos.

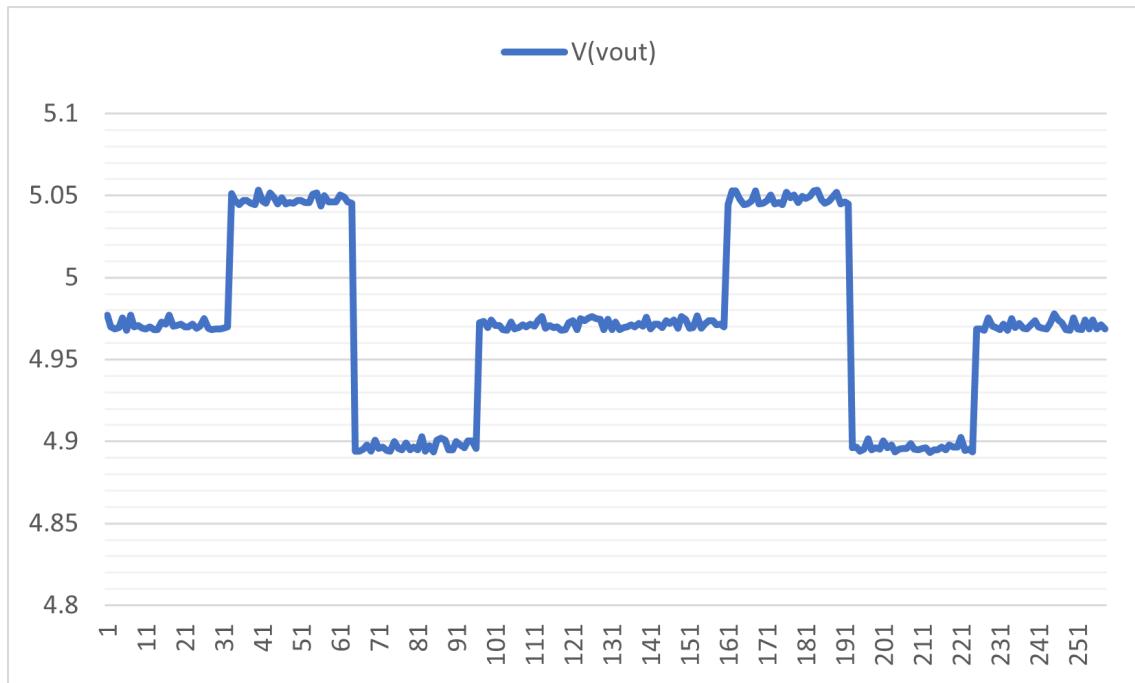


Figura 43: Resultados del análisis Worst Case para Vout de 5V.

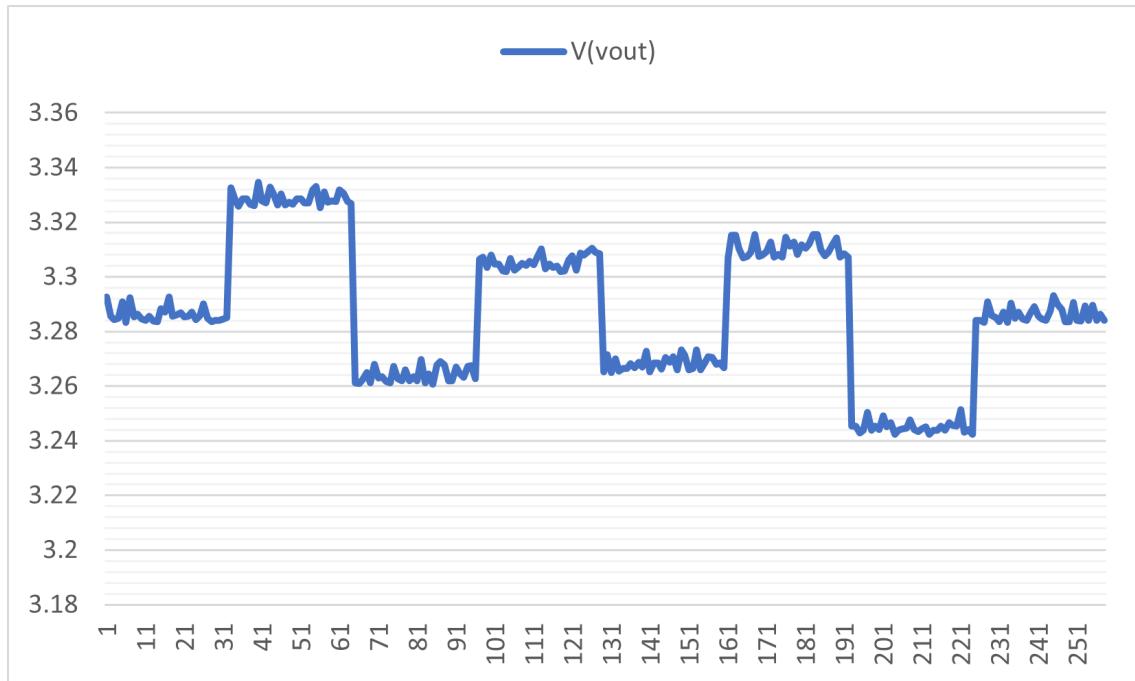


Figura 44: Resultados del análisis Worst Case para Vout de 3.3V.

### 3.11. Eficiencia

#### 3.11.1. Simulaciones

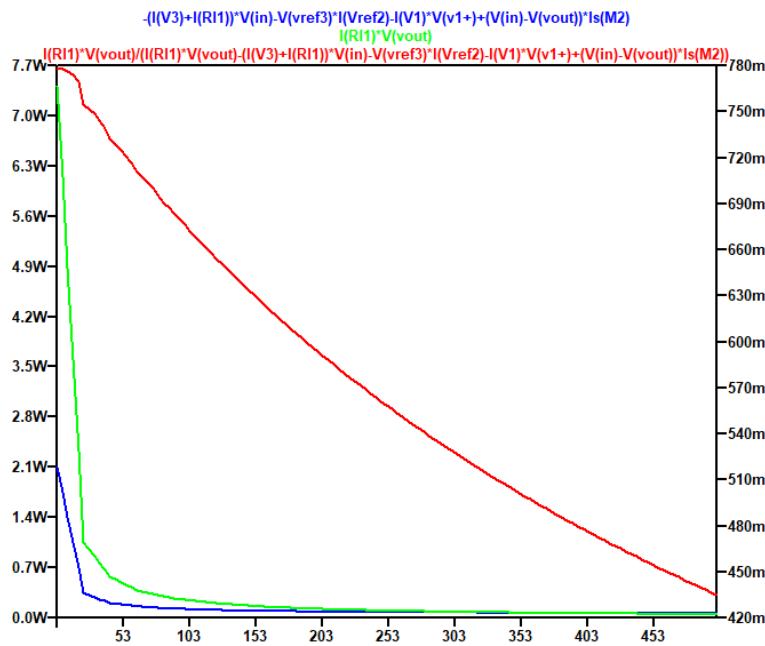


Figura 45: Eficiencia (rojo), potencia transferida (verde) y potencia disipada (azul)

En la figura 46 se observa la disipación de potencia en el LDO sin tener en cuenta a los elementos en serie con la carga (transistor de paso y  $R_{sense}$ ). Se observa que dicha potencia es constante y de un valor aproximado de 50mW

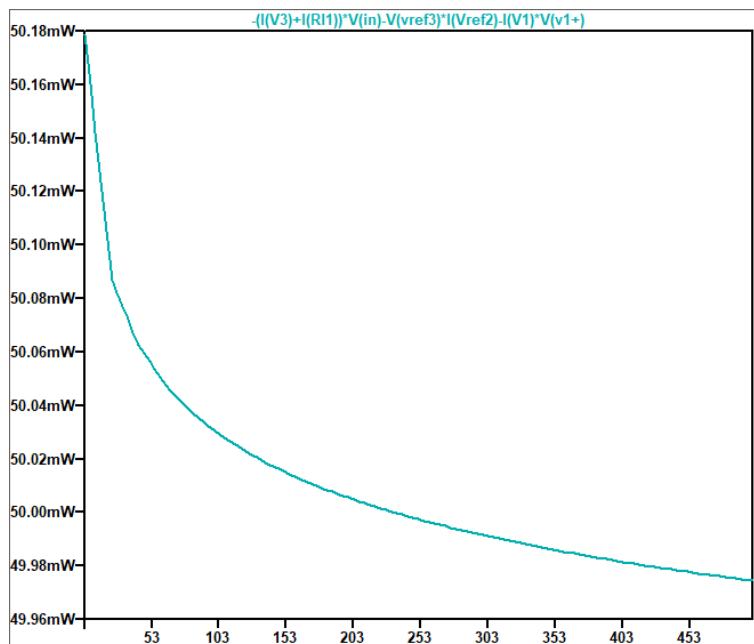


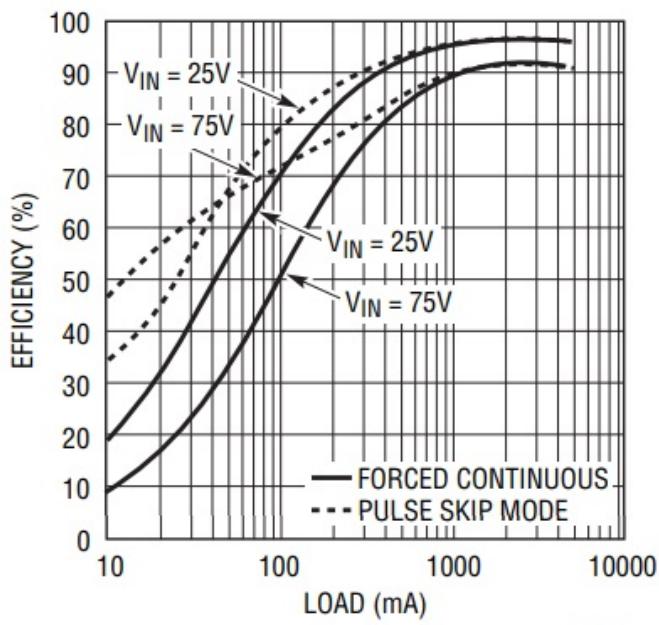
Figura 46: Consumo de potencia en estado estático

#### 4. Fuente de alimentación conmutada

Se trata de una topología reductora en base al controlador LTC3703. De esta manera, se alcanzan los siguientes parámetros de diseño, contrastados con la simulación:

| Parámetro        | Teórico  | Simulación |
|------------------|----------|------------|
| $V_{out}$        | 6,360V   | 6,355      |
| $\Delta V_{out}$ | 27,1mV   | 24,3mV     |
| $\Delta I_L$     | 70,8mA   | 71,5mA     |
| $f_{sw}$         | 200,0kHz | 201,6kHz   |
| $I_{max}$        | 2,25A    | 2,31A      |

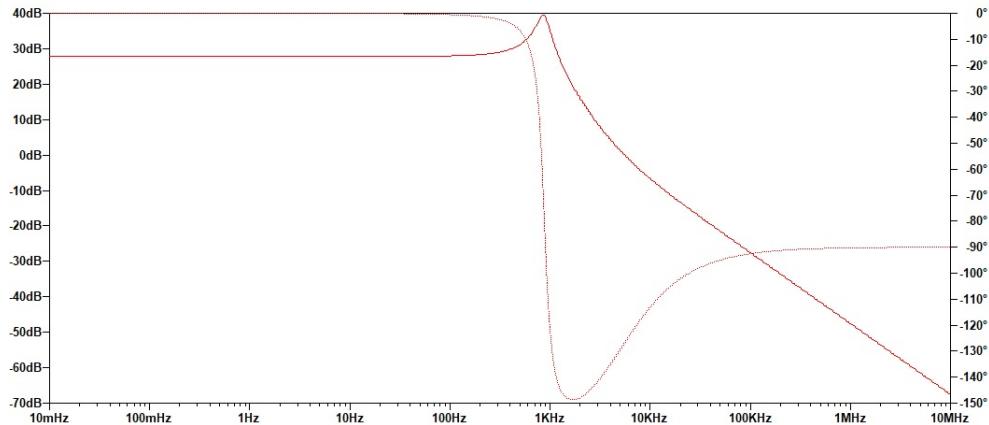
El controlador LTC3703 permite el ajuste de diversos parámetros, bajo la topología de medio puente sincrónico. Además, el modo pulse skip garantiza la imposibilidad de inversión de corriente en el inductor y mayor eficiencia.



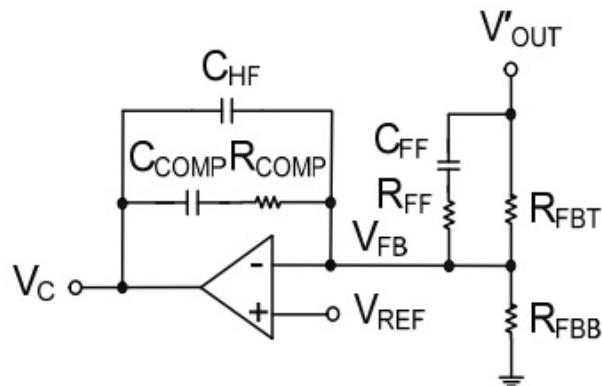
3703 F06

El diseño de la topología considera la utilización de un inductor de  $330\mu H$ , capacitor de salida de  $100\mu F$  y los transistores de conmutación IRF1310. Estos últimos permiten la rápida conmutación necesaria para los ciclos de servicio estimados, a la vez que son capaces de reducir las pérdidas por carga y descarga, en la medida que su carga de gate es relativamente pequeña (para más información referirse al apéndice 5).

El sistema se encuentra compensado de acuerdo a una red de compensación tipo 3, para topologías reductoras en modo tensión. De esta manera, la transferencia a lazo abierto:

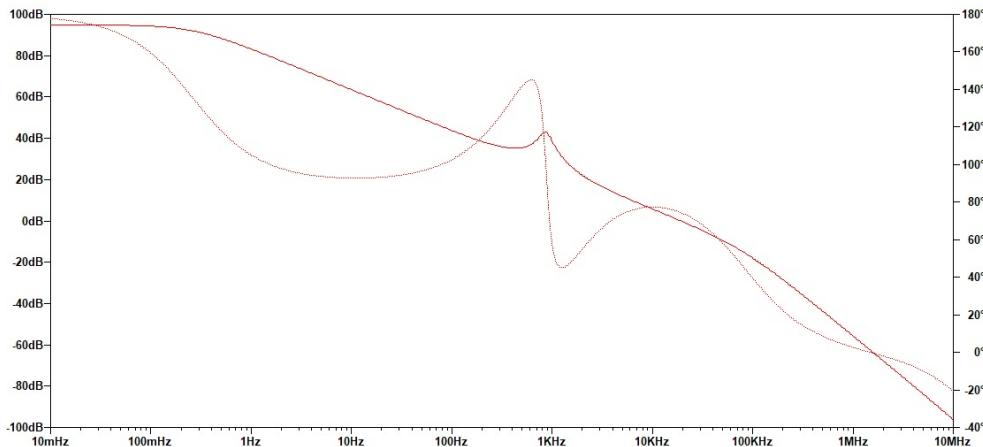


Se observan polos complejos conjugados dados por el LC, y un cero en altas frecuencias dado por la ESR del capacitor de salida. La red de compensación es la siguiente, con los valores citados:



- $R_{COMP} = 24,2k\Omega \rightarrow 27k\Omega$
- $C_{COMP} = 7,5nF \rightarrow 6,8nF$
- $C_{FF} = 4,65nF \rightarrow 4,7nF$
- $R_{FF} = 7,5k\Omega \rightarrow 6,8k\Omega$
- $C_{HF} = 65,8pF \rightarrow 68pF$

Resultado en la transferencia de la ganancia de lazo:

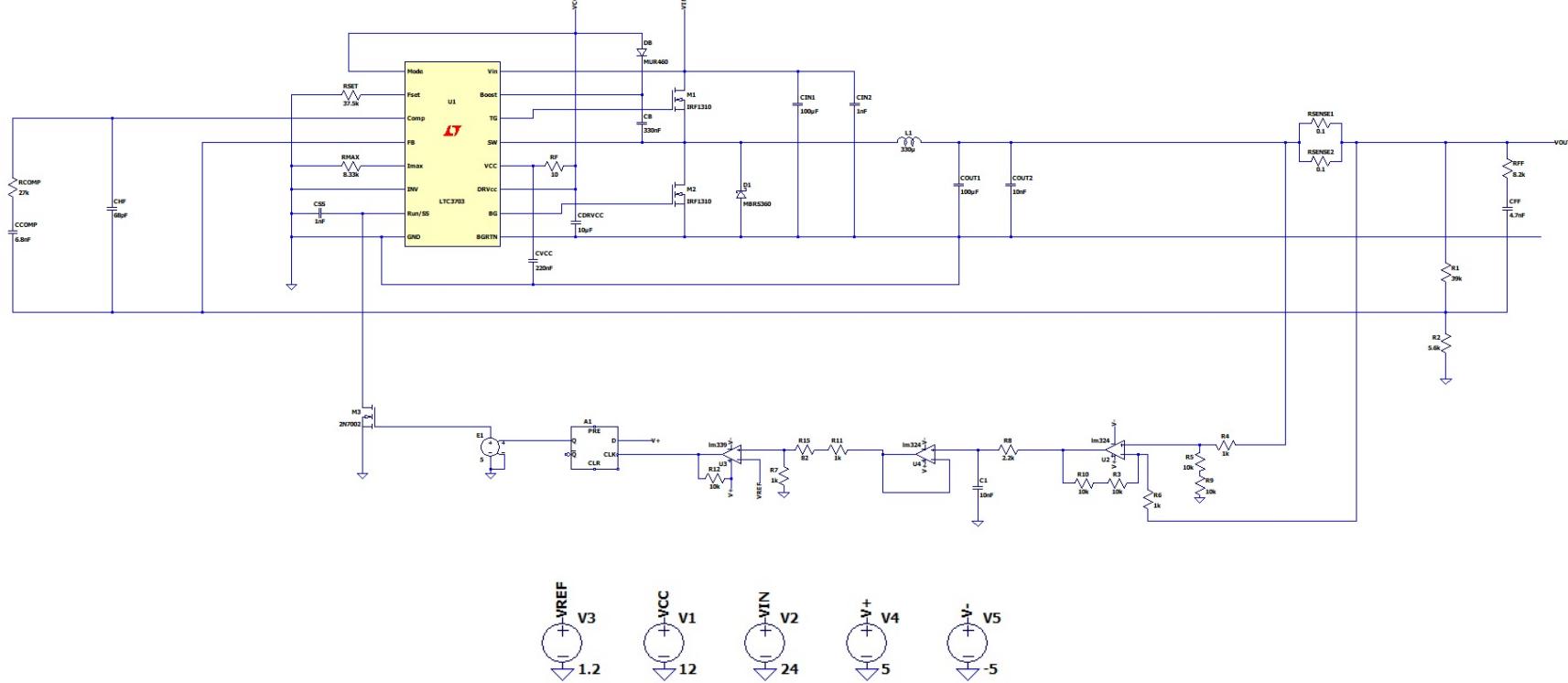


Notar el margen de fase de 74 grados en la frecuencia de cross-over  $f_c = 18,8\text{kHz}$ .

Para información referida a la respuesta de carga dinámica, referirse al apéndice 5, respecto al diseño de la fuente conmutada.

Finalmente, se incorpora un lazo de control de corriente, fijando la máxima corriente por la carga en aproximadamente 2.25A. Dicho circuito sensa la corriente en serie a la carga, generando una caída de tensión que es posteriormente amplificada. Se filtra para eliminar las componentes del rizado típico de salida de una fuente conmutada, y se compara con una referencia para controlar un actuador que apaga el LTC3703. Además, se incorpora un limitador de corriente interno que funciona como protección dura en 2.75A.

La eficiencia de la topología propuesta se encuentra en 90.74 %.



Se utilizan 4 fuentes de alimentación provenientes de la support. En particular la referencia de 1.2V, la alimentación partida de los amplificadores operacionales y comparadores de 5V y -5V, y la tensión de driving (que alimenta a los gate drivers y al controlador) de 12V. Además, se conecta a la entrada de batería de tensión nominal 24V.

## 5. Bloque Support

A partir la tensión de la batería (12V-36V), se genera las siguientes tensiones para proporcionar el correcto funcionamiento de la fuente conmutada y lineal:

- Tensión de referencia  $V_{ref}$ : tensión prefijada en la etapa de par diferencial del regulador lineal, con el objeto de estabilizar la tensión a la salida.
- Tensión de alimentación amplificador operacional y comparador: para alimentar a estos dispositivos, se utiliza una tensión regulada de 5V y -5V, en el caso de los operacionales LM324, mientras que una tensión regulada entre 5V y GND para el comparador LM339.
- Tensión de alimentación Drivers y Controlador LTC3703 de la fuente switching. Se requiere una tensión de 9V a 15V, con un carga aproximada de 50mA.
- Tensión de control de 5V (o 0v), para seleccionar las tensión de selección (V SELECT) para salidas de 3.3V o 5V.
- Tensión de habilitación (V ENABLE) de 5V (o OV) para cada regulador lineal.

Para poder realizar el diseño de la fuente Support, se propuso la utilización del regulador LM317. Esto se debe principalmente a que el mismo puede entregar hasta 1.5A y soportar hasta 40V de tensión de entrada.

### 5.1. Tensión de referencia de 1.2V

Para proveer la tensión de referencia, es importante destacar que la misma debe ser lo más estable posible con el objeto de tener la regulación deseada a la salida. Frente a un pequeño cambio en la tensión de referencia de entrada, el otro terminal del par diferencial tratará de igualar dicho valor, evidenciando una tensión indeseada a la salida. Para suministrar esta tensión, se utiliza el regulador variable LM317. El mismo recibe la tensión variable de la batería, y suministra, junto con un divisor resistivo con su respectivo seguidor (para no cargar al par diferencial), la tensión de referencia de 1.2V deseada. El LM317 puede trabajar hasta 40V diferenciales entre entrada y salida, por lo que tomando el peor caso de la batería (36V) con la tensión de salida del LM317, se respeta el rango máximo especificado por el fabricante.

### 5.2. Alimentación de 9V y 5V

Obteniendo la tensión de la batería, se utiliza otro regulador LM317 para poder obtener una tensión de 9V y 5V, con un suministro de hasta 1.5A. Esta corriente es suficiente para alimentar a los dispositivos activos previamente mencionados. Estas dos tensiones son obtenidas con un divisor resistivo y posteriormente una etapa seguidora.

### 5.3. Alimentación de -5V

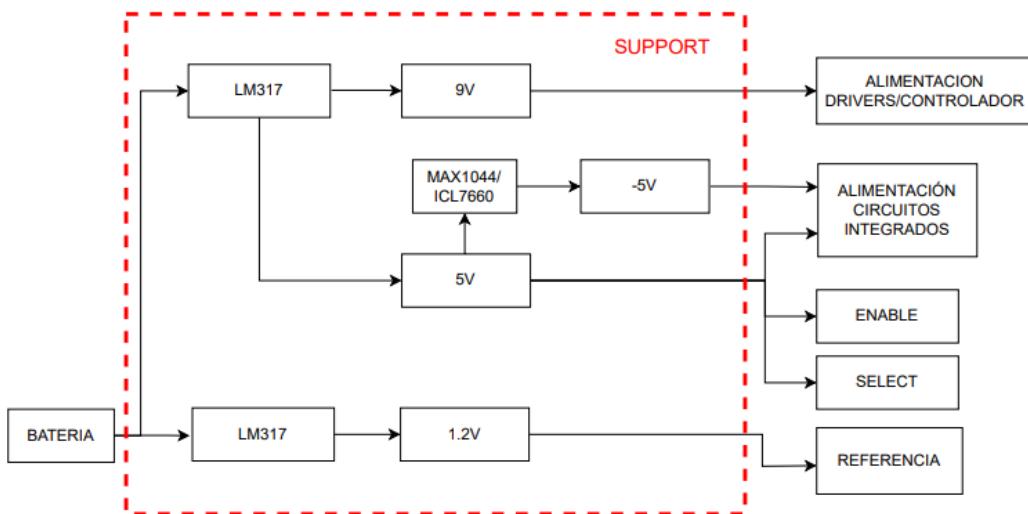
Para la tensión negativa, necesaria para los amplificadores operacionales LM324 utilizados en la limitación tipo Foldback, se utiliza el circuito integrado MAX1044/ICL7660. El mismo recibe la tensión regulada de +5V del LM7805, y provee una tensión negativa, de la misma amplitud, pero distinto signo, con una eficiencia del 99 %. Esta tensión es posteriormente enviada a la alimentación de los operacionales.

## 5.4. Alimentación y Suministro Corriente Buck

El regulador LTC3703 posee una entrada DRVCC, destinada a la alimentación de los drivers de los MOSFET y el respectivo suministro de corriente para cargar sus capacidades. La tensión de suministro debe estar en un rango de 9V a 15V, con la demanda de corriente de decenas de mA. A partir del divisor resistivo que se comentó anteriormente, se obtiene este requerimiento.

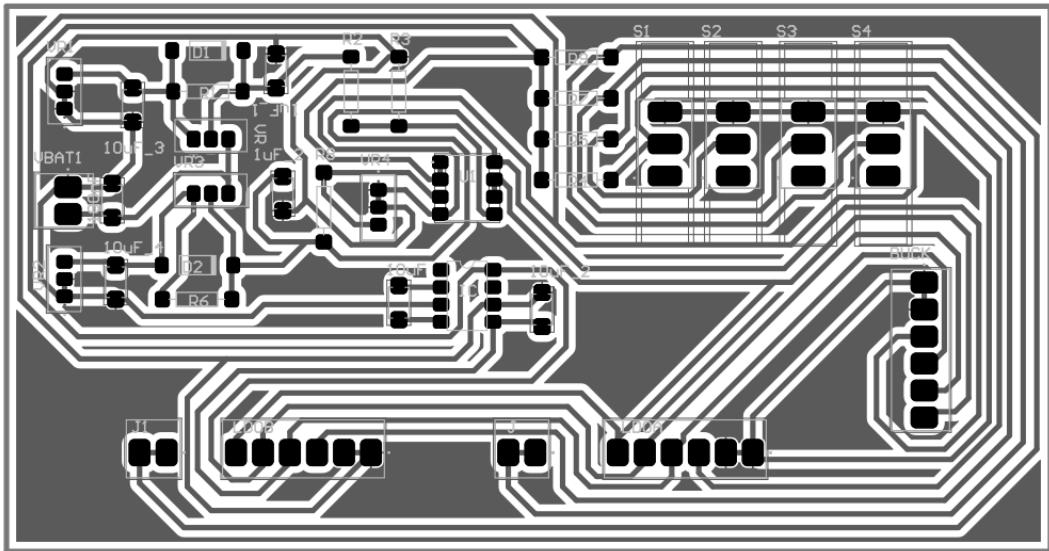
## 5.5. Enable y Selección de tensión de salida

A partir de los 5V generador por nuestro segundo LM317, la salida es también enviada a diferentes terminales con sus respectivas llaves de control.



## 5.6. Diseño PCB Support

Para la fuente Support, se desarrolló el PCB en el software Altium Designer. La disposición de los componentes estuvo pensada para que la conexión de la fuente Support a la fuente Buck y regulador lineal fuera cómoda, y para que el usuario pueda acceder fácilmente a las llaves interruptoras de selección y habilitación de los reguladores.



## 6. Apéndices

### 6.1. Apéndice 1: Compensación y Estabilización

#### 6.1.1. Ganancia de cada etapa constructiva

Para el caso del amplificador diferencial, la amplificación de tensión de esta etapa viene dada por la expresión:

$$a_{v1} = \frac{-gm4 \cdot RO}{1 + gm4 \cdot R18}$$

siendo

$$RO = [ro2(1 + gm2 \cdot R4)] // [r_{\pi9} + \beta \cdot (R9 + R37 \cdot \beta)]$$

siendo RO la resistencia de salida vista por el par diferencial. Con la correspondiente elección de R4, R9 y R37, así como despreciando  $r_{\pi9}$ , se obtiene una  $RO=10M\Omega$ . Luego colocando una resistencia de realimentación R18 para poder generar un cierto grado de linealidad en la primera etapa, sin una fuerte dependencia del  $\beta$  y otros parámetros constructivos de transistores, se coloca  $R18=100\Omega$ . De allí, se obtiene

$$a_{v1} = 93,29dB$$

sin tener en cuenta el signo inversor. En nuestro caso, el gm viene definido por la corriente que provee la fuente de corriente:

$$I_{fuente} = 444,859\mu A$$

De allí, se obtiene:

$$gm = \frac{I_{fuente}/2}{V_{th}} = 8,6mA/V$$

La corriente de los transistores del par diferencial es de

$$I = 222,4\mu A$$

Para el caso de la etapa de control del par diferencial, nos encontramos con una etapa seguidora conformada por un NPN y el transistor que drena corriente del transistor de paso. Al ingresar

la tensión (que sale del par diferencial) por su base, este transistor se comporta como un emisor común, donde la ganancia viene dada por:

$$a_{v2} = \frac{-gm6 \cdot R13}{1 + gm6 \cdot R37}$$

Siendo la  $I_6$  de  $300\mu A$  aproximadamente, tendremos que

$$gm6 = \frac{I_6}{V_{th}} = 11,9mA/V$$

De allí se obtiene que, con los valores elegidos de R13 y R37, se obtiene

$$a_{v2} = -9,2 \text{ veces}$$

A pesar del cambio de signo, tenemos una ganancia en esta etapa de 19dB. Para el transistor de paso, se comporta como una etapa seguidora debido a que la señal ingresa por el Gate y sale por el Drain hacia la carga. Se desprecia la ganancia de esta última etapa, considerándose unitaria.

### 6.1.2. Ganancia de lazo total

Tal como se observa en las figuras 15 y 16 la ganancia de lazo para el lazo de tensión se encuentra en torno a los 100dB a bajas frecuencias, correspondiente en gran medida con lo obtenido en el apartado anterior, pudiéndose asegurar entonces que:

$$A = \frac{a}{1 + a \cdot f} \approx \frac{1}{f}$$

y entonces:

$$V_{out} \approx V_{ref} \cdot \frac{1}{f}$$

Como  $f$  está formado por nuestro realimentador con resistencias de metal-film, las mismas son elegidas cuidadosamente para poder asegurar una tensión deseable a la salida.

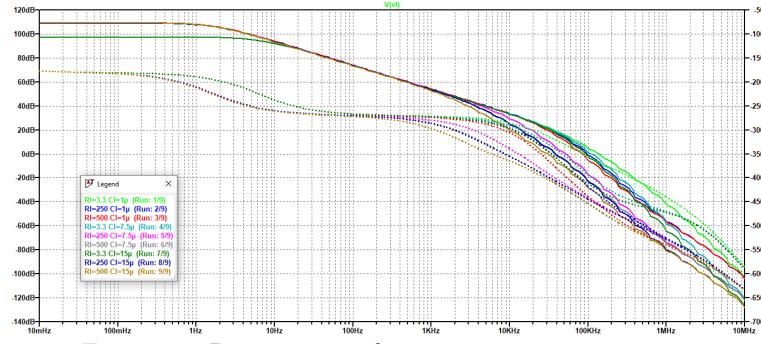
### 6.1.3. Análisis de nodo dominante

Realizando un análisis por simple inspección, se puede determinar donde se encontrará el nodo dominante para la etapa de entrada y salida, es decir, en que parte del circuito se debe realizar un análisis de capacidad y resistencia para determinar los posibles polos que gobernarán la respuesta en frecuencia. Para el caso de la etapa de entrada, tendremos en el nodo de gate del transistor de paso la capacidad  $C_{gs}$  reflejada entrando por gate y saliendo por source, con la capacidad  $C_{gd}$ , entrando por gate y saliendo por drain, sumado a la capacidad  $C_\mu$ . Se encuentra otro polo que se puede notar en la respuesta en frecuencia, y es el de salida. De este modo, se realizará, como se explicará a continuación, un desplazamiento de uno de estos dos polos hacia menores frecuencias con el objeto de garantizar la dominación de un solo polo.

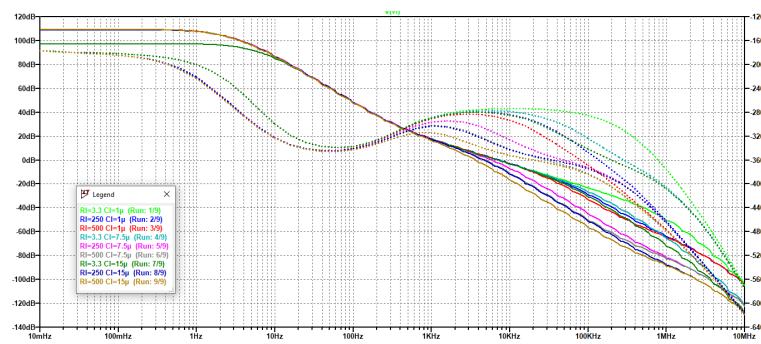
### 6.1.4. Compensación por polo dominante

En una primera instancia se determinó donde se encontraba el polo dominante. Como el mismo se situaba en el terminal del Gate de nuestro transistor de paso, se utilizó la compensación de

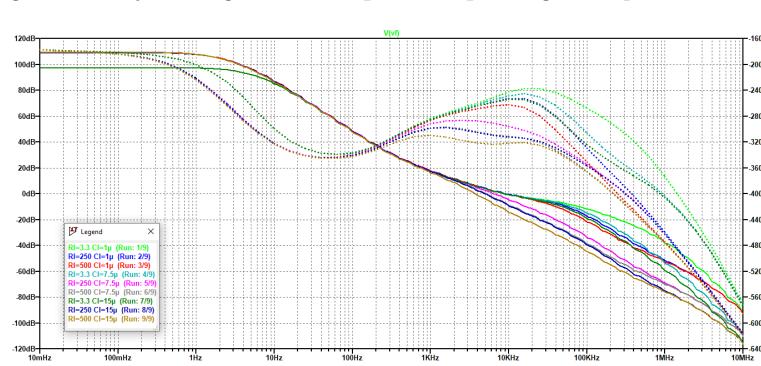
Miller, es decir: se colocó un capacitor entre Gate y Drain con el objetivo de poder desplazar este polo dominante hacia las bajas frecuencias y aumentar en cierta medida el margen de fase. Con la elección de una capacidad  $C_{gd} = 100nF$ , se obtiene la siguiente respuesta en frecuencia.



Con el agregado de este capacitor, el polo dominante se encuentra aproximadamente en: 10 HZ. Como se puede notar, el margen de fase sigue siendo negativo, por lo que se propone una compensación local en la etapa diferencial para estabilizar la primera etapa y no obtener inestabilidades por este primer bloque amplificador. Se obtiene la siguiente respuesta en frecuencia.



Al visualizar la respuesta en frecuencia anterior, se pudo observar que con un pequeño adelanto de fase puede lograr un mejor margen de fase que unos pocos grados positivos como se visualizan.



El capacitor de adelanto de fase es colocado en la realimentación, donde se realiza el cálculo pertinente para una frecuencia de 20kHz. A partir del siguiente desarrollo, se obtiene así el capacitor

de adelanto de fase, que otorga un MF superior a  $45^\circ$  para las combinaciones posibles entre capacidad y resistencia de salida.

Sabiendo que la transferencia de una red de adelanto se caracteriza por la siguiente expresión:

$$f(s) = \frac{s + \frac{1}{T}}{s + \frac{1}{\frac{R_2}{R_1+R_2} T}}$$

siendo  $R_1$  y  $R_2$  las respectivas resistencias de realimentación,  $T = R_1 \cdot C$  y  $\alpha = \frac{R_2}{R_1+R_2}$ . Se obtiene así que

$$\text{cero} \rightarrow s = -\frac{1}{T}$$

$$\text{polo} \rightarrow s = -\frac{1}{\alpha T}$$

Luego, asumiendo que se desea un adelanto de fase del  $60^\circ$ , se sabe que

$$\vartheta = \operatorname{sen}^{-1}\left(\frac{1-\alpha}{1+\alpha}\right) = 60^\circ$$

. Como el adelanto de fase se desea en 20kHz, se tiene además que

$$\omega_m = \frac{1}{\sqrt{\alpha T}}$$

. Realizando los correspondientes cálculos, se obtiene que para un capacitor de  $1nF$ , se tiene la red de adelanto en

$$\omega_m = 22kHz$$

. Este cálculo fue realizado tal de obtener un adelanto de fase de  $60^\circ$ , estando el polo en  $f_{polo}=43.76kHz$  y el cero en  $f_{cero}=10.6kHz$ .

## 6.2. Apéndice 2: Limitación tipo Foldback

### 6.2.1. Desarrollo teórico

El objetivo de un limitador tipo foldback es limitar la corriente en función de la carga  $R_L$ . De este modo, la corriente llega a un valor máximo para un determinado valor de  $R_L$ , pero, a partir de dicho punto, la corriente disminuye al disminuir  $R_L$ . Como consecuencia lógica, cuando actúe el limitador la tensión de salida se verá reducida.

En este caso, el limitador tipo foldback será implementado a partir de un transistor TBJ (npn) modelo BC547, que drenará corriente de la base de un transistor imprescindible para la regulación de la fuente, tal como se observa en la Figura 51. Esta forma de actuar sobre la fuente ha demostrado ser sumamente efectiva y veloz. A partir de las simulaciones se deduce que el valor de la tensión de base necesaria sobre Q5 para comenzar a reducir la corriente es de aproximadamente  $560mV$ .

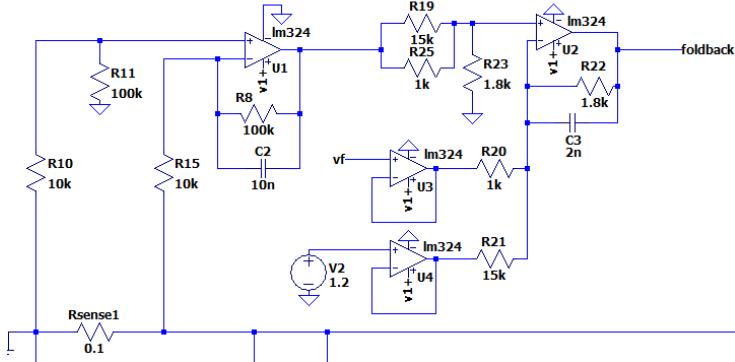


Figura 50: Circuito del limitador

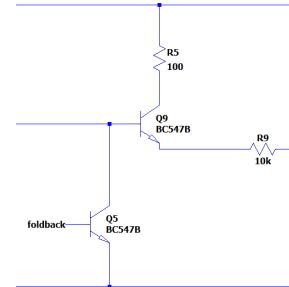


Figura 51: Actuador del limitador

El principio de funcionamiento del circuito implementado se basa en la utilización de diferentes señales — una referencia,  $V_{ref}$ ; la tensión de salida,  $V_{out}$  y una tensión proporcional a la corriente,  $a \cdot I_L$  — para generar la tensión  $V_{foldback}$  aplicada sobre la base de Q5. El punto crítico se dará cuando:

$$V_{foldback} = V_{be-on}(Q5)$$

En este caso puntual, el rango de operación del limitador estará dado por la siguiente condición:

$$V_{be-on} \leq a \cdot I_L - b \cdot V_{ref} - cV_{out}$$

Desarrollando, se puede obtener el siguiente resultado equivalente:

$$R_L \leq \frac{\frac{a}{V_{be-on} + b \cdot V_{ref} + cV_{out}}}{\frac{V_{out}}{V_{out}}} = k$$

Se observa que  $k$  es constante mientras no esté activado el limitador. De esta forma se impone un valor mínimo a  $R_L$  a  $V_{out}$  constante, o, equivalentemente, un valor máximo de  $I_L$ . No obstante, cuando el limitador ya se encuentra operativo y la corriente haya decaído de manera significativa, se observará que  $V_{out} \approx 0V$ . Luego,

$$I_L = \frac{b \cdot V_{ref} + V_{be-on}}{a}$$

Es decir, aún en cortocircuito habrá una corriente sobre la carga. El circuito diseñado para lograr este comportamiento se expone en la Figura 50, y sus correspondientes ecuaciones para la corriente máxima y la corriente de cortocircuito son las siguientes:

$$0,56 = \frac{R_{23}}{R_{20}/R_{21}} \cdot \left( 1,5 - 1,2 \cdot \frac{R_{21}}{R_{20} + R_{21}} - 1,2 \cdot \frac{R_{20}}{R_{20} + R_{21}} \right)$$

$$0,62 = \frac{R_{23}}{R_{20}/R_{21}} \cdot \left( 1,5 - 1,2 \cdot \frac{R_{20}}{R_{20} + R_{21}} \right)$$

### 6.3. Apéndice 3: Detector UVLO

#### 6.3.1. Histéresis

Con la utilización del comparador LM339, y la resistencia R1 de histéresis, se pudo controlar una ventana de tensiones para la cual nuestro comparador posee un estado alto o bajo a la salida. A partir del muestreo de la tensión  $v_f$ , y suponiendo un determinado estado lógico en el Source del transistor M1 que actúa como llave, se configuró un determinado divisor resistivo que impone una tensión definida en el terminal no inversor del LM339. Por otro lado, en el terminal inversor se obtuvo una tensión definida por el divisor resistivo conformado por R5, R6 y R7, con la tensión VREF=1.2V. Para el caso en el que actúe el detector UVLO, se tendrá un nivel nulo a la salida del comparador, encendiéndose el LED de emergencia D1, para avisar al usuario. En caso contrario, el mismo permanecerá apagado.

$$V_T = \frac{1k\Omega}{1k\Omega + 11k\Omega} = 0,1V$$

$$V_{rise} = V_T \cdot \frac{(2,2k\Omega//120k\Omega) + 23k\Omega}{2,2k\Omega//120k\Omega} = 1,164V$$

$$V_{fall} = V_T \cdot \frac{(23k\Omega//120k\Omega) + 2,2k\Omega}{2,2k\Omega} = 0,977V$$

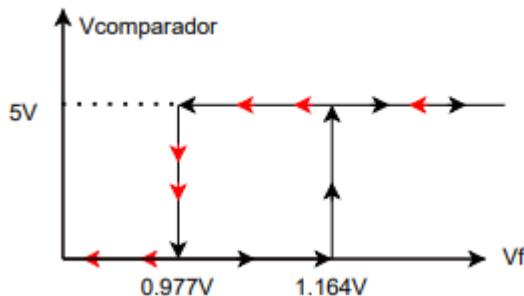


Figura 52: Curva de Histeresis UVLO

En la figura 52, se pueden notar los flancos ascendentes y descendentes. Cabe destacar que se muestra las tensiones referidas a  $v_f$ , por lo que el flanco ascendente corresponde a una tensión de 4.85V, mientras que el flanco descendente corresponde a una tensión de 4.07V.

### 6.4. Apéndice 4: Detector OVLO

#### 6.4.1. Desarrollo teórico

El circuito implementado cuenta con un Power On Reset (POR) implementado por U5, C5 y R24, y ejerce la comparación entre  $V_f$ , que es proporcional a  $V_{out}$ , y una referencia. En caso de detectarse una sobretensión en la comparación, se activará al latch SR A2, que desactivará al LDO de forma permanente hasta que el pulsador W1 sea presionado por el usuario. El LDO se desactiva a partir del transistor M2 de la figura 53.

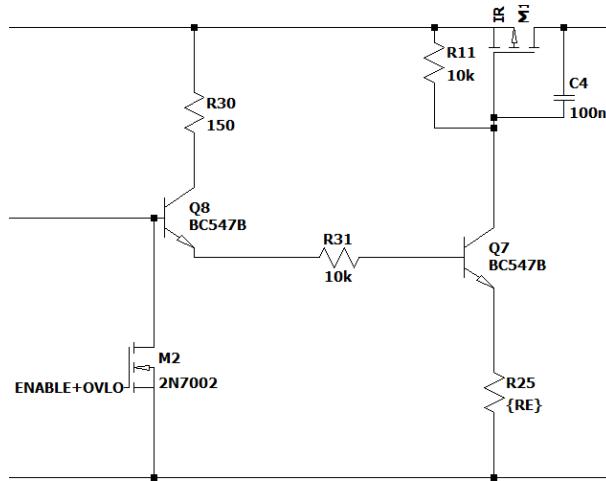
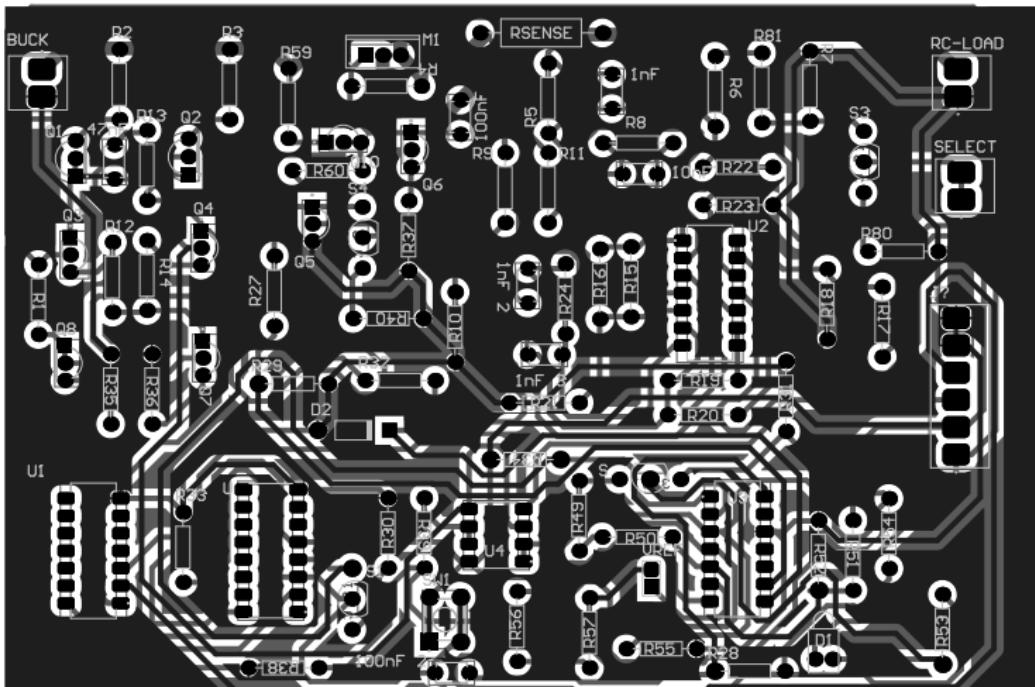


Figura 53: Actuador del OVLO

## 6.5. Diseño PCB LDO

Para ambas fuentes lineales, se desarrolló el PCB en el software Altium Designer. La disposición de los componentes estuvo pensada para que la conexión de la fuente lineal con la fuente Support fuera cómoda. En cuanto a consideraciones tomadas en cuenta, la placa fue realizada en una placa 10cm x 15cm, con un espesor de pista de 0.8mm para las pistas de señal, y la pista de potencia de 2mm.



## 6.6. Apéndice 5: Fuente conmutada reductora

Es necesario para el proyecto la utilización de una etapa de pre-regulación de tensión. En ese sentido, dicha etapa debe ser capaz de entregar 6.36V a partir de la entrada de batería, la cual puede variar entre 12V y 36V (24V nominal). Este módulo alimentará los reguladores lineales (LDOs) con una tensión pre-regulada, bajo el concepto de una etapa step-down.

### 6.6.1. Topología utilizada y parámetros de diseño

El problema a resolver consiste en el diseño de una fuente de alimentación conmutada bajo los siguientes parámetros. A saber:

| Parámetro | Valor                   |
|-----------|-------------------------|
| $f_{sw}$  | 200kHz                  |
| $V_{in}$  | 12V - 36V (24V nominal) |
| $V_{out}$ | 6.36V                   |
| $I_{reg}$ | 100mA - 1.6A            |

Por otro lado, se deciden, bajo debida justificación los siguientes parámetros.

### 6.6.2. Corriente sobre la carga

Si bien la consigna es clara a la hora de especificar el rango de corrientes de funcionamiento, que, se asume el funcionamiento en modo continuo, se decide extender el rango en base a:

- Reducir la corriente mínima permitirá obtener menor rizado en la corriente en el inductor, y en consecuencia, rizado de tensión a la salida. Además permitirá suplir a cargas de corriente menores en el modo continuo.
- Extender la corriente máxima. Basado en la situación de la que se alcanzan las cargas máximas en ambos LDOs. Dicho parámetro también implica la implementación de un lazo de control de corriente máxima.

Luego, en base a la elección del inductor se decidirá la corriente mínima, mientras que la corriente máxima se extenderá algo por encima de 2.25A (1.5A + 0.75A).

### 6.6.3. Rizado de tensión

Se pretende conseguir un rizado de tensión a la salida menor al 1% del valor nominal. Para ello será fundamental la elección correcta del inductor, y sobre todo, capacitor a la salida.

### 6.6.4. Demás parámetros

En los siguientes desarrollos se tomarán decisiones de manera constante, a saber, sincrónico/a-sincrónico, modo de control, tensión de Driving, y la incorporación de componentes en base a la respuesta dinámica del sistema.

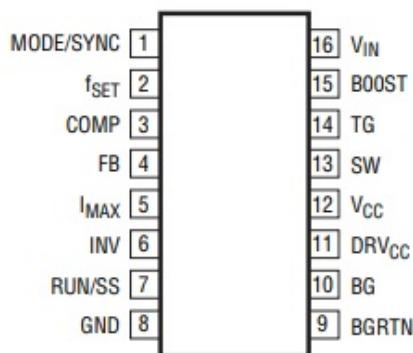
#### 6.6.5. Elección de controlador

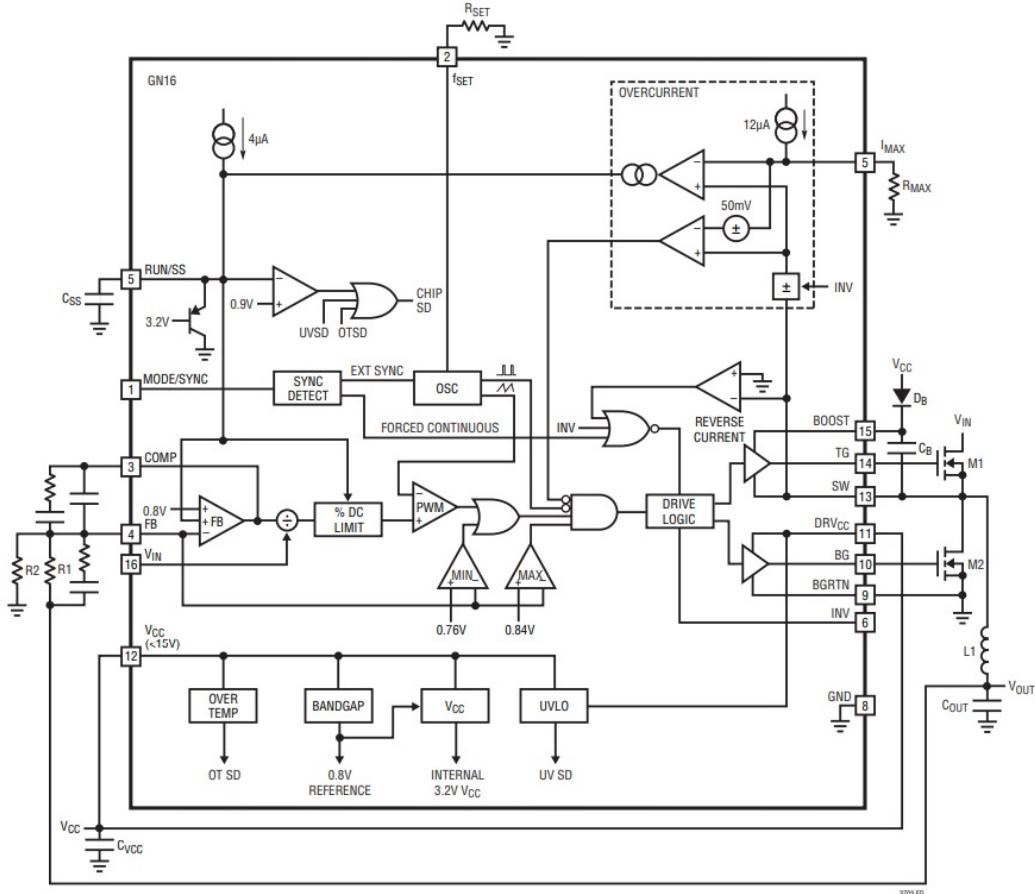
Se realiza la búsqueda de controlador en base a los siguientes criterios, algunos de ellos ya expresados:

- Modo tensión.
- Topología medio puente sincrónico (doble NMOS externos).
- Amplio rango de tensiones de entrada. En particular, desde 12V a 36V.
- Capaz de entregar 6.36V a la salida.
- Frecuencia de conmutación ajustable en 200kHz.
- Alta eficiencia, de al menos, 80 %.
- Limitador de corriente interno.
- Método de shutdown.
- Se consigue en Argentina.
- Es fácilmente simulable en el software utilizado, LTSpice. Preferiblemente de la empresa Analog Devices.

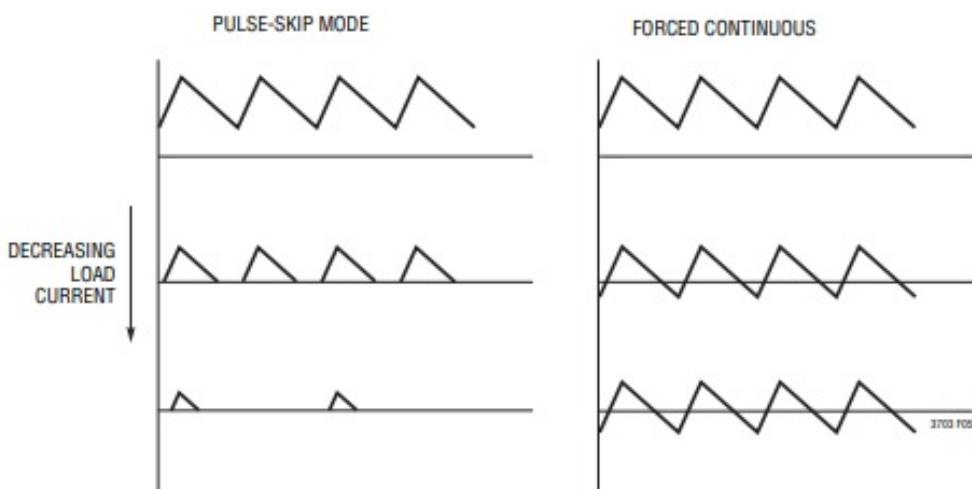
Finalmente se consigue el controlador LTC3703 que cumple con todos los requisitos listados.

El fabricante, Analog Devices provee el siguiente diagrama de bloques del controlador.



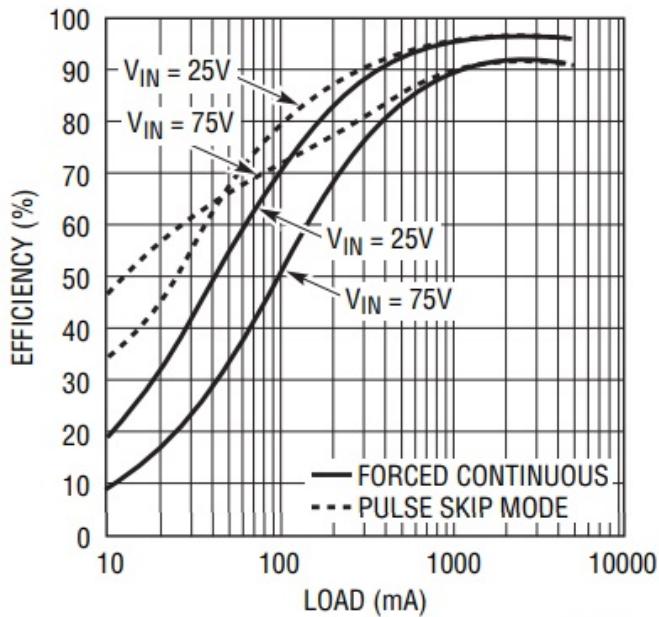


El controlador ofrece dos modos de funcionamiento respecto a la inversión de corriente en el inductor. El caso analizado se basa en el denominado pulse-skip, en el que al reducir la corriente de carga, no se invierte la corriente en el inductor, sino que se anula, idealmente.



Además, notar la diferencia en eficiencia, pues el modo pulse-skip con entradas en el orden de

24V, y con las cargas de corriente consideradas, está por encima de 80 % típicamente.



3703 F06

Por otro lado, se ajusta el realimentador con la expresión:

$$V_{out} = 0,8V \left(1 + \frac{R_1}{R_2}\right)$$

Obteniendo los valores normalizados:

- $R_1 = 39k\Omega$
- $R_2 = 5,6k\Omega$

#### 6.6.6. Seteo de frecuencia de conmutación

La elección de la frecuencia de operación recae en una relación de compromiso con el inductor y las cargas admitidas en modo continuo. En este caso se conoce que  $f_{sw} = 200kHz$ , luego, como era de esperarse, el controlador permite el ajuste de dicho parámetro a través del pin FSET, conectando una resistencia a común. Dicho componente ajusta el tiempo de carga y descarga del capacitor del oscilador interno.

$$R_{set}(k\Omega) = \frac{7100}{f(kHz) - 25}$$

Reemplazando con la frecuencia de conmutación de 200kHz, se obtiene  $R_{set} = 40,57k\Omega$ . Los ligeros desajustes encontrados en simulación llevan a la incorporación de un preset para este componente.

### 6.6.7. Caracterización de inductor

Para caracterizar el inductor, se debe, en principio, resolver el problema teórico de la topología reductora.

En función del desarrollo ya conocido para una topología reductora, se tiene la expresión del ciclo de servicio:

$$D = \frac{V_{out}}{V_{in}}$$

Luego, el rango encontrado para D es entre 0.177 y 0.530.

Por otro lado, no se desea trabajar cerca del modo discontinuo, y como tal se extiende el rango de corrientes sobre la carga inferior. Las especificaciones solicitan 100mA, aunque se pedirá para este cálculo, 75mA al menos. Luego  $I_{Smin} = 75mA$  y  $\Delta I_L = 2I_{Smin} = 150mA$ .

El inductor obtiene su valor crítico en la corriente de carga mínima  $I_{Smin} = 75mA$ . Luego:

$$L \geq \frac{V_{out}}{f\Delta I_L} (1 - D_{min}) = 174,5\mu H$$

Se elige el valor normalizado de  $L = 330\mu H$  por la eventual posibilidad de conseguir el componente comercial, y dado que aumentar  $L$  implica reducir aún más  $\Delta I_L$  con los beneficios que se desarrollarán en las siguientes secciones. Con esto, ahora  $\Delta I_L = 79,3mA$ .

Por otro lado, este inductor debe ser capaz de soportar una corriente de, al menos, 2.25A como se indicó en las secciones anteriores.

### 6.6.8. Desarrollo a través del método del $k_G$

Se realiza el desarrollo teórico de un inductor para la aplicación. Cabe aclarar que la corriente máxima de diseño está sobredimensionada para alcanzar 3A. Demás parámetros de diseño surgen de la inspección de inductores comerciales, a saber:

- $L = 330\mu H$
- $I_{max} = 3A$
- $B_{max} = 0,3T$  (ferrite)
- $R = 75m\Omega$
- $\rho = 1,724 \cdot 10^{-6}\Omega cm$
- $K_u = 0,4$

Se calcula la constante geométrica  $k_G$ , que dimensiona el tamaño del núcleo a utilizar.

$$k_G = \frac{\rho L^2 I_{max}^2}{B_{max}^2 R K_u} 10^8 = 0,0626 cm^5$$

Se elige un núcleo EE30, cuyos parámetros son:

- $k_G = 0,0857 \text{ cm}^5$
- $A_c = 1,09 \text{ cm}^2$
- $W_A = 0,476 \text{ cm}^2$
- $MLT = 6,60 \text{ cm}$

El gap de aire utilizado de dimensiones:

$$l_g = \frac{\mu_0 L I_{max}^2}{B_{max}^2 A_c} 10^4 = 380 \mu\text{m}$$

La cantidad de vueltas del bobinado:

$$N = \frac{LI_{max}}{B_{max} A_c} 10^4 = 26,2$$

Se eligen  $N = 26$  vueltas. Por otro lado, se dimensiona el alambre utilizado:

$$A_W \leq \frac{K_u W_A}{N} = 7,32 \cdot 10^{-3} \text{ cm}^2$$

El alambre cuya sección es inmediatamente menor al calculado es AWG#19 ( $A_W = 6,531 \cdot 10^{-3} \text{ cm}^2$ ).

Finalmente se verifica la resistencia del bobinado es:

$$R = \frac{\rho N M L T}{A_W} = 45,4 \text{ m}\Omega$$

Se verifica que la resistencia del bobinado es significativamente menor al parámetro de diseño. Luego, se ha caracterizado al inductor de la siguiente manera.

- Núcleo EE30
- Alambre AWG#19
- 26 vueltas de bobinado



#### 6.6.9. Caracterización de capacitor de salida

La elección del capacitor está dominada principalmente por el aporte de la resistencia serie equivalente (ESR). Esto ocurre a causa de que inicialmente se plantea una condición de rizado de tensión ajustada (menor a 1 %).

$$\Delta V_{out} = \Delta I_L (ESR + \frac{1}{8Cf})$$

La forma de proceder es en base al método empírico, esto es, luego de investigar respecto a las tecnologías de fabricación de capacitores, se decide la indicada para las capacidades y ESR presentadas. Dichos parámetros se midieron cuidadosamente con el instrumento LCRmeter Protomax VA511.

Luego de probar gran cantidad de capacitores, se llegó al que mejor ajusta la expresión del rizado de tensión. Se trata de un capacitor de poliéster metallizado (MKT), los que usualmente no alcanzan grandes valores de capacidad (hasta los pocos  $\mu F$ ), pero muy bajas ESR (al menos de los que se consiguen de manera relativamente fácil). La capacidad reportada por el vendedor es de  $4,7\mu F$ , y las mediciones son las siguientes:



Para los cálculos se utilizará el valor nominal de capacidad, y  $ESR = 100m\Omega$ . Luego, el rizado de tensión será de  $\Delta V_{out} = 18,5mV$  (0.29 %).

Sin embargo, a la hora de compensar, se ha encontrado la necesidad de conducir mayor corriente en los eventuales ajustes de la carga en términos resistivos (dicho análisis deriva de la regulación de carga dinámica). Es por ello que, a costa de aceptar mayor rizado de tensión, se opta por un capacitor electrolítico con buenas características de ESR. En particular, el siguiente, medido con el mismo instrumento:



Notar que las características son  $C = 100\mu F$  y  $ESR = 335m\Omega$ . En ese caso se tiene finalmente que el rizado de tensión es  $\Delta V_{out} = 24,3mV$  (0.4 %). En paralelo se agrega un capacitor cerámico de 10nF que presenta su frecuencia de resonancia muy por encima que el capacitor electrolítico (además de buenas características de ESR) para compensar el efecto de la reactancia inductiva del capacitor más grande a frecuencias cercanas a la de conmutación.

El análisis referido a la respuesta de carga dinámica se encuentra junto con la compensación en este documento.

### 6.6.10. Elección de transistores

La elección de los transistores se hace en base a varios criterios, entre ellos:

- Tensión máxima  $V_{ds} \geq 36V$
- Corriente máxima  $I_{max} \geq 2,25A$  (si bien la corriente rms será distinta según el ciclo de servicio)
- Resistencia drain source de endendido  $R_{ds}$  preferiblemente baja
- Tiempo de subida  $t_{rise} \leq 88,5ns$
- Tiempo de bajada  $t_{fall} \leq 88,5ns$
- Se consigue en Argentina
- Se consigue el modelo Spice fácilmente

Cabe aclarar que se estableció como cota para el tiempo de subida y bajada la décima parte del mínimo ciclo de servicio, 88.5ns.

Luego, se confecciona una tabla con los transistores que más se acercan a estos requisitos:

| Modelo          | $V_{DSmax}(V)$ | $I_{max}(A)$ | $R_{DS}(\Omega)$ | $t_{rise}(ns)$ | $t_{fall}(ns)$ |
|-----------------|----------------|--------------|------------------|----------------|----------------|
| <b>IRFZ44N</b>  | 55             | 49           | 17.5             | 60             | 45             |
| <b>IRF1010N</b> | 55             | 85           | 11               | 76             | 48             |
| <b>IRF1010E</b> | 60             | 84           | 12               | 78             | 53             |
| <b>IRF530</b>   | 100            | 14           | 160              | 34             | 24             |
| <b>IRF1310</b>  | 100            | 42           | 36               | 56             | 40             |
| <b>IRFP054</b>  | 60             | 70           | 14               | 160            | 150            |
| <b>IRFP240</b>  | 200            | 20           | 180              | 51             | 36             |
| <b>IRFP250</b>  | 200            | 33           | 85               | 120            | 80             |

Se observa que para el modelo IRF1310 se tienen tiempos de conmutación menores al indicado anteriormente. Con ello en mente, se calcula la corriente entregada en el Plateau:

$$I_{plateau} = C_{GD} \frac{\Delta V_{GD}}{t_{sw}} = 49,3mA$$

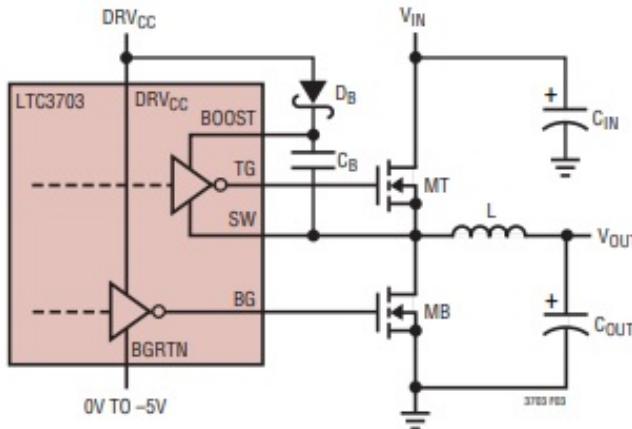
Se asume  $\Delta V_{GD} = 12V$ . Luego, escogiendo el modelo IRF1310, se espera un tiempo de rise en el orden de 56ns y de fall de 40ns.

### 6.6.11. Circuito de disparo de Top MOS

Se utiliza un capacitor de bootstrap externo  $C_B$  conectado al pin BOOST, el cual otorga la alimentación necesaria para la tensión de driving del gate del top MOS.

El capacitor  $C_B$  es cargado a través de un diodo externo  $D_B$  entre DRVCC y el nodo de conmutación. Cuando se enciende el top MOS, el capacitor provee la tensión necesaria entre gate y source del mismo. Con el top MOS encendido, la capacidad  $C_B$  debe ser al menos, 100 veces la

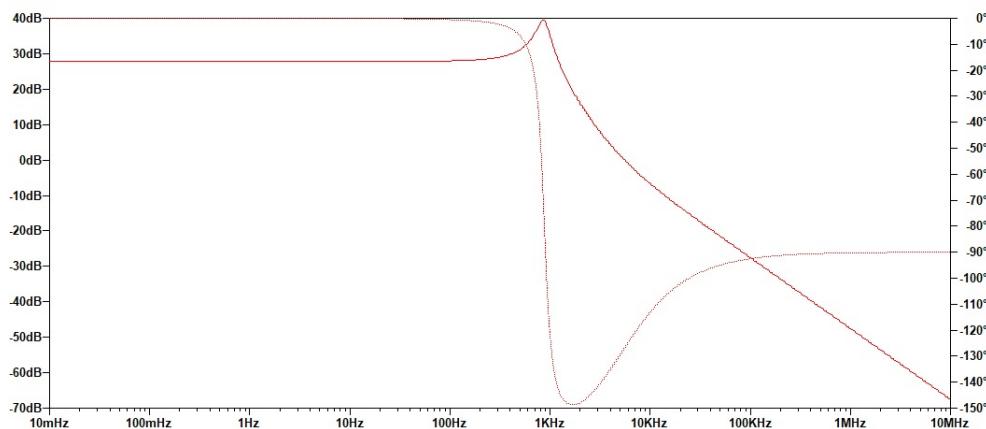
capacidad de entrada de dicho transistor. Cuando el top MOS se apaga, se carga  $C_B$  a través del diodo.



Una consideración importante es la potencia disipada en el diodo cuando está en régimen inverso. Típicamente se utilizan diodo de recuperación rápida. En este caso se utilizará el diodo MUR460, cuyo tiempo de recuperación es del orden de 50ns. La capacidad del gate del IRF1310 es de  $C_{iss} + C_{oss} - C_{rss} = 2,12nF$ , luego el capacitor utilizado es de 330nF, optando por la opción cerámica multicapa.

#### 6.6.12. Compensación de sistema

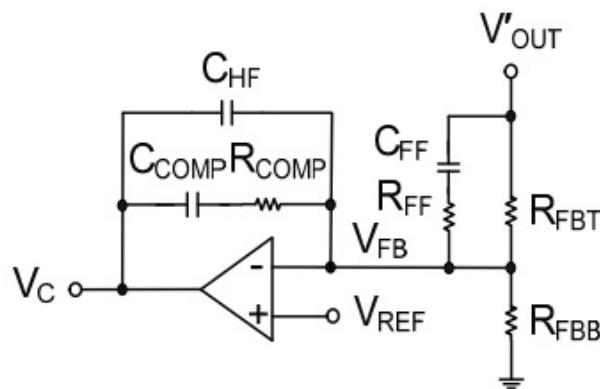
La compensación del sistema se realiza a través del método del modelo promediado. El mismo contempla la utilización de un sistema equivalente que modela el funcionamiento del modulador y la commutación para en análisis de barrido de frecuencia. Este método se basa en el aprovechamiento de módulos esquemáticos provistos por el profesor Erickson (Universidad de Colorado). Típicamente, la transferencia de una fuente commutada reductora usualmente presenta 2 polos complejos conjugados y un cero en alta frecuencia. En este caso, se tiene a través del modelo promediado:



Donde:

- Polos complejos conjugados en  $\omega = \frac{1}{\sqrt{LC}}$
- Cero en  $\omega = \frac{1}{CR_{ESR}}$

La compensación de una fuente comutada reductora contempla el análisis de distintas redes de compensación típicas en el modo tensión. Entre ellas, la que otorga mayores adelantos de fase a la frecuencia de cruce elegida es, usualmente, la red tipo 3. Se caracteriza por el agregado de 3 ceros y 2 polos.



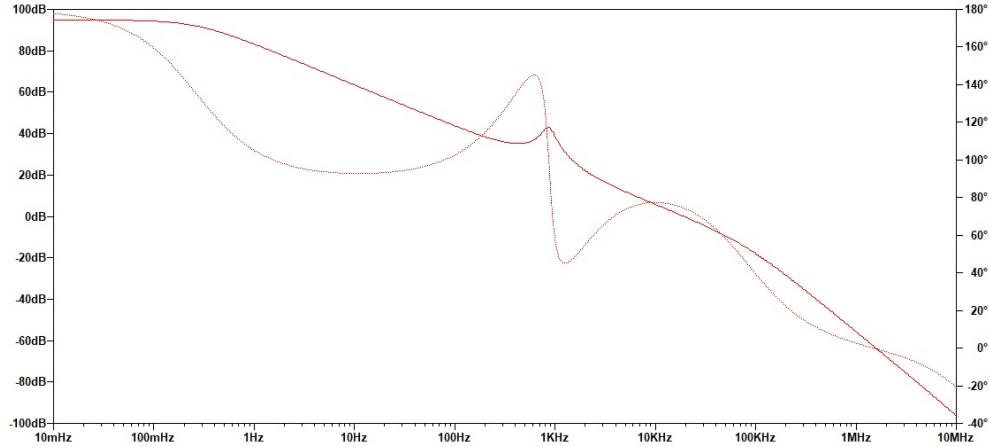
- El primer cero en  $\omega = \frac{1}{R_{COMP}C_{COMP}}$
- El segundo cero en  $\omega = \frac{1}{R_{FBT}C_{FF}}$
- El primer polo en  $\omega = 0$
- El segundo polo en  $\omega = \frac{1}{R_{FF}C_{FF}}$
- El tercer polo en  $\omega = \frac{1}{R_{COMP}C_{HF}}$

Basándose en el método encontrado en “Switch-mode power converter compensation made easy”, Texas Instruments, se elige la frecuencia de cross-over lo suficientemente alta como para brindar ancho de banda, pero lo suficientemente baja para que las asunciones realizadas en el modelo promediado sean correctas (típicamente  $f_c = \frac{f_{sw}}{10}$ ). En este caso  $f_c = 20kHz$  para realizar los cálculos.

Luego, conociendo las expresiones de polos y ceros del compensador descripto anteriormente, se encuentran los siguientes valores (normalizados):

- $R_{COMP} = 24,2k\Omega \rightarrow 27k\Omega$
- $C_{COMP} = 7,5nF \rightarrow 6,8nF$
- $C_{FF} = 4,65nF \rightarrow 4,7nF$
- $R_{FF} = 7,5k\Omega \rightarrow 6,8k\Omega$
- $C_{HF} = 65,8pF \rightarrow 68pF$

Finalmente, la transferencia de la ganancia de lazo (con el compensador) resulta en:



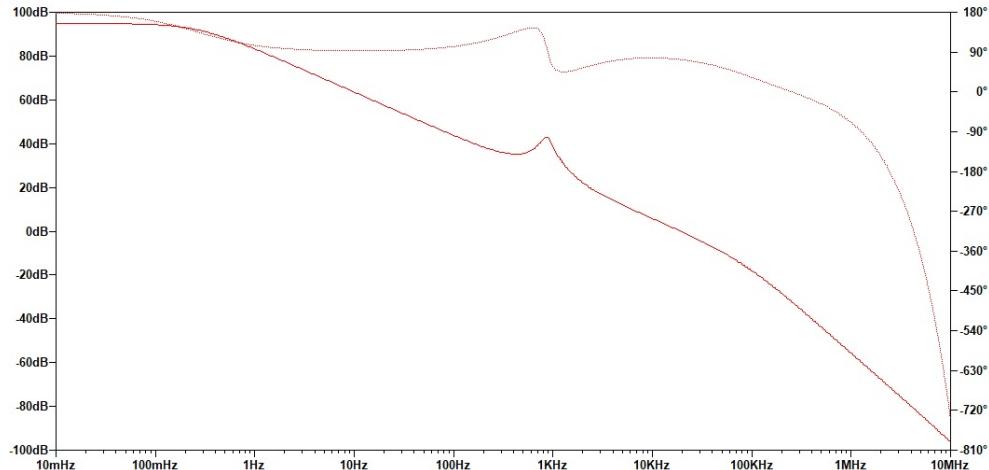
Notar el margen de fase de 74 grados en la frecuencia de cross-over  $f_c = 18,8\text{kHz}$ . El ligero desvío del cálculo teórico deriva de la normalización de componentes.

#### 6.6.13. Tiempo de retardo del controlador

El controlador LTC3703 contempla un tiempo mínimo para encender y apagar el top MOSFET. Este tiempo depende de un retardo interno y la cantidad de carga en el gate requerida para encender el MOS. Se reporta que para este controlador es, típicamente, 200ns.

Si el ciclo de servicio cae demasiado, puede ser enmascarado por el retardo interno, y saltar ciclos. En ese caso, la salida sigue siendo regulada, pero el rizado de corriente y de tensión aumentan.

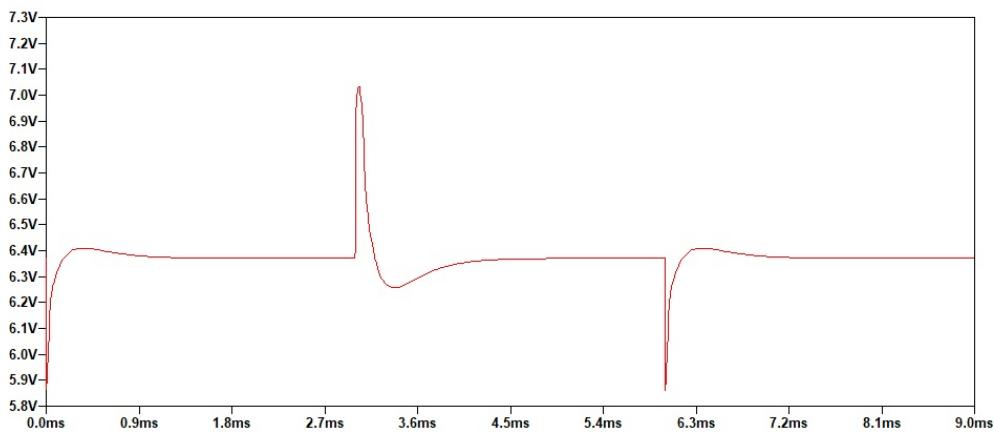
El análisis de este fenómeno es importante y debe ser incorporado a la hora de analizar la respuesta en frecuencia de la ganancia de lazo. Finalmente, se nota que no otorga desvíos mayores de fase en el  $f_c$ .



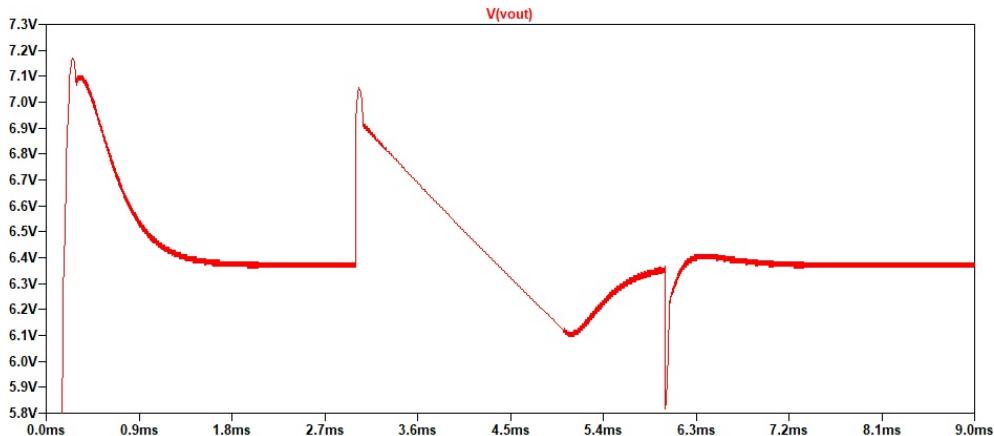
#### 6.6.14. Comparación de modelo promediado con modelo temporal y respuesta de carga dinámica

Se realiza la prueba de respuesta de carga dinámica. Consiste en variar la carga en un análisis temporal, verificando que la respuesta se ajuste a la tensión regulada de 6.36V idealmente, con una respuesta transitoria lo suficientemente suave.

Se analiza la respuesta del modelo promedio, obteniendo:



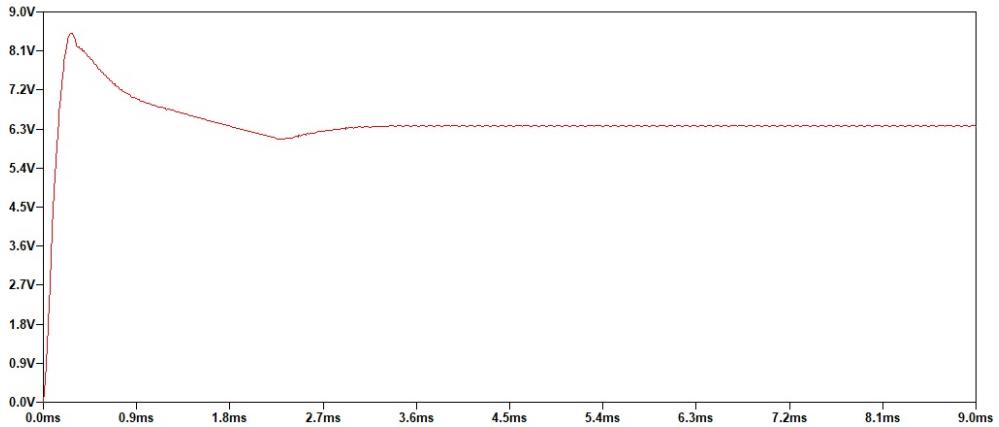
Asimismo, se analiza la respuesta del modelo temporal completo, obteniendo:



En este caso, se varió la carga desde  $160\Omega$  a  $3\Omega$  y nuevamente a  $160\Omega$  (cada uno durante 3ms), valores muy cercanos a los extremos contemplados (limitados por el modo discontinuo, y la corriente máxima). Se alcanza overshoot del orden de 0.7V, que refiere al 11 %. Se observan ligeras diferencias, en particular, que el el modelo promediado no modela de manera correcta la respuesta transitoria inicial, que contempla efectos adicionales, como el slow start.

#### 6.6.15. Respuesta ante variaciones a la entrada

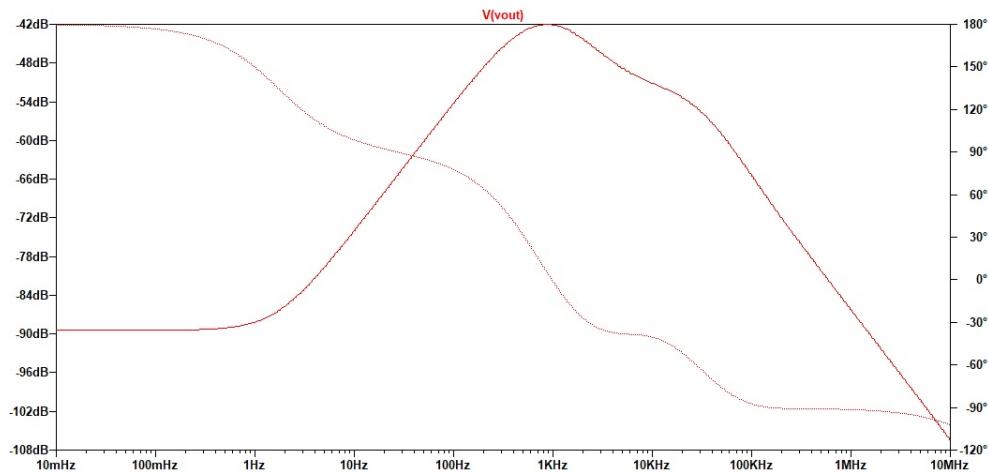
Se analiza el modelo temporal en variaciones de la tensión de la entrada. En ese sentido, se obtuvo:



Se varió la tensión de 12V a 24V y luego a 36V (cada uno durante 3ms). Se observa que el regulador conmutado es capaz de mantener la tensión a la salida estable, a pesar de los cambios en la entrada.

#### 6.6.16. Rechazo de ruido a la entrada

Colocando un generador AC a la entrada y observando la salida, se observa la atenuación en función de la frecuencia.



#### 6.6.17. Seteo de Soft-Start

El capacitor de soft start  $C_{ss}$  controla el tiempo de encendido y tasa de crecimiento de la tensión de salida al encender el controlador. Una fuente de corriente de aproximadamente  $4\mu A$  conduce a través del capacitor y setea el tiempo en:

$$t_{delay} = \frac{7,5seg}{\mu F} C_{ss}$$

Se elige el valor  $C_{ss} = 1nF$  en formato cerámico multicapa, para alcanzar el retardo de 7.5ms.

Este, además, es el tiempo que tarda en encenderse el mecanismo de limitación de corriente interno, con lo que resulta acorde utilizar un retardo relativamente corto.

#### 6.6.18. Caracterización de componentes adicionales

La utilización del controlador LTC3703 contempla la utilización de algunos componentes adicionales, en particular:

- Capacitor de bypass de VCC,  $C_{vcc} = 220nF$  cerámico.
- Capacitor de bypass de DRVCC (driver del bottom MOS)  $C_{drvcc} = 10\mu F$  electrolítico.
- Diodo entre drain y source del bottom MOS. Este componente conduce en el tiempo muerto entre la conducción de los transistores. Esto previene de que el diodo interno del bottom MOS se encienda y sea cargado durante el tiempo muerto, lo cual podría llevar a un tiempo de recuperación que reduzca la eficiencia. Se elige el MBR360 pues es un diodo de recuperación rápida, capaz de conducir picos de grandes corrientes, y con capacidad de juntura relativamente baja.
- Los capacitores de entrada, que funcionan como reservorio energético para la corriente de drain. Se encuentran dimensionados en función de la conducción de corriente máxima en la condición  $V_{in} = 2V_{out}$  y, en general, presentar baja ESR para reducir tiempos de transitorios largos. Se escogen dos capacitores, uno electrolítico de  $100\mu F$  y otro cerámico de  $1nF$  que proporcione la baja ESR y reduzca la corriente por el electrolítico.

#### 6.6.19. Limitador de corriente máxima

Se implementan dos mecanismos de control de corriente. El primero, uno externo que apaga el controlador cuando se excede la corriente máxima de diseño. El segundo, una protección dura, limitador de corriente constante implementado internamente por el controlador LTC3703.

Se parte de considerar que la corriente máxima por la carga es de 2.25A. Sin embargo, cabe recalcar que para alcanzar dicha corriente en estado estacionario, se tiene un sobreímpetu de 2.5A (visto en simulación). Luego, este será el nuevo parámetro de diseño. Cuando la corriente supere 2.5A, el lazo de control apagará el controlador, y el circuito en general.

Por otro lado, se implementa el limitador de corriente constante interno del LTC3703 como protección dura, para corrientes por encima de 2.5A.

#### 6.6.20. Limitador de corriente interno

Las ecuaciones presentadas en la hoja de datos contemplan las variaciones de  $R_{dsON}$  con la temperatura, a partir de la hoja de datos del transistor IRF1310, en este caso.

Se calcula para limitar en 2.75A y alcanzar  $V_{PROG} = 100mV$  (mínimo recomendado para garantizar la exactitud en la limitación, según el fabricante):

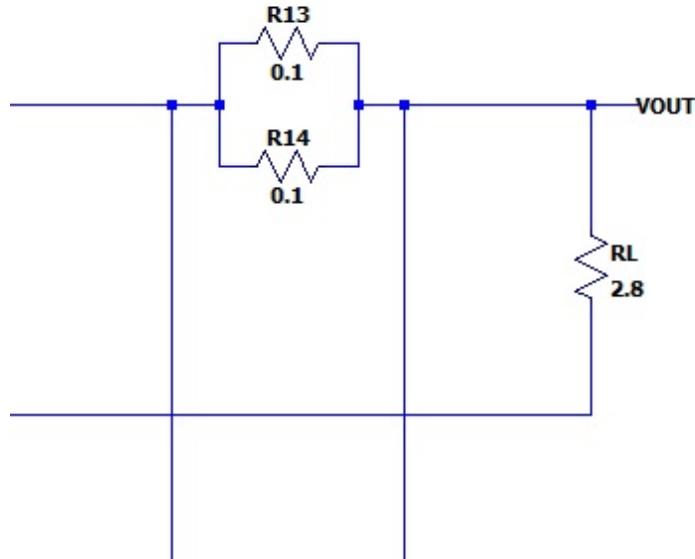
$$V_{PROG} = I_{limit}R_{dsON}(1 + \delta) = 100mV$$

$$R_{MAX} = \frac{100mV}{12\mu A} = 8,33k\Omega$$

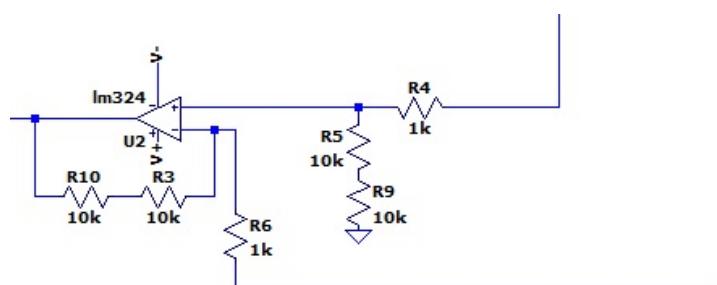
Se utiliza un preset para configurar este valor.

#### 6.6.21. Lazo de control de corriente

El lazo sensa la corriente sobre la carga, y la convierte en tensión de manera diferencial. Se utilizan dos resistores de  $0,1\Omega$  para que la caída de tensión no sea significativa, y reste, a lo sumo,  $0,05\Omega \cdot 2,5A = 125mV \rightarrow 6,235V$  a la salida.

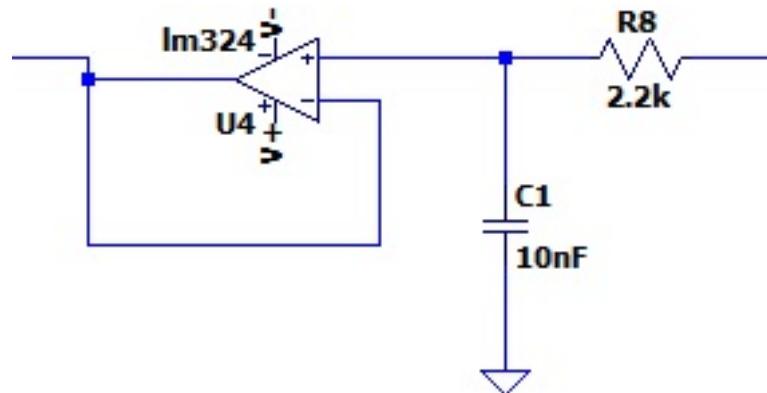


Se amplifica de manera diferencial por un factor de 20, pues  $0,05 \cdot 20 = 1$ , y así la tensión a la salida de este amplificador será igual a la corriente sobre la carga.

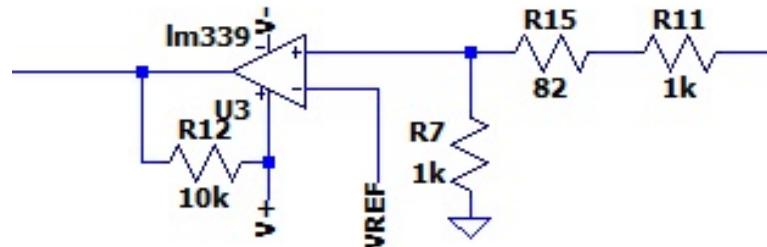


Se filtra, pues la tensión obtenida tiene componentes de alta frecuencia propias del mecanismo de conmutación de la topología reductora. Se utiliza una red pasa bajos pasiva de primer orden, con frecuencia de corte en aproximadamente  $f = 7,23kHz$ . No se trata de un detalle menor, pues el ancho de banda de la señal de salida se relaciona de manera directa con la capacidad de seguir

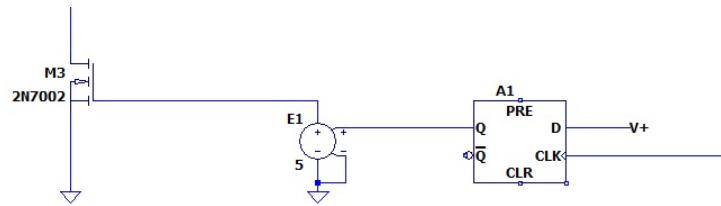
a los cambios rápidos de tensión a la entrada. Luego, si se escogiera una frecuencia menor, sería más lento el actuador del limitador, mientras que si fuera más alta, sería más rápida, a costa de entrar al comparador (explicado en las siguientes líneas) con una tensión con rizado.



Una vez filtrada la señal, se compara con una referencia de 1.2V, utilizando una red resistiva que iguala las tensiones de entrada del comparador cuando del filtro se tienen 2.5V.



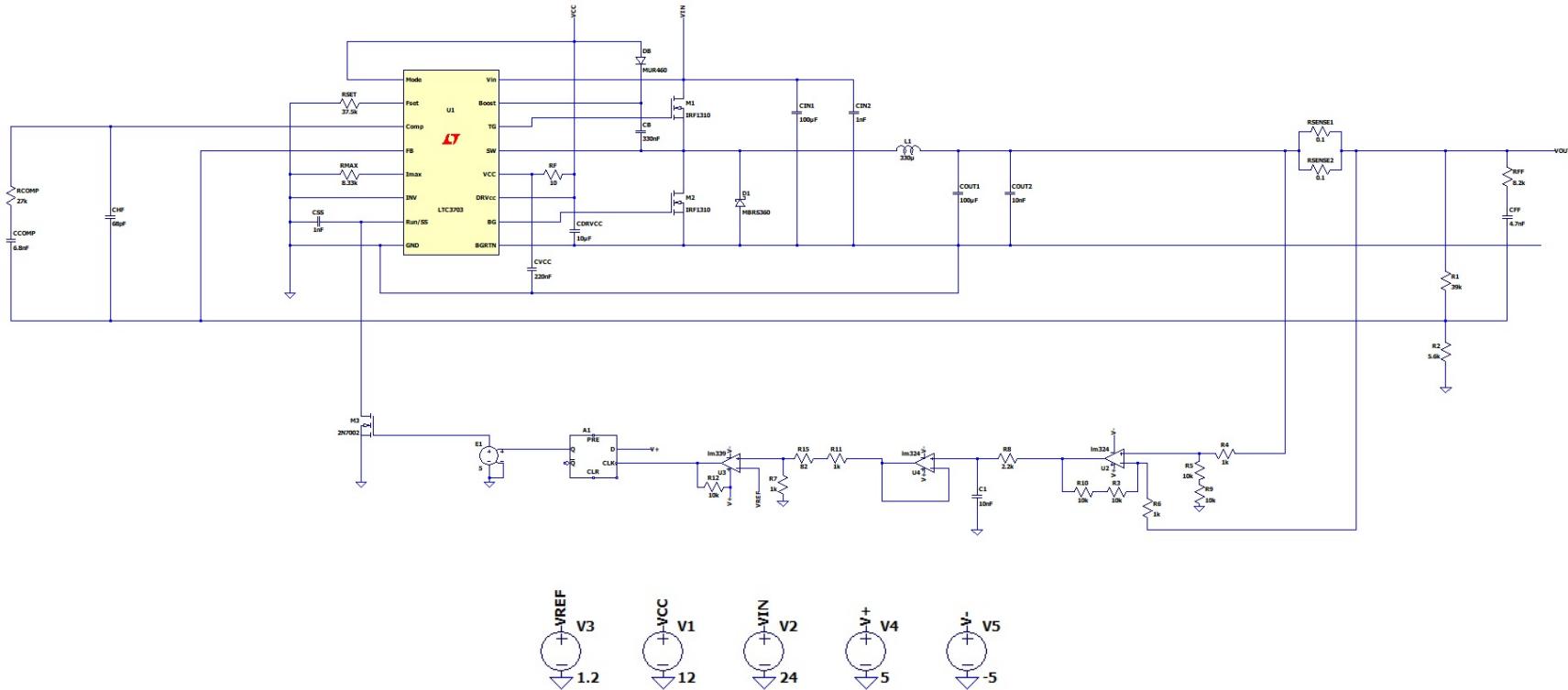
El actuador, de momento conceptual y requiere mayor trabajo para su implementación física. El controlador LTC3703 contempla el apagado conectando el pin RUN/SS a tierra. Así, el MOS lo hace cuando del flip flop D se tiene un flanco positivo (es la señal de clock). La utilización del flip flop es importante para retener el estado una vez que se apague el circuito, y de esta manera, que no oscile.



Se contempla la incorporación de un circuito que genere el power on reset.

### 6.6.22. Circuito final

Finalmente, la topología final luce de la siguiente manera:

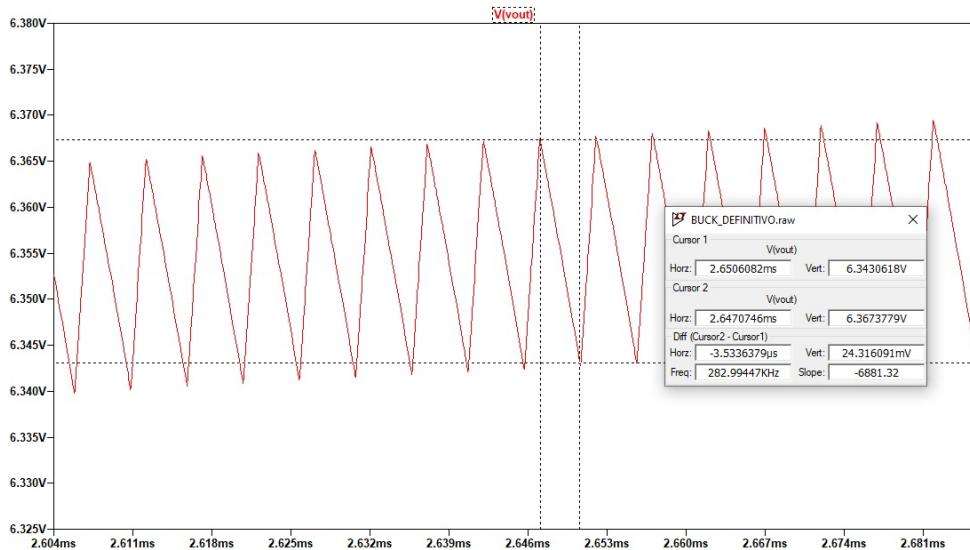


Se utilizan 4 fuentes de alimentación provenientes de la support. En particular la referencia de 1.2V, la alimentación partida de los amplificadores operacionales y comparadores de 5V y -5V, y la tensión de driving (que alimenta a los gate drivers y al controlador) de 12V. Además, se conecta a la entrada de batería de tensión nominal 24V.

### 6.6.23. Cálculo de parámetros de diseño

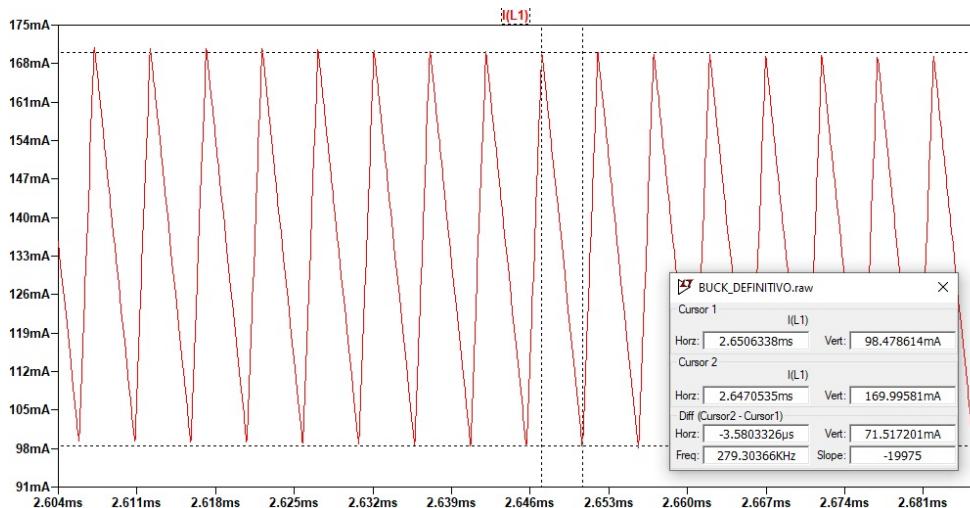
Se coloca una carga de  $50\Omega$  para realizar las siguientes pruebas: tensión, rizado de tensión, rizado de corriente, frecuencia de conmutación en el nodo de conmutación, y corriente máxima permitida por el lazo de control.

En principio se quiere verificar la tensión a la salida y el rizado de tensión. Se obtiene:



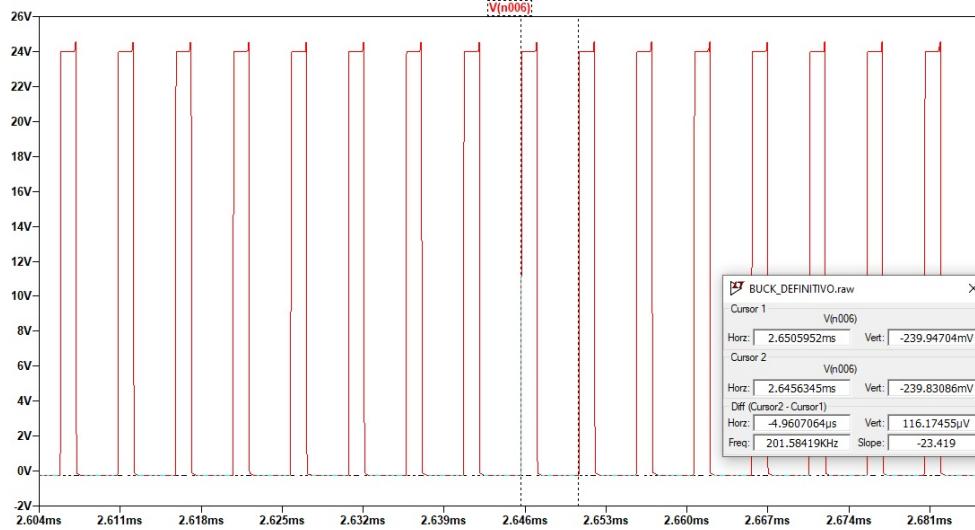
Se observa la tensión promedio de  $V_{out} = 6,355V$  y el rizado de  $\Delta V_{out} = 24,3mV$ .

Se analiza la corriente en el inductor:



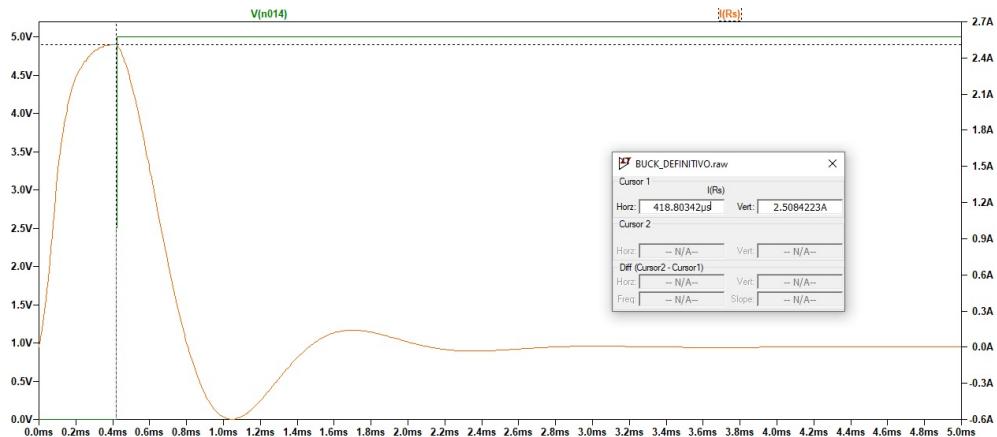
Y se obtiene el rizado de corriente de  $\Delta I_L = 71,5mA$ .

Se analiza la frecuencia de conmutación en el nodo de conmutación:



Y se obtiene la frecuencia  $f_{sw} = 201,58\text{kHz}$ .

Finalmente se varía la carga hasta obtener un flanco positivo a la salida del flip flop. Esto implica que el circuito se apaga. Notar que la corriente sobre la carga se anula a partir del flanco.



Se logra en  $R_s = 2,75\Omega$ , lo que implica que la corriente máxima efectiva es:

$$I_{max} = \frac{6,36V}{2,74\Omega} = 2,31A$$

Esta diferencia surge del filtrado, pues tarda en seguir el crecimiento de la corriente, a costa de suavizar la entrada del comparador y no obtener pulsos espúreos (relación de compromiso).

Se confecciona una tabla en la que se resumen las características fundamentales medidas en simulación:

| Parámetro        | Teórico  | Simulación |
|------------------|----------|------------|
| $V_{out}$        | 6,360V   | 6,355      |
| $\Delta V_{out}$ | 27,1mV   | 24,3mV     |
| $\Delta I_L$     | 70,8mA   | 71,5mA     |
| $f_{sw}$         | 200,0kHz | 201,6kHz   |
| $I_{max}$        | 2,25A    | 2,31A      |

#### 6.6.24. Eficiencia

Se consideran las pérdidas en la topología diseñada. La hoja de datos del LTC3703 brinda una sección a analizar las pérdidas más importantes, y como estimar las secundarias. En particular, se analiza:

- Corriente a través del controlador LTC3703 (VCC). Contempla la potencia por alimentar el controlador. Típicamente utiliza 2.5mA a la tensión de entrada, en este caso 12V.

$$P_{VCC} = 0,25mA \cdot 12V = 30mW$$

- Pérdidas por carga y descarga de los gates. Cada vez que los MOS son conmutados, cierta carga en el gate se conduce desde DRVCC hasta tierra, lo resultante es una corriente dependiente de la carga de los gates, de la frecuencia de conmutación, y la tensión de driving (12V).

$$P_{gate\ bottom} = fQ_{gate}V_{drv} = 200kHz \cdot 110nC \cdot 12V = 264mW$$

$$P_{gate\ top} = fQ_{gate}V_{drv} = 200kHz \cdot 110nC \cdot 12V = 264mW$$

- Pérdidas  $I^2R$ , que son típicamente las disipadas en resistencias. En particular se tienen las ESR del inductor, del capacitor, y de los MOS (comúnmente llamadas pérdidas por conducción). Se tiene en cuenta el valor de corriente RMS por cada componente para los peores casos. En ese sentido, se considera la corriente sobre la carga máxima (2.25A).

$$P_{cond\ bottom} = (I_{out}D_{max})^2 R_{dsON} = (2,25A \cdot 0,53)^2 \cdot 36m\Omega = 96,6mW$$

$$P_{cond\ top} = (I_{out}(1 - D_{min}))^2 R_{dsON} = (2,25A \cdot (1 - 0,18))^2 \cdot 36m\Omega = 122,5mW$$

$$P_{ESR\ L} = I_{out}^2 ESR_L = (2,25A)^2 \cdot 75m\Omega = 379,7mW$$

$$P_{ESR\ C} = (\frac{\Delta I_L}{2\sqrt{3}})^2 ESR_C = (\frac{79,3mA}{2\sqrt{3}})^2 \cdot 0,335m\Omega = 175,5\mu W$$

- Pérdidas por conmutación de los transistores:

$$P_{sw\ bottom} = 0,5V_{ds}I_{out}D_{max}f_{sw}t_{rise/fall} = 0,5 \cdot 12V \cdot 2,25A \cdot 0,53 \cdot 200kHz \cdot 56ns = 6,7mW$$

$$P_{sw\ top} = 0,5V_{ds}(I_{out}(1 - D_{min}))f_{sw}t_{rise/fall} = 0,5 \cdot 12V \cdot 2,25A \cdot (1 - 0,18) \cdot 200kHz \cdot 56ns = 10,3mW$$

- Pérdidas por ESR de capacitor de entrada, conducción del diodo de tiempo muerto y pérdidas en el núcleo del inductor  $P_{adicional}$  se estiman en el orden de, como mucho, 2 % de la potencia entregada a la carga, según la hoja de datos.

Por otro lado, se calcula la potencia entregada a la carga en la condición de corriente máxima:

$$P_c = V_{out} I_{out} = 6,36V \cdot 2,25A = 14,31W$$

Finalmente, se calcula la eficiencia:

$$\eta = \frac{P_c}{P_c + P_{Vcc} + P_{gate\ bottom} + P_{gate\ top} + P_{cond\ bottom} + P_{cond\ top} + P_{ESR\ L} + P_{ESR\ C} + P_{sw\ bottom} + P_{sw\ top} + P_{adicional}}$$

$$\eta = 90,74\%$$

Se verifica la eficiencia buscada, pues es mayor al 80 %.