МІНІСТЕРСТВО ОСВІТИ ТА НАУКИ УКРАЇНИ

Економіко-технологічний інститут імені Роберта Ельворті

Кафедра Інформаційних технологій

Практична робота №9

З предмету: Коп’ютерна схемотехніка та архітектура комп’ютера

Тема: Дослідження R-S, D, T, JK- тригерів та регістрів

Виконала студентка групи КН22

Литвин Анастасія Дмитрівна

03 травня 2023 р.

Перевірив викладач

Зозуля Валерій Анатолійович

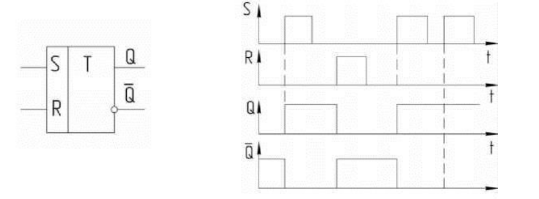
м. Кропивницький 2023 р.

Теоретичні відомості

Під час обробки цифрової інформації виникає необхідність у запису двійкових слів і їх тимчасовому зберіганні. Оскільки двійкове слово - це набір нулів і одиниць, то для зберігання одного розряду цього слова потрібний елемент, який може знаходитися в двох чітко помітних станах, один з яких трактують як нульовий, а другий як одиничний. В якості таких елементів використовуються електронні пристрої, які отримали назву тригер. Як елемент комп'ютера, тригер призначений для зберігання одного біта інформації, тобто лог. 0 або лог. 1. Схема тригера забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається. На основі тригерів будують типові функціональні вузли комп'ютерів - регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

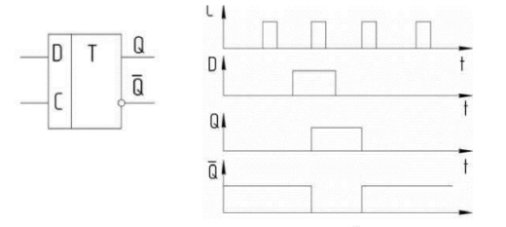
Основою побудови будь-якого різновиду тригера є найпростіший RS-тригер. Основним асинхронним елементом пам'яті служить RS-тригер (на базі елементів «АБО-НІ» - прямі входи).

Тригером RS-типу називається логічний пристрій з двома стійкими станами і двома інформаційними входами R і S.



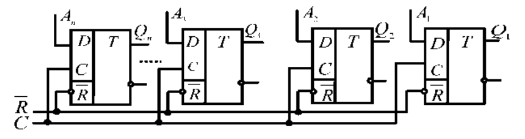
Важливу роль в цифрових пристроях відіграють RS-тригери з синхронізуючими (тактовими) і інформаційними (програмуючими) входами. На відміну від асинхронного, даний тригер на кожному інформаційному вході має додаткові схеми співпадіння, перші входи яких об'єднані і на них подаються синхронізуючі сигнали. Другі входи схем співпадіння є інформаційними. Зміна стану тригера можлива лише при наявності одиничного сигналу на синхронізуючому вході С. При нульовому значенні цього сигналу інформація на управляючих входах R і S не сприймається і тригер зберігає свій попередній стан.

D тригер - синхронний запам’ятовуючий елемент з двома сталими станами і одним інформаційним D-входом.



Т-тригер - запам’ятовуючий елемент з двома сталими станами і одним інформаційним Т-входом. Стан Т-тригера змінюється на протилежний після кожного приходу лічильного імпульсу на Т-вхід.

J-K тригер - запам’ятовуючий елемент з двома сталими станами і інформаційними входами J (аналог S) і K (аналог R), які забезпечують відповідно роздільну установку сигналів “1” і”0”. JK-тригери відносяться до універсальних пристроїв (регістри, лічильники, дільники), але крім того, шляхом певних сполук висновків, легко перетворюються в тригери інших типів.

Функціональний типовий вузол комп'ютера призначений для прийому, тимчасового зберігання, перетворення і видачі п-розрядного двійкового слова називається регістром. 

Регістри використовуються для виконання мікрооперацій запису, зберігання та читання інформ ації, а також для:

- оперативного зберігання інформації;

- затримки інформації на певний час;

- перетворення послідовного коду представлення інформації в паралельний та

навпаки;

- зсуву коду, що зберігається на один чи декілька розрядів вліво або вправо.

Завдання

1. Запустити Electronics Workbench, відкрити файл бібліотеки електронних елементів.

2. Зібрати схему RS-тригера на елементах АБО-НІ

3.Зібрати схему RS-тригера на елементах І-НІ.

4. Зробити висновки за результатами виконаного моделювання у середовищі Electronics Workbench.

5. Зібрати схему D-тригера.

6. Дослідити схему, результати досліду занести в таблицю 9.3 і визначити режим роботи D-тригера.

7. Зібрати схему згідно з рисунком дослідження JK - тригера в режимі лічильника (Т-тригер). Увімкнути схему. Змінюючи стан входу С відповідним ключем, замалювати діаграми тригера в лічильному режимі.

8. Зібрати схему JK-тригера.

9. Зібрати схему JK-тригера для отримання діаграми станів.

10. Набрати схему регістру зсуву на D –тригерах.

11. Дослідити роботу регістра. За результатами дослідів скласти часову діаграму роботи регістра.

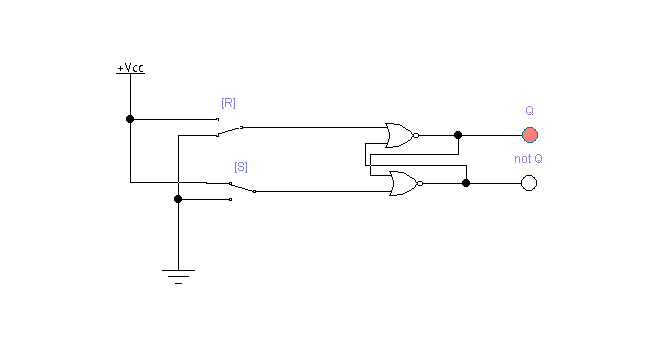
12. Набрати схему перетворювача послідовного коду в паралельний і навпаки.

13. Дослідити роботу перетворювача.

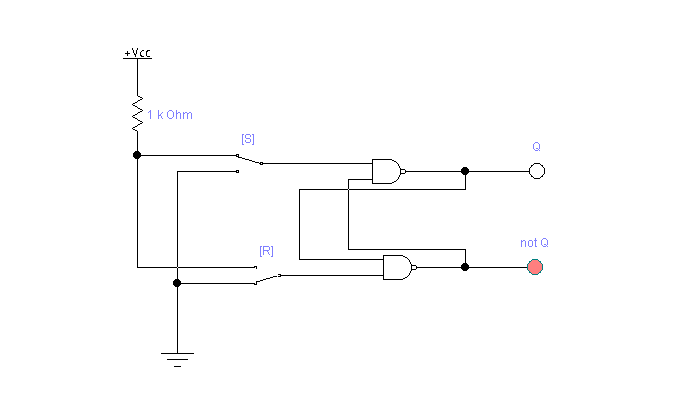
14. За результатами дослідів скласти часову діаграму роботи перетворювача.

15. Зробити висновки за результатами виконаного моделюванняу середовищі Electronіcs Workbench.

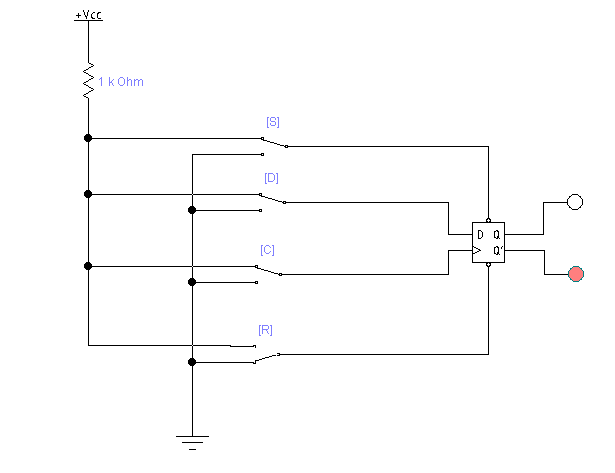
Виконання практичної роботи



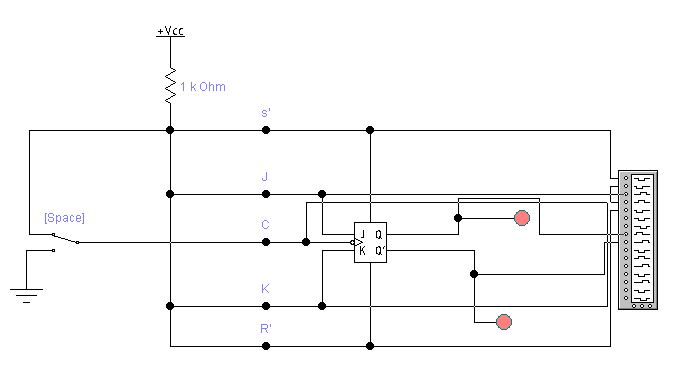
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **N** | **Вхідні сигнали схеми** | | **Вихідні сигнали схеми** | |
| **R** | **S** | **Q** | **not Q** |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 |
| 4 | 0 | 1 | 1 | 0 |
| 5 | 1 | 0 | 0 | 1 |
| 6 | 1 | 0 | 0 | 1 |
| 7 | 1 | 1 | 0 | 0 |
| 8 | 1 | 1 | 0 | 0 |



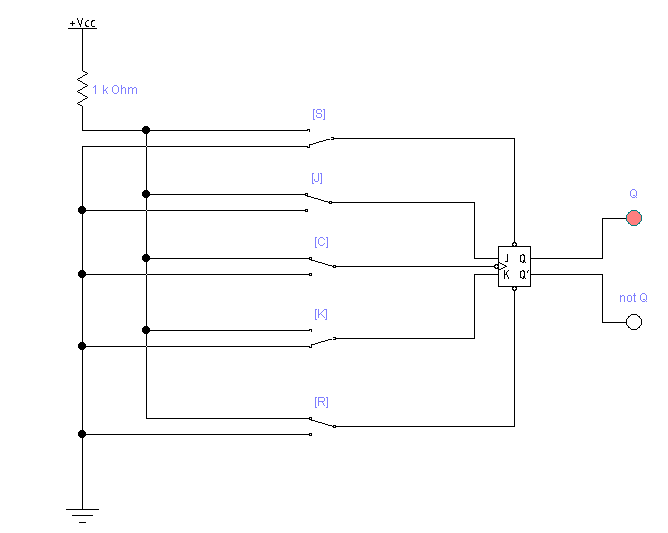
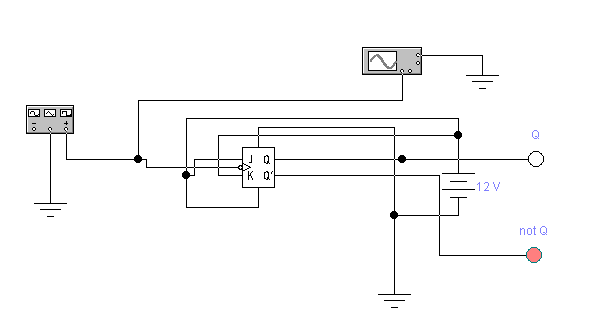
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **N** | **Вхідні сигнали схеми** | | **Вихідні сигнали схеми** | |
| **R** | **S** | **Q** | **not Q** |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 1 |
| 3 | 0 | 1 | 0 | 1 |
| 4 | 0 | 1 | 0 | 1 |
| 5 | 1 | 0 | 1 | 0 |
| 6 | 1 | 0 | 1 | 0 |
| 7 | 1 | 1 | 1 | 1 |
| 8 | 1 | 1 | 0 | 1 |



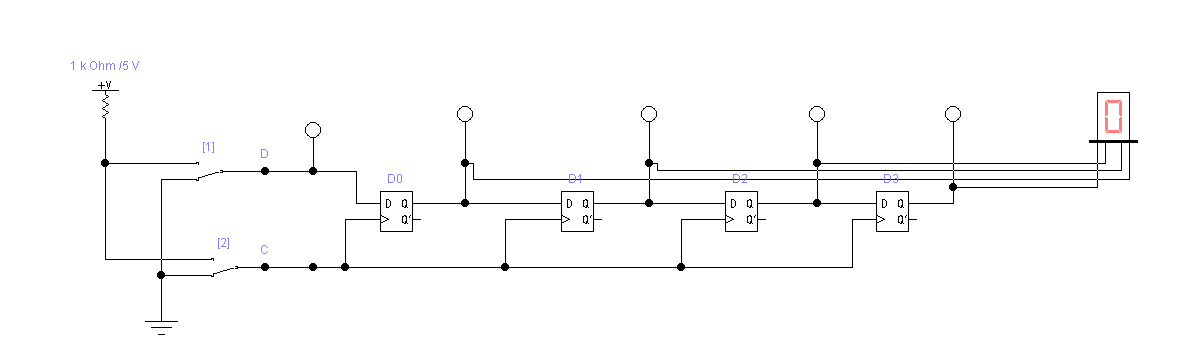
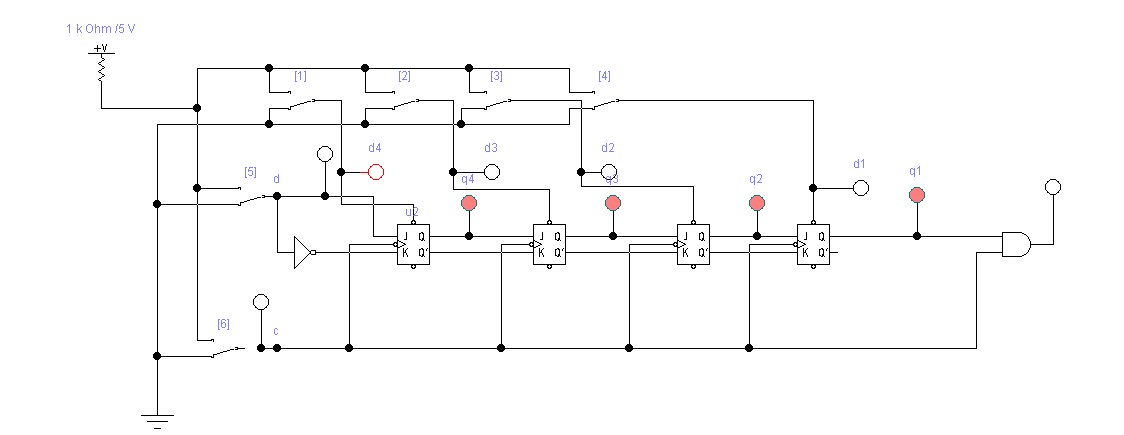
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **C** | **D** | **R** | **S** | **Qi+1** | **Режим роботи** |
| 0 | \* | 0 | 0 | **Qi** | Зберігання |
| 0 | \* | 0 | 1 | 0 | Встановлення 0 |
| 0 | \* | 1 | 0 | 1 | Встановлення 1 |
| 0 | \* | 1 | 1 | **Qi** | Невизначений стан |
| 1 | 0 | 1 | 1 | 1 | Запис по попередньому фронту сигналу |
| 1 | 1 | 1 | 1 | 1 | Запис по задньому фронту сигналу |



|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **C** | **S** | **J** | **K** | **R** | **Qi+1** | **Режим роботи** |
| 0 | 0 | \* | \* | 0 | **Qi** | Зберігання |
| 0 | 0 | \* | \* | 1 | 0 | Скидання |
| 0 | 0 | \* | \* | 1 | 1 | Встановлення |
| 1 | 1 | 0 | 0 | 0 | **Qi** | Заборона запису |
| 1 | 1 | 0 | 1 | 0 | **Qi** | Заборона запису |
| 1 | 1 | 1 | 0 | 1 | 1 | Передача даних |
| 1 | 1 | 1 | 1 | 0 | 0 | Передача даних |

|  |  |  |  |
| --- | --- | --- | --- |
| J | **K** | **Q** | **Not Q** |
| 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Висновок

Під час виконання цієї практичної роботи, я закріпила знання про комбінаційні схеми з використанням RS-тригера та улаштуванню і принципу роботи регістрів, також закріпила знання у роботі з Electronics Workbench.

Навчилася збирати схему RS-тригера на елементах АБО-НІ, а також дослідила вихідні сигнали схеми.

Зібрала схему RS-тригера на елементах І-НІ, D-тригера, JK – тригера(в режимі

лічильника (Т-тригер) , змінюючи стан входу С відповідним ключем, замалювала діаграми тригера в лічильному режимі.), JK-тригера для отримання діаграми станів, JK тригера – динаміка. Дослідження внесла до таблиці. За результатами дослідів склала часову діаграму роботи регістра. Набрала схему перетворювача послідовного коду в паралельний і навпаки.

Отже, у даній роботі було досліджено RS-, D-, T-, JK-тригери та регістри.

Я можу сказати, що RS-тригер є базовим елементом для створення інших типів тригерів і має два входи: S (Set) і R (Reset). При застосуванні сигналу до входу S, RS-тригер переходить у стан 1, а при застосуванні сигналу до входу R - у стан 0.

D-тригер має один вхід D(Data). Виявилось, що цей тип тригера корисний для зберігання одного біту і передачі його до інших логічних елементів.

T-тригер має один вхід T(Toggle), який змінює стан тригера на протилежний при подачі сигналу затримки.

JK-тригер має два входи: J і K. Якщо J=1, K=0, тригер перейде в стан 1. Якщо J=0, K=1, тригер перейде в стан 0. Якщо J=K=1, тригер збереже попередній стан, а якщо J=K=0, тригер залишиться в попередньому стані.

А щодо регістра, то це логічна схема, яка здатна зберігати і передавати послідовність бітів. Регістри можуть мати різну довжину, тобто зберігати різну кількість бітів.