

Лабораторная работа №5. Разработка формирователя импульсов, управляемого цифровым кодом, с использованием языков описания аппаратуры

Цель работы. Разработать проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus, используя языки описания аппаратуры.

Краткие теоретические сведения

Разработка формирователей импульсов, параметры которых могут изменяться под управлением внешнего цифрового кода, является одной из распространенных задач проектирования цифровых схем. В данной лабораторной работе требуется разработать проект устройства, реализуемый на языке Verilog, в котором период выходного сигнала которой ($T_{\text{вых}}$) в целое число раз больше периода входного сигнала ($T_{\text{вх}}$), с определенной длительностью фазы состояния 1 (K_1 тактов) и фазы 0 (K_0 тактов), при этом $(K_1 + K_0) \cdot T_{\text{вх}} = T_{\text{вых}}$, причем один или оба параметра K_1 и K_0 задаются внешним управляющим кодом. При активном состоянии входа загрузки внешний управляющий код загружается в устройство (получается некоторое число N), и новый цикл работы устройства формируется с учетом полученного значения цифрового кода. При разработке таких цифровых устройств обычно используют счетчики с возможностью предварительной загрузки числа с некоторым количеством вспомогательных триггеров и логических схем формирования выходных импульсов.

Варианты заданий

Задание заключается в формировании импульсов, параметры которых однозначно определяются цифровым управляющим 6-разрядным двоичным кодом. Проект устройства, который нужно реализовать на языке Verilog, должен иметь 1 выход и 8 входов:

- 1) один вход для подачи тактовых импульсов,
- 2) один вход для подачи импульса загрузки управляющего кода,
- 3) 6 входов для подачи внешнего управляющего 6-разрядного двоичного кода.

Варианты заданий приведены в таблице.

Значение управляющего кода может изменяться в произвольное время. Во время активного состояния входа загрузки состояние выхода не регламентируется. По окончании загрузочного импульса должна автоматически инициироваться новая фаза работы устройства, под управлением полученного значения кода (число N). Начало новой фазы работы соответствует первому переднему фронту тактового импульса после снятия импульса загрузки.

Данные вариантов заданий совпадают с данными, приведенными в методических указаниях к лабораторной работе №6, выполненной в предыдущем семестре изучения дисциплины (см. таблицу).

Пояснения к вариантам заданий дает рисунок с развернутой подрисуночной подписью.

Таблица вариантов заданий

Вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
K_1	N	1	N	N	2	N	3	N	4	N	5	N	6	N	7
K_0	N	N	1	2	N	3	N	4	N	5	N	6	N	7	N
Вар.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
K_1	8	N	N	9	N	10	N	11	N	12	N	13	N	14	N
K_0	N	8	9	N	10	N	11	N	12	N	13	N	14	N	15

Особые указания к заданию:

- 1) Задержка выходного сигнала по отношению ко входному не должна превышать времени переключения одиночного триггера.

2) Кратковременные врезки (“иголки”) на временных диаграммах крайне нежелательны, наличие таких элементов на временной диаграмме допускается только по согласованию с преподавателем, при предъявлении результатов работы в часы занятий.

3) Активное состояние управляющего входа загрузки - 1.

4) Импульс загрузки появляется синхронно с тактовым импульсом.

5) Управляющий код на внешних входах может изменяться в любой момент, кроме момента заднего фронта импульса загрузки.

6) Работа проекта при загруженном значении управляющего кода N , равном 0, никак не регламентируется.

7) Изменение состояний входов управляющего кода без активации управляющего входа загрузки не должно оказывать влияния на выходную последовательность.

* При нарушении срока выполнения работы обучающийся, помимо основного задания, должен выполнить дополнительные задания:

1) реализовать проект на языке VHDL,

2) осуществить моделирование проекта в среде ModelSim Altera, с использованием файла, описывающего тестовые воздействия (testbench).

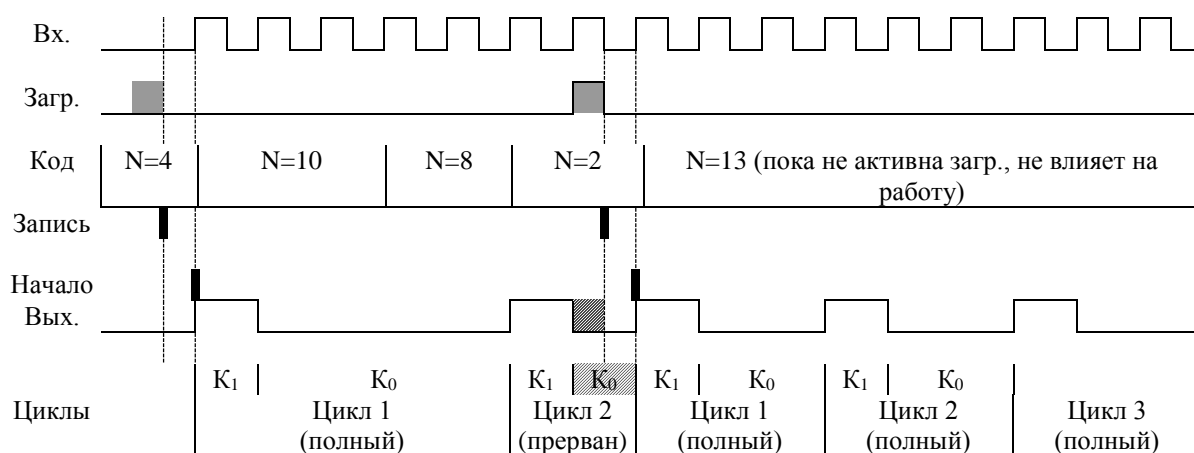


Рисунок - Временная диаграмма для варианта №2:

Дорожки “Запись”, “Начало” и “Циклы” не являются входами, а введены для иллюстрации фаз работы устройства: на дорожке “Запись” отмечены моменты записи управляющего кода, на дорожке “Начало” отмечены моменты начала новой фазы работы устройства под управлением обновленного кода, на дорожке “Циклы” отмечена длительность каждого отдельного цикла (включая неполные, прерванные импульсом загрузки управляющего кода). Цикл работы устройства, обозначенный как “Цикл 2 (неполн)”, прерван появлением импульса загрузки кода (“Загр.”), поэтому длительность фазы K_0 в этом цикле не была выдержана, а состояние выхода может оказаться произвольным. Нумерация циклов начинается заново после загрузки нового кода. Значения управляющих кодов, равные 10, 8, 13 не сопровождаются импульсом записи, поэтому не влияют на работу устройства.

Порядок выполнения работы

1. Получить вариант задания у преподавателя во время занятия по расписанию, удостовериться в правильном понимании задания и критериев его оценки. Изобразить вручную требуемую временную диаграмму работы устройства для разных значений управляющих кодов и моментов появления импульсов записи и предъявить преподавателю.
2. Сформировать проект для ПЛИС, реализовав проект формирователя импульсной последовательности в среде Quartus на языке Verilog.
3. Назначить выводы ПЛИС для входов и выходов проекта.
4. Осуществить компиляцию и моделирование проекта.

5. Убедиться в работе проекта в соответствии с данными полученного варианта, продемонстрировать работу преподавателю при разных значениях N , вплоть до максимально возможного значения $N=111111_2=63_{10}$.
6. Сохранить проект, выйти из среды Quartus. Закончить работу.

Содержание отчета

1. Цель работы.
2. Вариант задания.
3. Описание концепции разработки проекта.
4. Листинг программы на языке Verilog с необходимыми комментариями.
5. Информация о назначении выводов ПЛИС для проекта.
6. Временные диаграммы работы проекта в среде Quartus: результаты функциональной и временной симуляции: для разных значений загруженного кода: малых (N порядка нескольких единиц), средних (20...30) и максимальном значении кода $N=63$; как минимум 2 разных значения последовательно загруженных кодов и несколько полных циклов работы устройства для каждого управляющего кода на одной временной диаграмме.
7. Перечисление ошибок, если они возникали в процессе работы, и методов, применённых для их устранения.
8. Выводы.
9. Список используемых источников.

Рекомендуемая литература

1. Проектирование встраиваемых систем на ПЛИС. / З.Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.