

Лабораторная работа №1.

Разработка комбинационного устройства на основе ПЛИС с использованием языков описания аппаратуры

Цель работы. Разработать проект комбинационного устройства на основе программируемой логической интегральной схемы в среде программирования Quartus с использованием языков описания аппаратуры: приобрести навыки формирования проекта комбинационного устройства по заданной таблице истинности.

Краткие теоретические сведения

Среда программирования Quartus является системой автоматизированного проектирования, используемой при программировании микросхем ПЛИС, выпускаемых фирмой Altera. Типовой задачей проектирования цифровых устройств является разработка комбинационных устройств, работающих в соответствии с заданной таблицей истинности. При формировании проекта с использованием языков описания аппаратуры (Verilog, System Verilog, VHDL) в большинстве случаев не прибегают к проведению формальной минимизации логических выражений, поскольку экономия внутренних ресурсов ПЛИС при этом является незначительной, более предпочтительным является наглядность логических взаимосвязей между входными и выходными переменными. При выполнении данной лабораторной работы следует реализовать проект на языке Verilog в САПР Quartus.

Варианты заданий*

Задание заключается в формировании проекта комбинационного устройства в триа входами и двумя выходами, работающего в соответствии с заданной по варианту таблицей истинности, с использованием языков описания аппаратуры. Следует также осуществить назначение выводов ПЛИС для входов и выходов проекта. Данные вариантов заданий совпадают с данными, приведенными в методических указаниях к лабораторной работе №2, выполненной в предыдущем семестре изучения дисциплины.

Таблица истинности (начало)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			1		2		3		4		5		6		7		8		9		10	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	1	1	1	0	1	0	0	0	0	1	0	1	0	0	0	1
0	0	1	0	0	1	1	0	0	0	1	0	1	1	0	0	0	1	1	0	1	0	0
0	1	0	1	1	1	0	1	1	0	0	0	1	0	1	1	1	1	0	0	1	1	1
0	1	1	0	1	1	1	0	1	0	0	0	0	1	1	0	0	1	0	1	1	0	1
1	0	0	0	0	0	0	0	1	0	0	1	0	1	0	0	1	0	1	0	0	0	0
1	0	1	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0	1	0	0	1
1	1	0	1	0	1	1	1	0	1	1	0	0	1	0	1	0	0	1	1	0	1	1
1	1	1	0	1	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	1	1	0

Таблица истинности (продолжение)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			11		12		13		14		15		16		17		18		19		20	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	1	0	1	0	1	1	1	0	0	1	0	1	0	0	0	1
0	0	1	1	0	1	1	1	0	0	1	0	1	0	0	1	1	0	1	1	1	0	0
0	1	0	1	1	1	0	1	1	1	1	1	1	0	1	1	0	1	1	0	0	1	0
0	1	1	0	1	0	0	0	0	1	0	1	0	1	0	0	0	0	0	1	1	0	1
1	0	0	1	0	1	0	0	1	1	1	0	1	0	0	1	1	1	0	1	0	0	0
1	0	1	0	1	0	1	1	0	1	0	0	1	0	1	0	0	1	1	1	0	1	1
1	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	0	1	0	1
1	1	1	0	1	1	0	0	0	0	0	1	0	0	1	0	0	1	1	1	1	1	0

Таблица истинности (окончание)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			21		22		23		24		25		26		27		28		29		30	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	0	0	1	0	1	1	1	0	0	1	0	1	0	0	0	1
0	0	1	1	0	1	1	1	0	0	1	0	1	0	0	1	1	0	1	1	1	0	0
0	1	1	1	1	1	0	0	0	0	0	0	0	1	0	0	1	0	0	1	0	1	0
0	1	1	1	0	0	1	0	1	0	1	1	0	1	1	1	0	1	1	0	0	0	1
1	0	0	0	1	1	0	0	1	0	0	1	1	0	0	0	1	0	0	0	1	0	0
1	0	1	0	1	1	1	1	0	1	0	0	1	0	1	0	0	1	1	1	0	1	0
1	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	0	1	0	1
1	1	1	0	1	0	0	0	0	1	0	1	0	0	1	0	0	1	0	1	0	1	0

***Примечание:** Если отчет представлен после указанной предельной даты выполнения работы, то, помимо выполнения основного задания, следует следующие дополнительные задания:

- 1) реализовать проект на языке VHDL и осуществить его моделирование,
- 2) осуществить моделирование в среде ModelSim Altera, с использованием файла, описывающего тестовые воздействия (testbench),
- 3) использовать в проекте тернарный условный оператор.

Порядок выполнения работы

1. Получить вариант задания у преподавателя во время занятия по расписанию, удостовериться в правильном понимании задания и критериев его оценки.
2. Сформировать логические выражения, описывающие связь между состояниями входных и выходных сигналов, при желании можно минимизировать полученные выражения.
3. Реализовать проект для ПЛИС в виде программы на языке описания аппаратуры, осуществить его компиляцию и функциональное моделирование.
4. Назначить выводы ПЛИС для входов и выходов проекта, выполнить моделирование с учетом задержек (timing simulation).
5. Убедиться в работе проекта в соответствии с данными полученного варианта, продемонстрировать работу преподавателю.
6. При необходимости (см. примечание к вариантам заданий) выполнить все перечисленные дополнительные задания.
7. Сохранить проект, выйти из среды Quartus. Закончить работу.

Содержание отчета

1. Цель работы.
2. Заданная таблица истинности.
3. Логические выражения, включая промежуточные выкладки, выполняемые в процессе минимизации или переводе в заданный базис булевых функций.
4. Листинг программы, реализующей заданную по варианту функциональность устройства в среде Quartus.
5. Информацию о назначении выводов ПЛИС для проекта.
6. Временные диаграммы работы проекта в среде Quartus: результаты функциональной и временной симуляции.
7. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.
8. Выводы.
9. Список используемых источников.

Рекомендуемая литература

1. Проектирование встраиваемых систем на ПЛИС. / З.Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.