

## Лабораторная работа №4.

### Разработка формирователя импульсной последовательности с заданными свойствами, с использованием языков описания аппаратуры

**Цель работы.** Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus, используя языки описания аппаратуры.

#### Краткие теоретические сведения

Разработка формирователей импульсных последовательностей с заданными свойствами является одной из типовых задач проектирования цифровых схем. В данной лабораторной работе требуется разработать проект для ПЛИС, функциональность которого идентична схеме, разработанной при выполнении лабораторной работы №6 в прошлом семестре: период выходного сигнала которой ( $T_{\text{вых}}$ ) в целое число раз больше периода входного сигнала ( $T_{\text{вх}}$ ), с заданной длительностью фазы состояния 1 ( $K_1$  тактов) и фазы 0 ( $K_0$  тактов), при этом  $(K_1 + K_0) \cdot T_{\text{вх}} = T_{\text{вых}}$ . При формировании таких цифровых устройств, относящихся к классу последовательностных, можно использовать различные подходы. Простейший подход предполагает разработку устройства соединением счетчика с заданным основанием счета  $M = K_1 + K_0$  и логической схемы (дешифратора). Однако, подобный подход обеспечивает сравнительно большую задержку выходного сигнала по отношению ко входному. Методически более совершенный подход предполагает выполнение схемы на основе последовательно-параллельного регистра сдвига с обратной связью на вход загрузки данных. При этом основная задача заключается в разработке цепи обратной связи. Необходимые для программной реализации схемы компоненты – регистр сдвига и логические выражения легко реализуются на языках описания аппаратуры (Verilog, VHDL).

#### Варианты заданий\*

Задание заключается в разработке проекта для ПЛИС, который обеспечивает формирование импульсной последовательности с заданными свойствами. Задержка выходного сигнала по отношению ко входному при этом не должна превышать времени переключения одиночного триггера. Кратковременные врезки (“иголки”) на временных диаграммах крайне нежелательны, наличие таких элементов на временной диаграмме допускается только по согласованию с преподавателем, при предъявлении результатов работы в часы занятий.

Данные вариантов заданий совпадают с данными, приведенными в методических указаниях к лабораторной работе №5, выполненной в предыдущем семестре изучения дисциплины (см. таблицу).

В части заданий начало формирования выходной последовательности должно происходить с задержкой в  $K_{\text{нач}}$  тактов входного сигнала. Пояснения к вариантам заданий дает рисунок.

Таблица вариантов заданий

Вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$K_{\text{нач}}$	0	1	2	1	0	2	0	1	2	3	1	2	0	1	2
$K_1$	3	12	1	4	5	6	9	8	14	13	1	3	4	2	1
$K_0$	14	5	16	13	12	11	8	9	3	4	6	4	3	3	4
Вар.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
$K_{\text{нач}}$	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
$K_1$	3	4	3	1	5	9	8	7	6	5	5	4	3	2	1
$K_0$	2	1	6	8	1	2	3	4	5	4	6	7	7	7	7
Вар.	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
$K_{\text{нач}}$	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
$K_1$	1	2	3	10	9	10	7	7	7	7	8	8	2	10	2
$K_0$	10	10	10	1	2	3	1	2	3	4	1	2	8	2	9

**\*Примечание:**

Если отчет представлен после указанной предельной даты выполнения работы, то, помимо основного задания, следует выполнить дополнительные задания:

- реализовать проект по структуре “счетчик+дешифратор”, используя модули, написанные на языке Verilog при выполнении предыдущих лабораторных работ,
- реализовать проект на языке VHDL,
- осуществить моделирование проекта в среде ModelSim Altera, с использованием файла, описывающего тестовые воздействия (testbench).

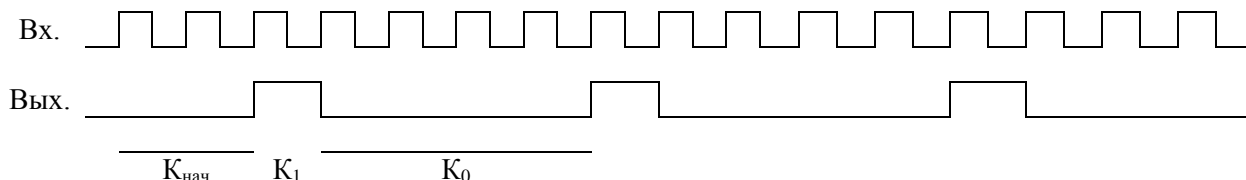


Рисунок - Временная диаграмма для варианта №15.

**Порядок выполнения работы**

1. Получить вариант задания у преподавателя во время занятия по расписанию, удостовериться в правильном понимании задания и критериев его оценки.
2. Сформировать проект для ПЛИС, реализовав проект формирователя импульсной последовательности на Verilog в среде Quartus. При затруднениях можно использовать в качестве основы проект формирователя, выполненный в прошлом семестре.
3. Назначить выводы ПЛИС для входов и выходов проекта.
4. Осуществить компиляцию и моделирование проекта.
5. Убедиться в работе проекта в соответствии с данными полученного варианта, продемонстрировать работу преподавателю.
6. Сохранить проект, выйти из среды Quartus. Закончить работу.

**Содержание отчета**

1. Цель работы.
2. Формулировка варианта задания.
3. Краткое описание концепции разработки проекта на языке описания аппаратуры.
4. Листинг программы, реализующей заданную по варианту функциональность устройства в среде Quartus.
5. Информация о назначении выводов ПЛИС для проекта.
6. Временные диаграммы работы проекта в среде Quartus: результаты функциональной и временной симуляции.
7. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.
8. Выводы.
9. Список используемых источников.

**Рекомендуемая литература**

1. Проектирование встраиваемых систем на ПЛИС. / З. Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.