

ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

Доц., канд. техн. наук, доц.  
\_\_\_\_\_  
должность, уч. степень, звание

\_\_\_\_\_  
подпись, дата

О.О. Жаринов  
\_\_\_\_\_  
инициалы, фамилия

## ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №4

Разработка формирователя импульсной последовательности с заданными свойствами, с использованием языков описания аппаратуры

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. № 4142

\_\_\_\_\_  
подпись, дата

К.С. Некрасов  
\_\_\_\_\_  
инициалы, фамилия

Санкт-Петербург 2024

## Цель работы

Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus, используя языки описания аппаратуры.

## Индивидуальное задание. Вариант 3

Индивидуальное задание:

$$K_{nach} = 2$$

$$K_1 = 1$$

$$K_0 = 16$$

## Решение

### Таблица истинности

Таблица 1 – Таблица истинности

n	Dsi	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
5	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
7	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
9	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
10	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
11	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
12	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
13	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

$$Dsi = \bar{Q}_0 \wedge \bar{Q}_1 \wedge \bar{Q}_2 \wedge \bar{Q}_3 \wedge \bar{Q}_4 \wedge \bar{Q}_5 \wedge \bar{Q}_6 \wedge \bar{Q}_7 \wedge \bar{Q}_8 \wedge \bar{Q}_9 \wedge \bar{Q}_{10} \wedge \bar{Q}_{11} \wedge \bar{Q}_{12} \wedge \bar{Q}_{13} \wedge \bar{Q}_{14} \wedge \bar{Q}_{15}$$

## Verilog код

Для реализации регистра сдвига в коде на каждом такте синхронизации мы вычисляем сигнал dsi, а затем записываем его со сдвигом в регистр q.

Для создания задержки в 2 такта, на выходной контакт сигнал мы подаём с первого бита регистра q;

```
module fourth(input c, output reg out, output reg[15:0] q);
```

```
reg dsi;
```

```
always @ (negedge c)
```

```
begin
```

```
    dsi = ~q[0]
```

```
    & ~q[1]
```

```
    & ~q[2]
```

```
    & ~q[3]
```

```
    & ~q[4]
```

```
    & ~q[5]
```

```
    & ~q[6]
```

```
    & ~q[7]
```

```
    & ~q[8]
```

```
    & ~q[9]
```

```
    & ~q[10]
```

```
    & ~q[11]
```

```
    & ~q[12]
```

```
    & ~q[13]
```

```
    & ~q[14]
```

```
    & ~q[15];
```

```
    q <= {q[15:0], dsi};
```

```
    out = q[0];
```

```
end
```

```
endmodule
```

## Результат



Рисунок 1 – Временная диаграмма

## Top View MAX II - EPM570ZM256C7

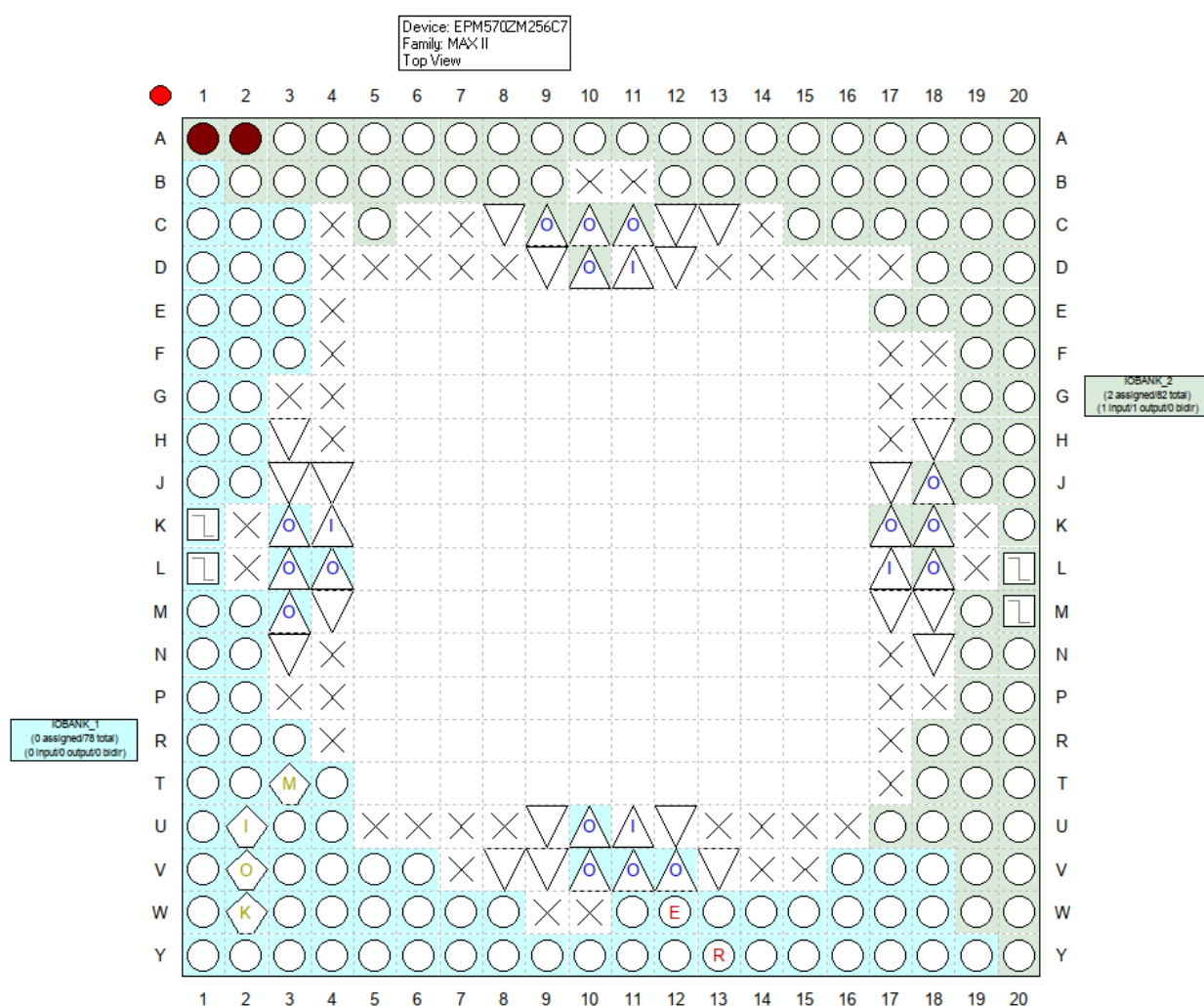


Рисунок 2 – ПЛИС

## Вывод

Разработан проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus, используя языки описания аппаратуры.