ГУАП

КАФЕДРА № 44

ОТЧЕТ   
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Доц., канд. техн. наук, доц. |  |  |  | О.О. Жаринов |
| должность, уч. степень, звание |  | подпись, дата |  | инициалы, фамилия |

|  |
| --- |
| ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №6 |
| Разработка модуля счетного устройства с заданным алгоритмом работы, с использованием языков описания аппаратуры |
| по курсу: СХЕМОТЕХНИКА |
|  |
|  |

РАБОТУ ВЫПОЛНИЛ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| СТУДЕНТ ГР. № | 4142 |  |  |  | Г.М. Арушанян |
|  |  |  | подпись, дата |  | инициалы, фамилия |

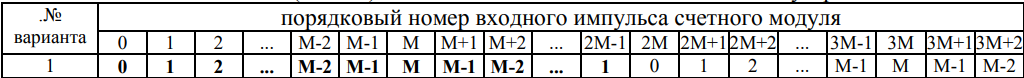
Санкт-Петербург 2024

**Вариант 1**

1. **Цель работы.**

Разработать проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus, используя языки описания аппаратуры.

1. **Вариант задания**



1. **Описание концепции разработки проекта.**

Данный модуль счетного устройства работает по заданному вариантом алгоритму, М = 25, выходной сигнал должен иметь следующий вид: начиная с нуля и до 25 выходной сигнал повторяет значение номера такта; затем выходной сигнал начинает уменьшаться и доходит до нуля на 50-ом такте. После выходной сигнал снова возрастает и доходит до 25 на 75 такте. То есть алгоритм разделен на два цикла: повышение и понижение выходного сигнала. Как только оба цикла выполняются, значение счетчика state обнуляется и циклы повторяются снова.

1. **Листинг программы**

Листинг 1

module lab6sem2 (input clk, output reg [4:0] out);

reg [5:0] state;

initial begin

state = 0;

out = 0;

end

always @(posedge clk) begin

state <= state + 1;

if (state < 25)

out <= out +1;

else if (state < 50)

out <= out - 1;

if (state == 49)

state <= 0;

end

endmodule

В листинге 2 представлен код тестового файла

Листинг 2

`timescale 1 ps/ 1 ps

module lab6\_test;

reg eachvec; // test vector input registers

reg clk;

wire [4:0] out;

// module instantiation

lab6sem2 ul(

.clk(clk),

.out(out)

);

initial

begin

clk = 0;

end

always

begin

#10 clk <= ~clk;

end

endmodule

1. **Назначения выводов ПЛИС**

Теперь воспользуемся устройством ПЛИС.

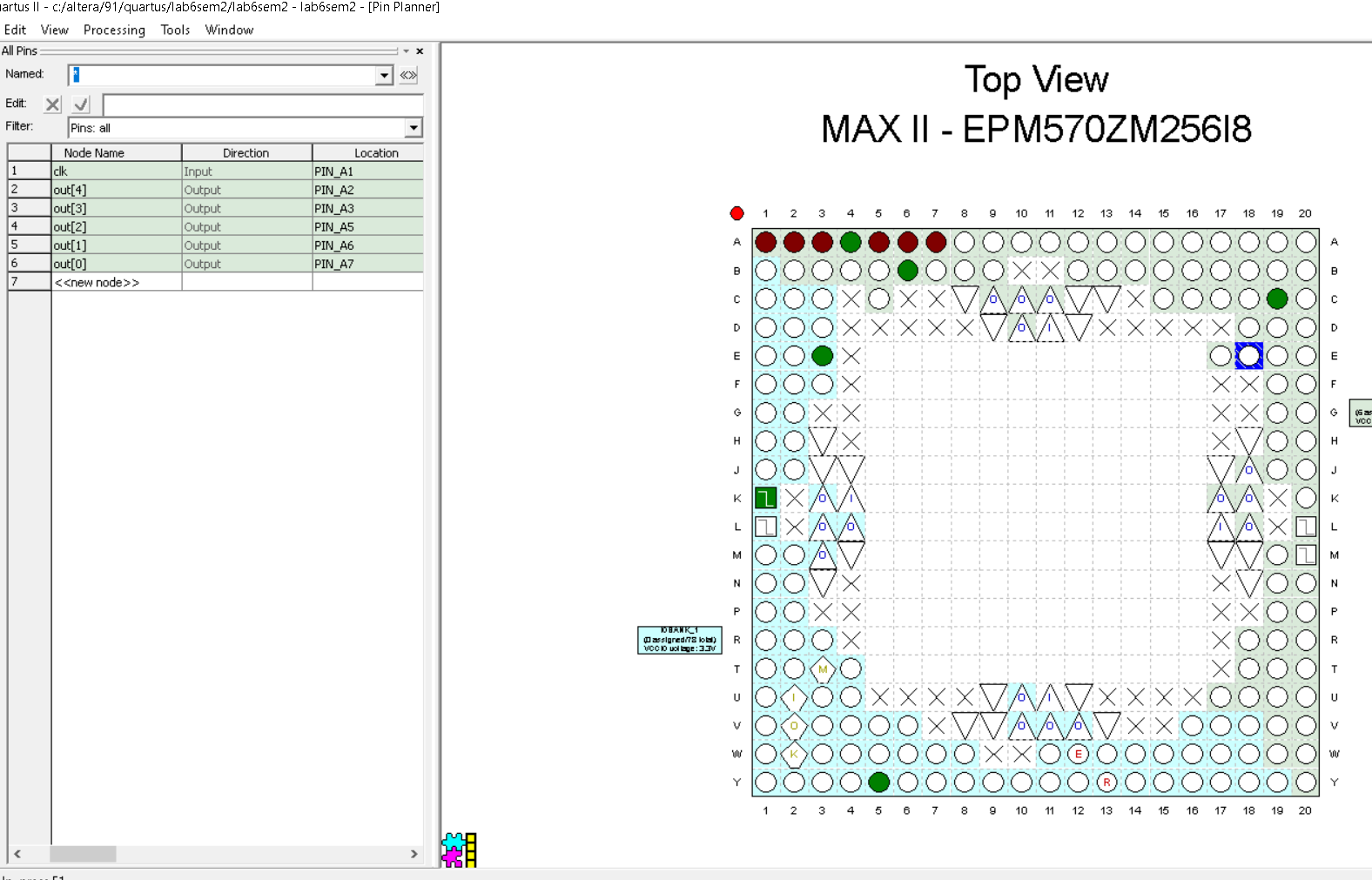
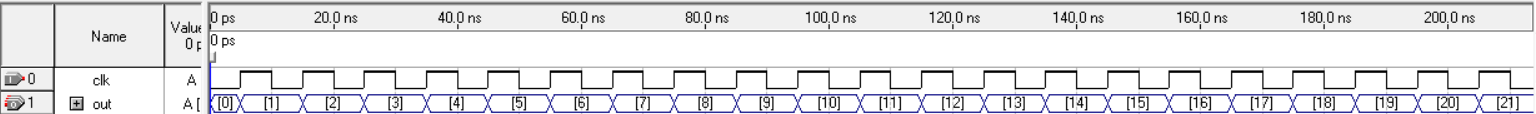
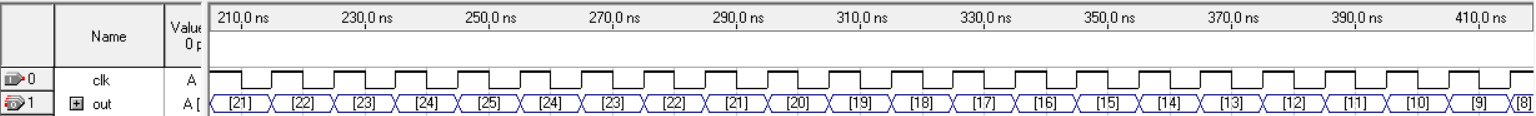


Рис. 1 – Схема ПЛИС и подключение входов\выходов

1. **Временная диаграмма работы схемы в среде Quartus.**





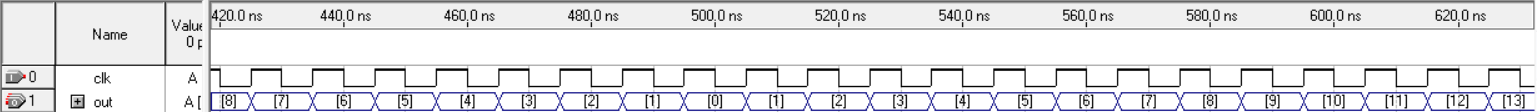


Рис. 2 – Векторная временная диаграмма схемы.

1. **Временная диаграмма работы в среде ModelSim**

Результаты моделирования в среде ModelSim Altera представлены на рисунках. Необходимая последовательность выходных кодов задана в строке out.

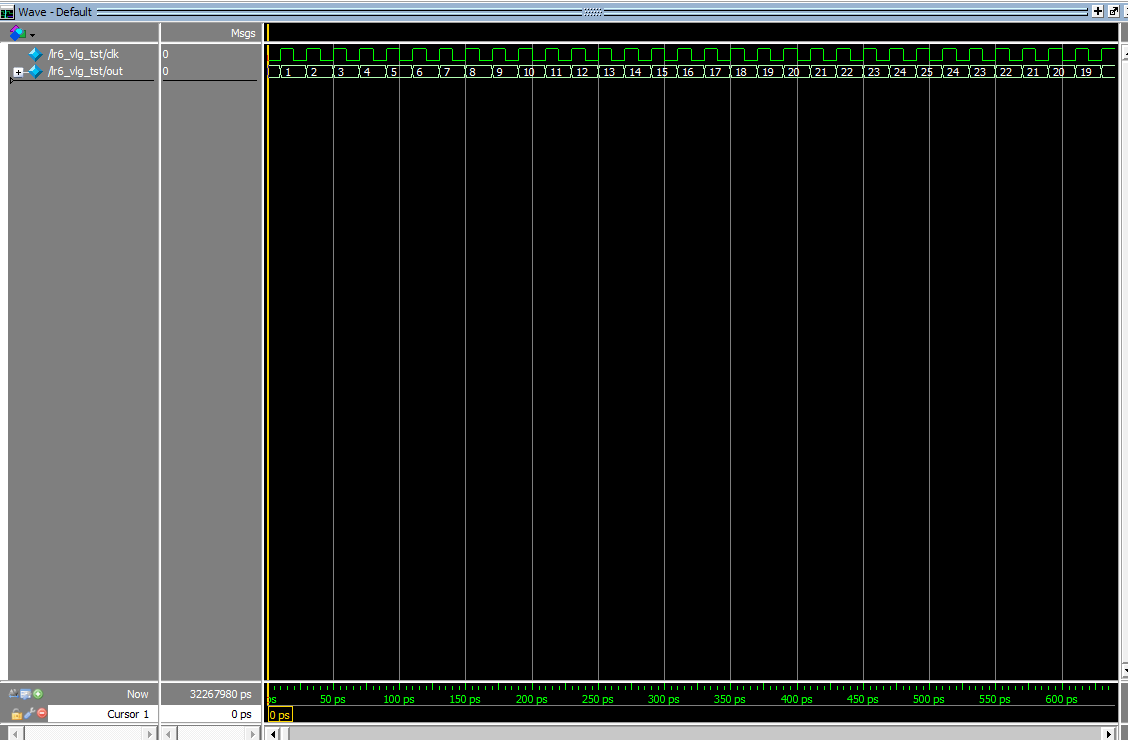


Рис. 4 – Результат работы программы в среде ModelSim.

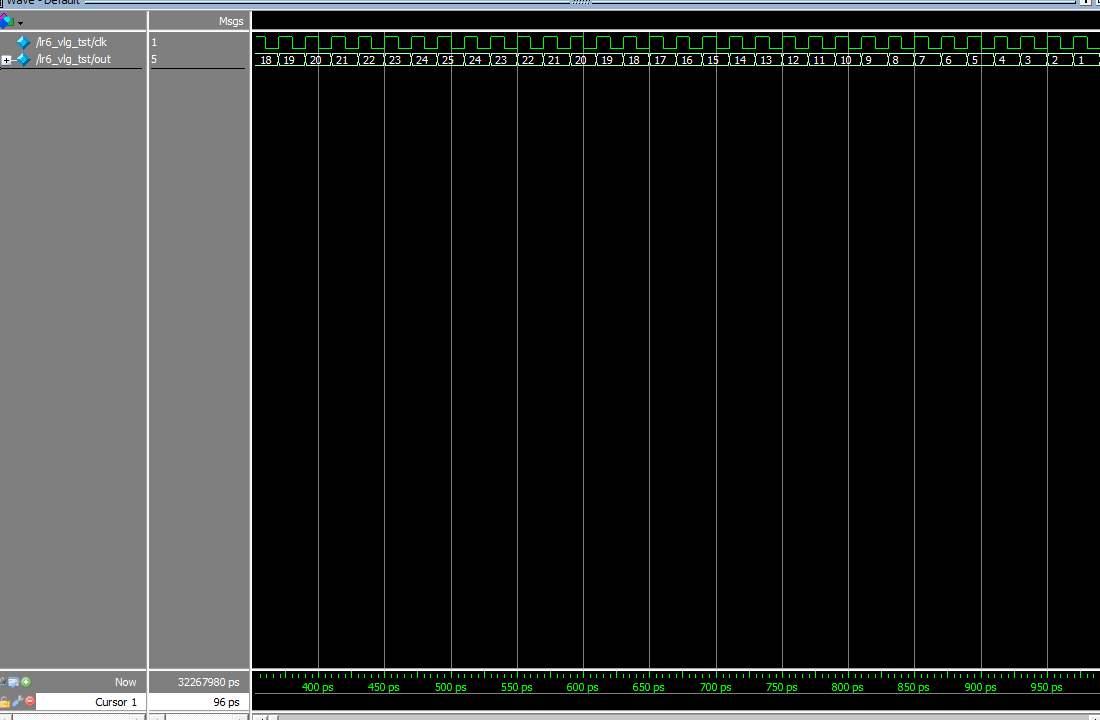


Рис. 5 – Результат работы программы в среде ModelSim.

1. **Выводы.**

Был разработан проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus, используя языки описания аппаратуры Verilog, результат работы был проверен в модуле ModelSim. Получена логическая схема на ПЛИС MAX II EPM570ZM256I8, количество точек подключения равно 6.

1. **Список используемых источников**

1. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022.

2. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис, 2018

3. Учебно-методические материалы к выполнению лабораторной работы №6 по дисциплине “Схемотехника” (2-й семестр изучение дисциплины) / Жаринов О.О - ГУАП, 2024. – 2 с. / [Электронный ресурс].

<https://pro.guap.ru/inside/student/tasks/43730981ca7ca6713e1a6eadb8e83b51/download>