

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.

должность, уч. степень, звание

подпись, дата

О. О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №7

РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСОВ, УПРАВЛЯЕМОГО
ЦИФРОВЫМ КОДОМ

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ гр. №

4142

подпись, дата

Д.Р. Рябов

инициалы, фамилия

Санкт-Петербург
2023

Вариант №7

Цель работы:

Разработать проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus.

Вариант задания:

Задание заключается в формировании импульсов, параметры которых однозначно определяются цифровым управляющим 6-разрядным двоичным кодом. Устройство должно иметь 1 выход и 8 входов: 1) один вход для подачи тактовых импульсов, 2) один вход для подачи импульса загрузки управляющего кода, 3) 6 входов для подачи внешнего управляющего 6-разрядного двоичного кода. Варианты заданий приведены в таблице.

Вар.	1	2	3	4	5	6	7
K ₁	N	1	N	N	2	N	3
K ₀	N	N	1	2	N	3	N

Рисунок 1 – вариант задания

Решение:

В данной схеме выполнена реализация задачи, требующей подачи на выход сигнала «1» в течение трех тактов после сигнала записи "1", а затем подачи N тактов "0". Для этого используются различные компоненты:

Счетчики: для управления временными задержками используются два счетчика. Первый счетчик отвечает за формирование трех тактов "1", а второй - за отсчет N тактов "0".

Триггер "D" (мегафункция): Этот триггер служит для хранения данных с входа N. Он обновляется при поступлении сигнала записи "1".

Мегафункция (константа): Используется для хранения константного значения "3", которое используется в первом счетчике для задержки.

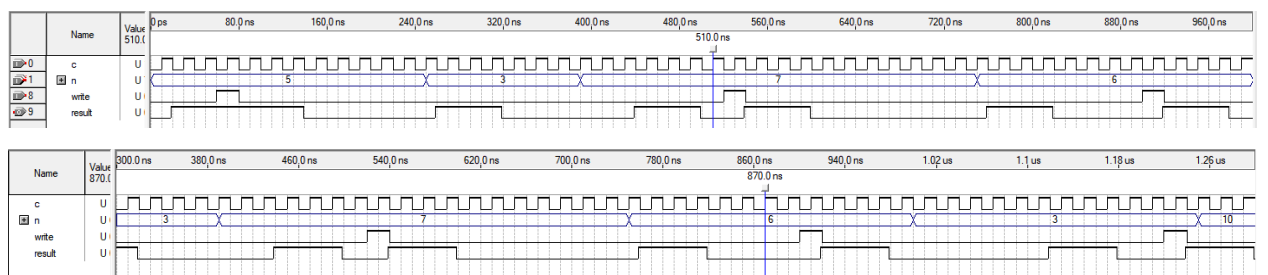
Обычный триггер "D": Применяется для запоминания того, что уже был сигнал записи "1". Это позволяет обеспечить сброс обоих счетчиков при

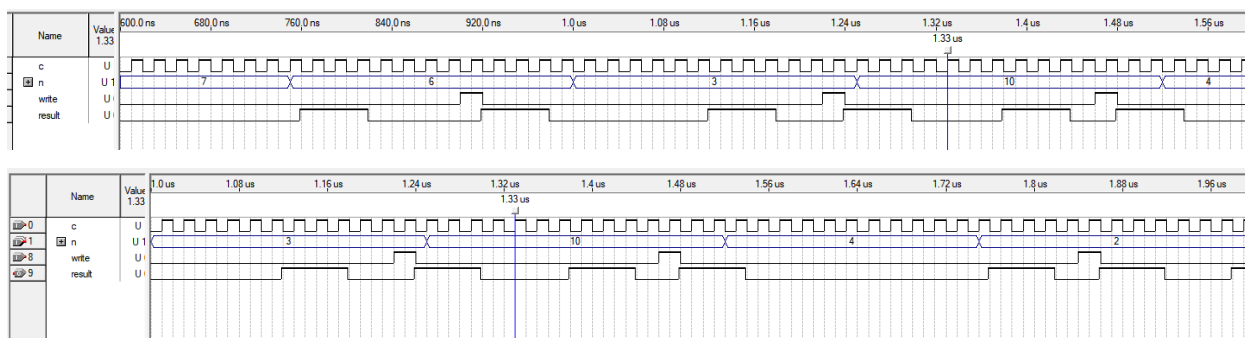
В работе схемы первый счетчик создает задержку в три такта после активации сигнала записи "1", формируя три такта "1". После этого второй счетчик включается и генерирует N тактов "0". После завершения этого цикла счета, сигнал "1" подается на первый счетчик, и процесс повторяется.

Также важно отметить, что триггер "D" обновляется только при наличии сигнала записи "1", что обеспечивает корректное хранение данных и обновление счетчиков только в нужные моменты времени.

[illegible]

Временная диаграмма:



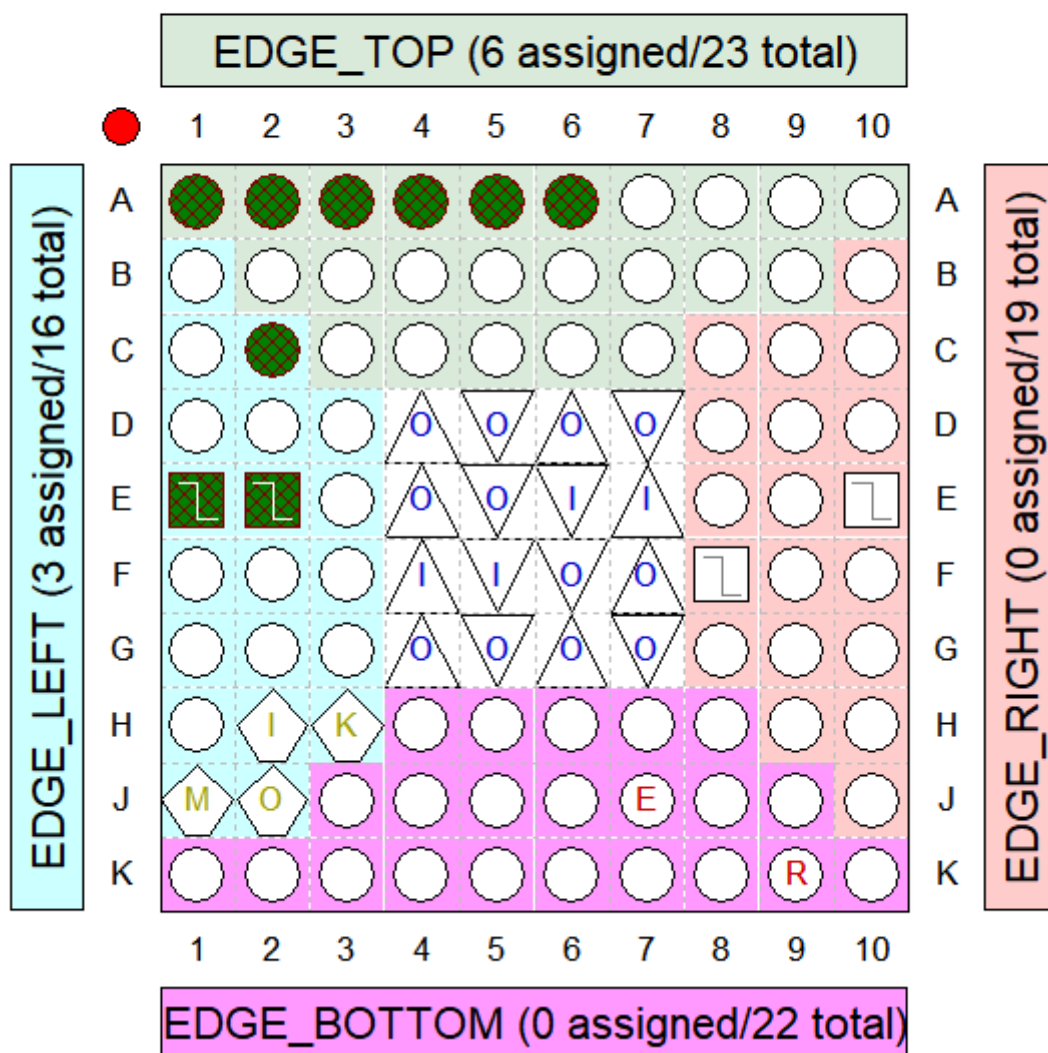


Рисунки 3-6 – Выходной сигнал на временной диаграмме

Схема подключения ПЛИС:

Top View

MAX II - EPM240F100C5












	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	 c	Input	PIN_C2	1		3.3-V LVTTL (default)	
2	 n[5]	Input	PIN_A1	2		3.3-V LVTTL (default)	
3	 n[4]	Input	PIN_A2	2		3.3-V LVTTL (default)	
4	 n[3]	Input	PIN_A3	2		3.3-V LVTTL (default)	
5	 n[2]	Input	PIN_A4	2		3.3-V LVTTL (default)	
6	 n[1]	Input	PIN_A5	2		3.3-V LVTTL (default)	
7	 n[0]	Input	PIN_A6	2		3.3-V LVTTL (default)	
8	 result	Output	PIN_E1	1		3.3-V LVTTL (default)	
9	 write	Input	PIN_E2	1		3.3-V LVTTL (default)	

Рисунок 7 – Схема подключения ПЛИС

Flow Status	Successful - Fri Dec 15 04:03:39 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	lab7
Top-level Entity Name	lab7
Family	MAX II
Device	EPM240F100C5
Timing Models	Final
Met timing requirements	Yes
Total logic elements	20 / 240 (8 %)
Total pins	9 / 80 (11 %)
Total virtual pins	0
UFM blocks	0 / 1 (0 %)

Рисунок 8 –Отчет о компиляции