

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

Доц., канд. техн. наук, доц.

должность, уч. степень, звание

подпись, дата

О.О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №4

РАБОТКА СЧЕТЧИКА С ЗАДАНЫМ ОСНОВАНИЕМ СЧЕТА НА ЖК-
ТРИГГЕРАХ В СРЕДЕ QUARTUS

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. №

4141

подпись, дата

Д.Р. Рябов

инициалы, фамилия

Санкт-Петербург 2023

Вариант №7

Цель работы

Разработать проект счетчика с заданным основанием счета на JK-триггерах в среде программирования Quartus, попутно изучив элементы методологии работы с не полностью определенными таблицами истинности.

M = 22

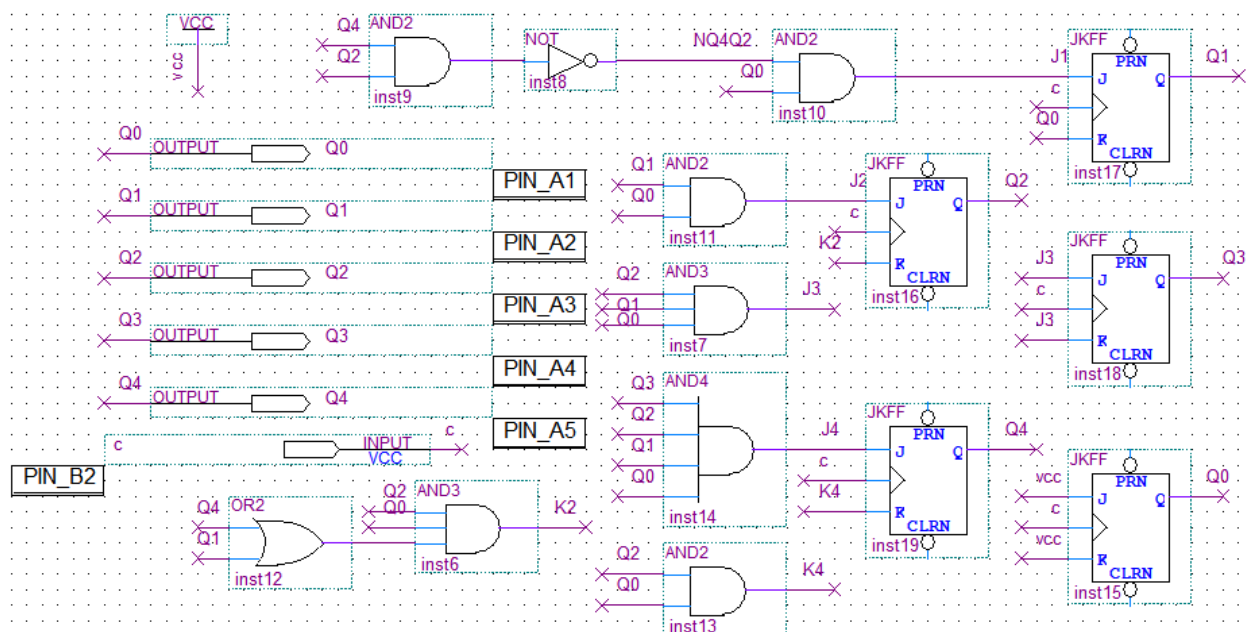
Таблица истинности:

M	Q4	Q3	Q2	Q1	Q0	J4	K4	J3	K3	J2	K2	J1	K1	J0	K0
0	0	0	0	0	0	0	x	0	x	0	x	0	x	1	x
1	0	0	0	0	1	0	x	0	x	0	x	1	x	x	1
2	0	0	0	1	0	0	x	0	x	0	x	x	0	1	x
3	0	0	0	1	1	0	x	0	x	1	x	x	1	x	1
4	0	0	1	0	0	0	x	0	x	x	0	0	x	1	x
5	0	0	1	0	1	0	x	0	x	x	0	1	x	x	1
6	0	0	1	1	0	0	x	0	x	x	0	x	0	1	x
7	0	0	1	1	1	0	x	1	x	x	1	x	1	x	1
8	0	1	0	0	0	0	x	x	0	0	x	0	x	1	x
9	0	1	0	0	1	0	x	x	0	0	x	1	x	x	1
10	0	1	0	1	0	0	x	x	0	0	x	x	0	1	x
11	0	1	0	1	1	0	x	x	0	1	x	x	1	x	1
12	0	1	1	0	0	0	x	x	0	x	0	0	x	1	x
13	0	1	1	0	1	0	x	x	0	x	0	1	x	x	1
14	0	1	1	1	0	0	x	x	0	x	0	x	0	1	x
15	0	1	1	1	1	1	x	x	1	x	1	x	1	x	1
16	1	0	0	0	0	x	0	0	x	0	x	0	x	1	x
17	1	0	0	0	1	x	0	0	x	0	x	1	x	x	1
18	1	0	0	1	0	x	0	0	x	0	x	x	0	1	x
19	1	0	0	1	1	x	0	0	x	1	x	x	1	x	1
20	1	0	1	0	0	x	0	0	x	x	0	0	x	1	x
21	1	0	1	0	1	x	1	0	x	x	1	0	x	x	1
22	0	0	0	0	0										

Логические выражения

$J0 = 1$
$K0 = 1$
$J1 = Q0 * !(Q4 * Q2)$
$K1 = Q0$
$J2 = Q1 * Q0$
$K2 = Q2 * Q0 * (Q4 + Q1)$
$J3 = Q2 * Q1 * Q0$
$K3 = J3$
$J4 = Q3 * Q2 * Q1 * Q0$
$K4 = Q2 * Q0$

Схема устройства:



Временная диаграмма:

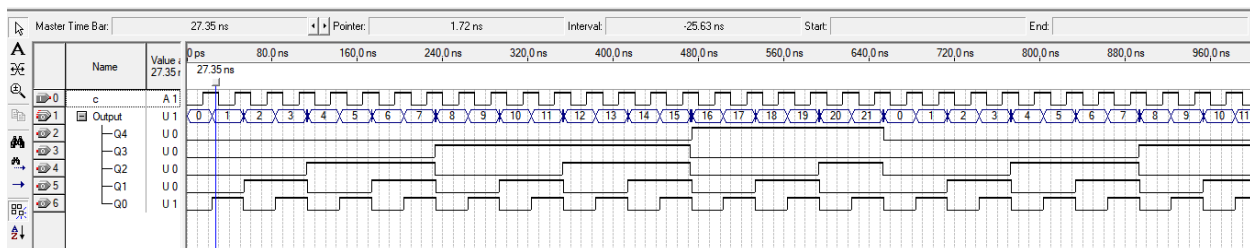
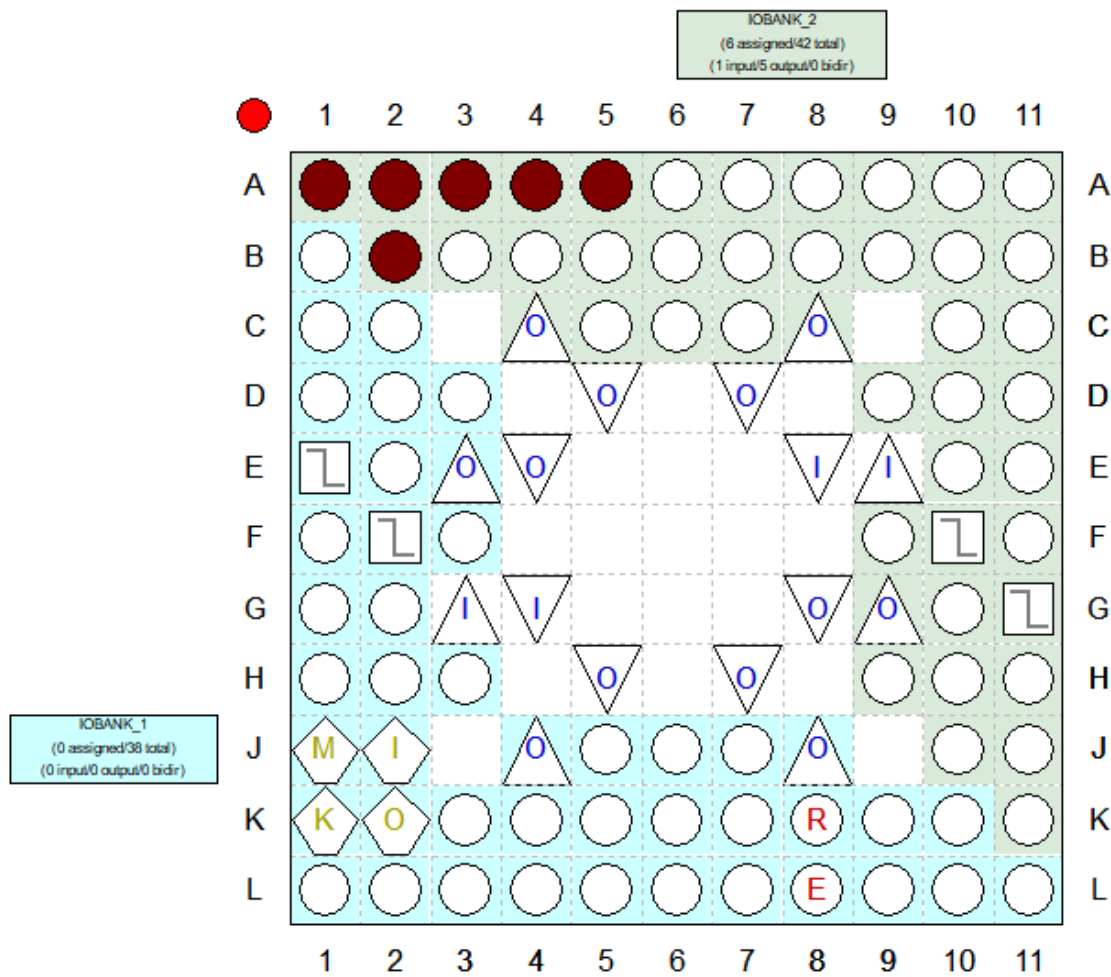








Схема подключения ПЛИС:

Top View

MAX II - EPM240M100C4



	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	 c	Input	PIN_B2	2		3.3-V LVTTTL (default)	
2	 Q0	Output	PIN_A1	2		3.3-V LVTTTL (default)	
3	 Q1	Output	PIN_A2	2		3.3-V LVTTTL (default)	
4	 Q2	Output	PIN_A3	2		3.3-V LVTTTL (default)	
5	 Q3	Output	PIN_A4	2		3.3-V LVTTTL (default)	
6	 Q4	Output	PIN_A5	2		3.3-V LVTTTL (default)	

Отчет о компиляции:

Flow Status	Successful - Sat Oct 28 17:56:48 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	lab4
Top-level Entity Name	lab4
Family	MAX II
Device	EPM240M100C4
Timing Models	Final
Met timing requirements	Yes
Total logic elements	6 / 240 (3 %)
Total pins	6 / 80 (8 %)
Total virtual pins	0
UFM blocks	0 / 1 (0 %)