

ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

доцент, канд. техн. наук,  
доцент  
\_\_\_\_\_  
должность, уч. степень, звание

\_\_\_\_\_  
подпись, дата

О.О. Жаринов  
\_\_\_\_\_  
инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ

РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСОВ, УПРАВЛЯЕМОГО  
ЦИФРОВЫМ КОДОМ

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ ГР. №

4142  
\_\_\_\_\_

\_\_\_\_\_  
подпись, дата

А.Д. Белов  
\_\_\_\_\_  
инициалы, фамилия

Санкт-Петербург 2023

### 1. Цель работы.

Разработать проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus.

### 2. Вариант задания №22

$$K_1 = 11; K_0 = N.$$

### 3. Описание схемы устройства.

Схема построена на счётчике, ограниченном компаратором (ограничение организовано подачей единицы на синхронный вход сброса). На второй вход компаратора подаётся 11 или N в зависимости от текущего выходного значения. Текущий N хранится в D-триггере. Текущее выходное значение хранится в T-триггере. T-триггер в правой части схемы предназначен для создания задержки в сигнале cmp и предотвращения возникновения иглоок.

### 4. Схема устройства в графическом формате в среде Quartus.

На рисунке 1 представлена схема устройства в графическом формате.

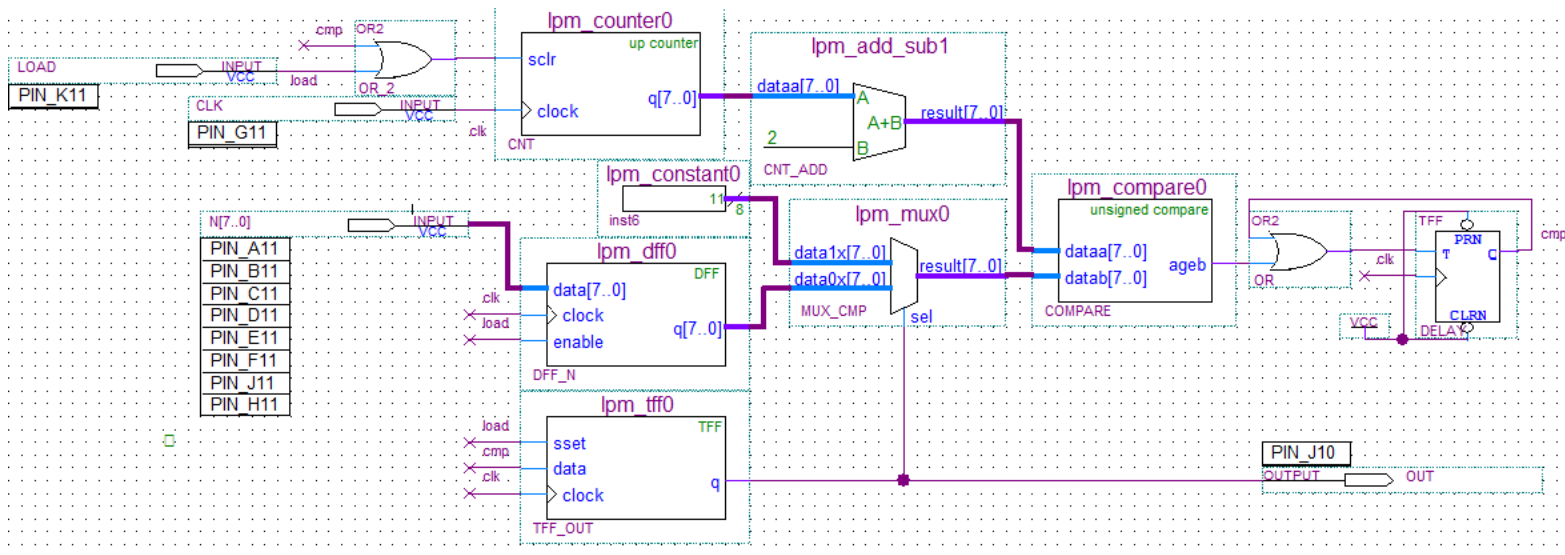


Рисунок 1 – схема устройства в графическом формате в среде Quartus

### 5. Временные диаграммы работы схемы в среде Quartus.

На рисунках 2 – 6 представлены диаграммы работы в среде Quartus.

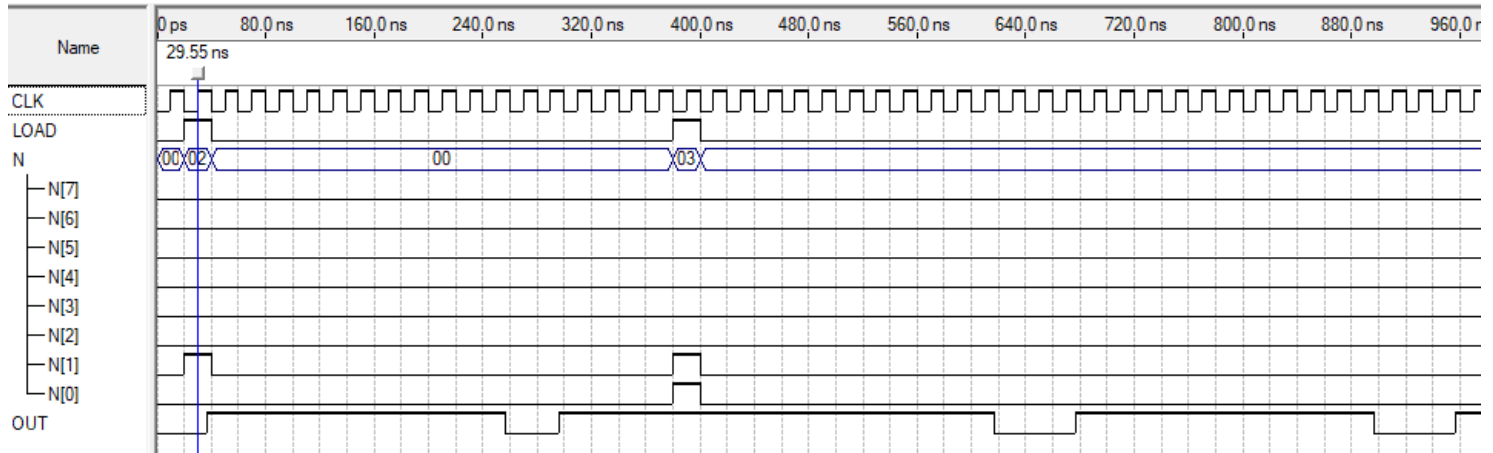


Рисунок 2 – диаграмма работы для N порядка нескольких единиц

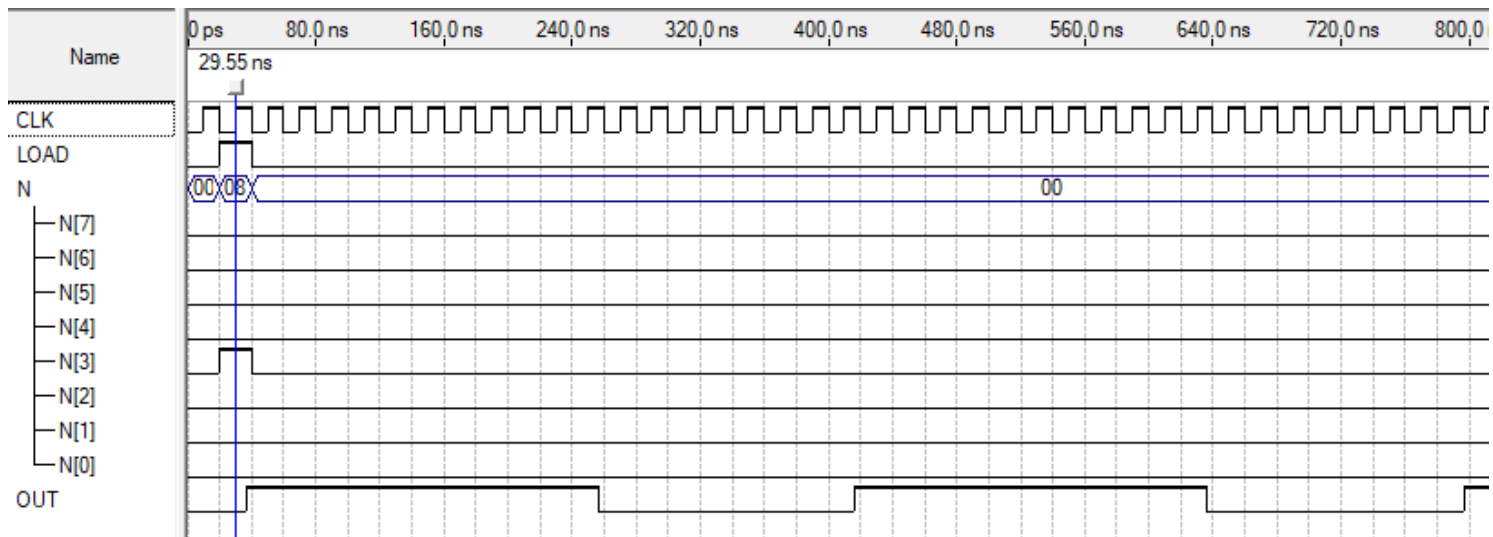


Рисунок 3 – диаграмма 1 для средних N

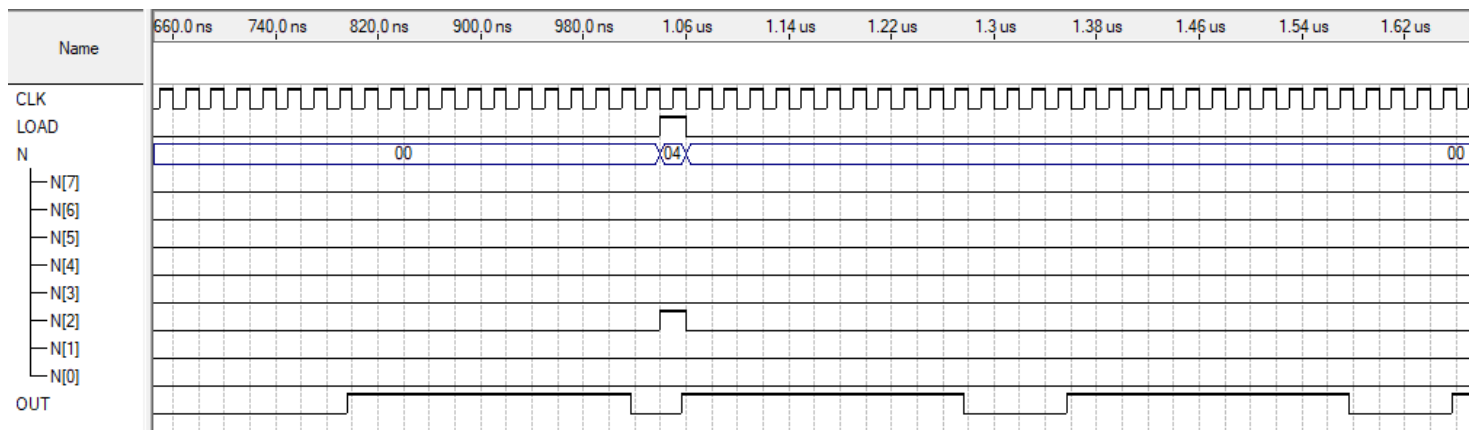


Рисунок 4 – диаграмма 2 для средних N

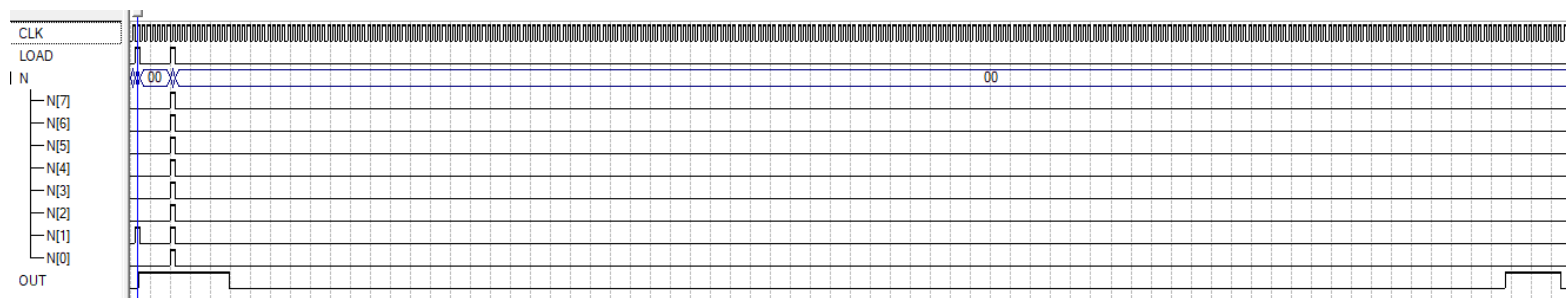


Рисунок 5 – диаграмма для максимального N

## 6. Заключение

Был разработан проект формирователя импульсов, параметры которых задаются внешним двоичным параллельным кодом, в среде программирования Quartus.

Отчёт о компиляции приведён на рисунке 6. Расположение пинов приведено на рисунке 7.

Flow Status	Successful - Thu Dec 14 20:54:06 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	33FE265E-5FFC-498D-B478-0FA53b0C30A8
Top-level Entity Name	33FE265E-5FFC-498D-B478-0FA53b0C30A8
Family	MAX II
Device	EPM240ZM100C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	40 / 240 ( 17 % )
Total pins	11 / 80 ( 14 % )
Total virtual pins	0
UFM blocks	0 / 1 ( 0 % )

Рисунок 6 – отчёт о компиляции

# MAX II - EPM240ZM100C6

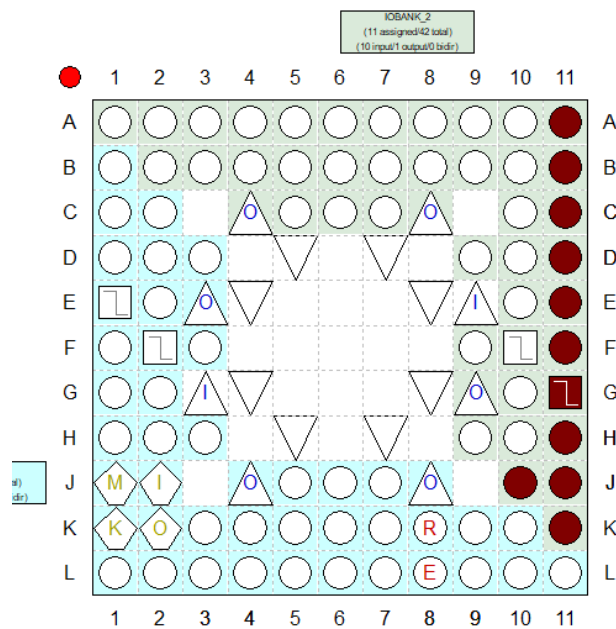


Рисунок 7 – расположение пинов