

ГУАП

КАФЕДРА № 44

ОТЧЕТ
ЗАЩИЩЕН С ОЦЕНКОЙ
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.

должность, уч. степень, звание

подпись, дата

О.О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №6

РАЗРАБОТКА МОДУЛЯ СЧЕТНОГО УСТРОЙСТВА С ЗАДАННЫМ
АЛГОРИТМОМ РАБОТЫ В СРЕДЕ QUARTUS

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ гр. №

4141

подпись, дата

Р.А. Лысенко

инициалы, фамилия

Санкт-Петербург
2023

Вариант №12

1. Цель работы: разработать проект модуля счётного устройства, работающего по заданному алгоритму, в среде программирования Quartus.

2. Вариант задания.

Согласно варианту, нужно разработать счётчик с основанием, равным числу $M = 5$.

Таблица (окончание) - Последовательность выходных кодов устройства

№ варианта	порядковый номер входного импульса счетного модуля																		
	0	1	2	...	M-2	M-1	M	M+1	M+2	M+3	M+4	M+5	M+6	M+7	M+8	M+9	M+10	M+11	M+12
12	0	1	2	...	M-2	M-1	0	0	0	1	2	...							

3. Краткое описание концепции разработки схемы.

По варианту $M = 5$. Согласно 12 варианту, выходной сигнал должен иметь следующий вид: начиная с нуля до 4 (включительно) выходной сигнал повторяет значение номера такта, то есть на каждом такте возрастает от 0 до 4; затем выходной сигнал равен нулю на протяжении 3 тактов. Данная последовательной выхода реализована при помощи схемы с использованием одного счётчика и одного компаратора. Счётчик по модулю 7 (т.к. полный период последовательности равен 6 тактам) отсчитывает номера тактов, а компаратор сравнивает текущее значение счётчика с константой 5 (т.к. по варианту в выходной последовательности нули начинаются с 5 такта). Если номер такта меньше 5, компаратор выдает единицу, иначе – ноль. Затем через логическое умножение разрядов тактов и значения с выхода компаратора формируется выходная последовательность, которая от 0 до 4 повторяет номер такта, а при номере такта больше 4 – выводит ноль.

4. Схема устройства в Quartus.

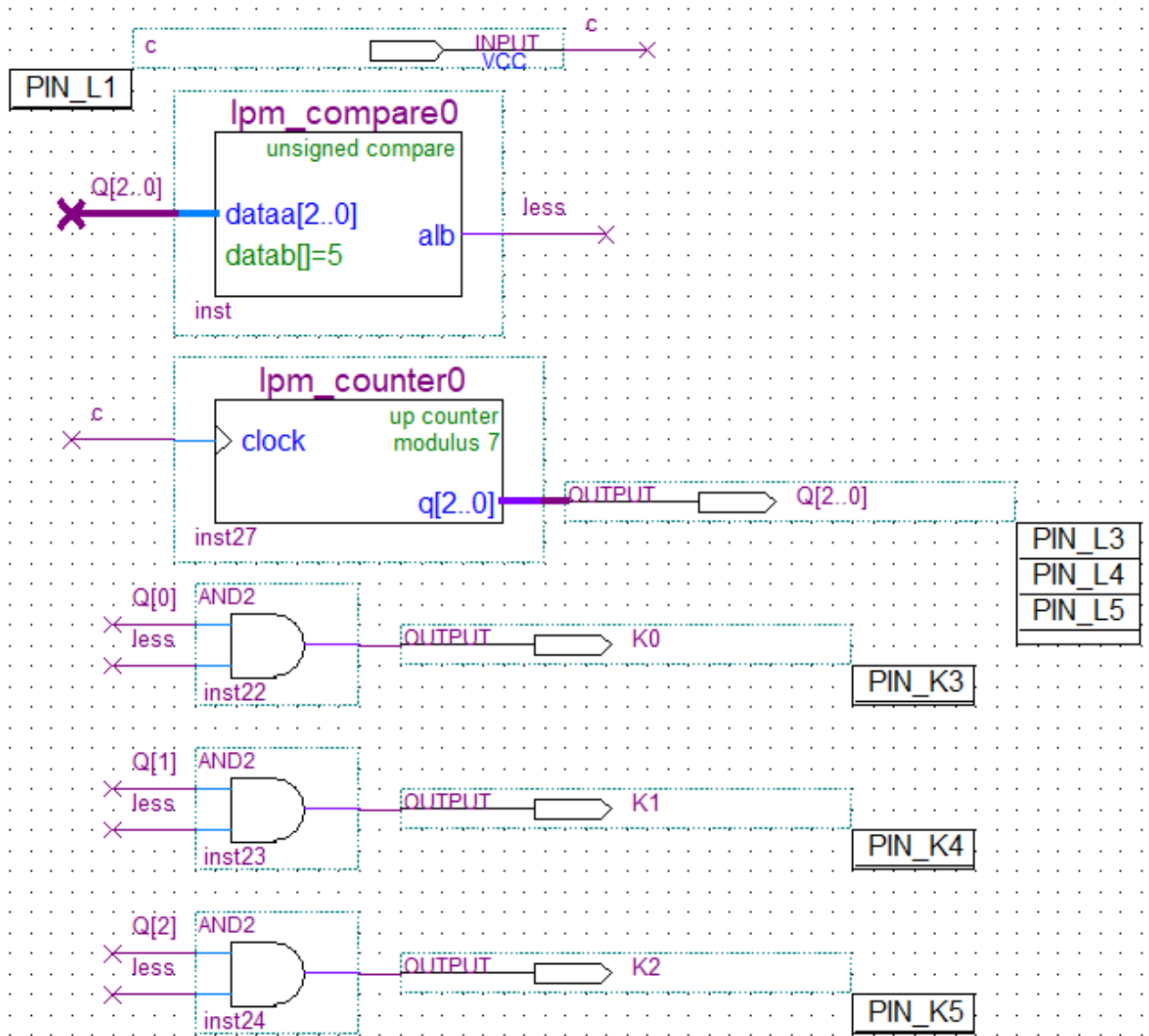


Рисунок 1 – Схема устройства в среде Quartus

На рисунке 2 показан результат симуляции схемы.

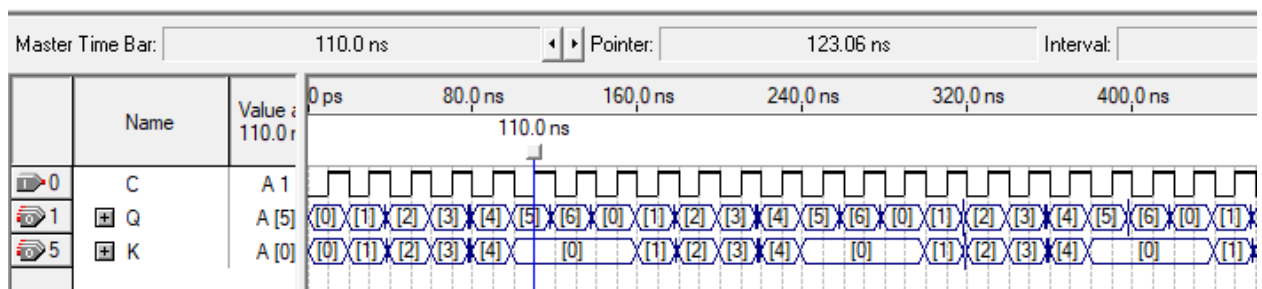


Рисунок 2 – Временная диаграмма

5. Схема подключения ПЛИС

На рисунке 3 представлено размещение входов и выходов логической схемы на ПЛИС MAX II EPM240M100C5.

Top View
MAX II - EPM240M100C5

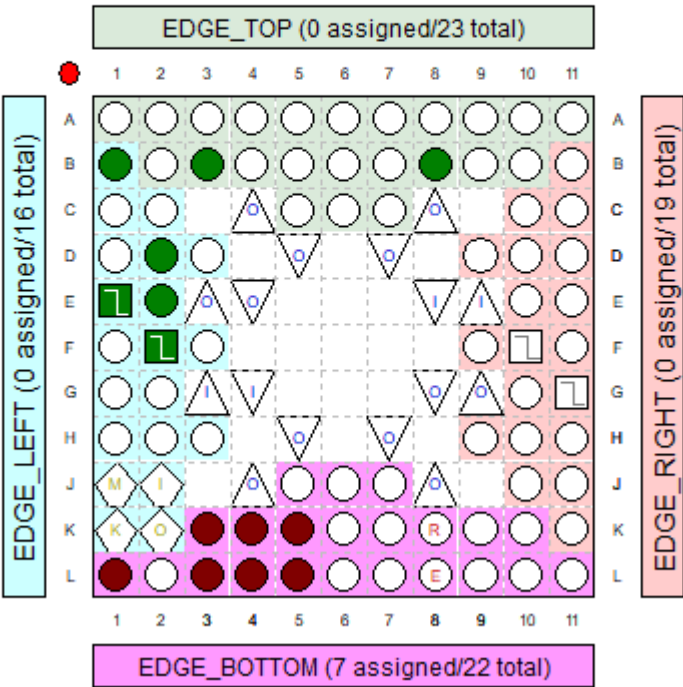


Рисунок 3 – ПЛИС

На рисунке 4 представлена таблица с информацией о подключении к пинам ПЛИС.

	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	c	Unknown	PIN_L1	1		3.3-V LVTTTL (default)	
2	K0	Unknown	PIN_K3	1		3.3-V LVTTTL (default)	
3	K1	Unknown	PIN_K4	1		3.3-V LVTTTL (default)	
4	K2	Unknown	PIN_K5	1		3.3-V LVTTTL (default)	
5	Q[2]	Output	PIN_L5	1		3.3-V LVTTTL (default)	
6	Q[1]	Output	PIN_L4	1		3.3-V LVTTTL (default)	
7	Q[0]	Output	PIN_L3	1		3.3-V LVTTTL (default)	
8	<<new node>>						

Рисунок 4 – Информация о подключениях пинов

На рисунке 5 представлен результат компиляции схемы при использовании ПЛИС.

Flow Status	Successful - Mon Nov 20 03:36:00 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	Lr6
Top-level Entity Name	Lr6
Family	MAX II
Device	EPM240M100C5
Timing Models	Final
Met timing requirements	Yes
Total logic elements	9 / 240 (4 %)
Total pins	7 / 80 (9 %)
Total virtual pins	0
UFM blocks	0 / 1 (0 %)

Рисунок 5 – Информация о компиляции

6. Выводы

Я разработал проект модуля счётного устройства, работающего по заданному алгоритму, в среде программирования Quartus. Также я настроил логическую схему на ПЛИС MAX II EPM240M100C5, в которой использовал 7 точек подключения. Счётчик считает верно, чисел больше 4 в диаграмме не наблюдается. Так же мне удалось реализовать требуемую в задании задержку счётчика в 2 такта.

7. Список используемых источников

1. Проектирование встраиваемых систем на ПЛИС. / З.Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016.- 464 с.
2. О.О. Жаринов Учебно-методические материалы к выполнению лабораторной работы №1 по дисциплине “Схемотехника” (1-й Семестр изучения дисциплины). ГУАП, 2023. – 3 с.