

Лабораторная работа №1.

Разработка комбинационного устройства на основе ПЛИС в среде Quartus

Цель работы. Разработать проект комбинационного устройства на основе программируемой логической интегральной схемы в среде программирования Quartus: приобрести навыки формирования проекта комбинационного устройства по заданной таблице истинности.

Краткие теоретические сведения

Среда программирования Quartus является системой автоматизированного проектирования, используемой при программировании микросхем ПЛИС, выпускаемых фирмой Altera. Типовой задачей проектирования цифровых устройств является разработка комбинационных устройств, работающих в соответствии с заданной таблицей истинности. При формировании проекта в графическом формате необходимо использовать законы алгебры логики, произвести минимизацию полученных логических выражений, связывающих состояния выходных переменных с состояниями входных, и реализовать проект, используя библиотеку примитивов (Primitives) в составе среды Quartus.

Варианты заданий*

Задание заключается в формировании проекта комбинационного устройства в трех входами и двумя выходами, работающего в соответствии с заданной по варианту таблицей истинности.

Таблица истинности (начало)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			1		2		3		4		5		6		7		8		9		10	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	1	0	1	0	1	1	1	0	0	1	0	1	0	0	0	1
0	0	1	0	0	1	1	0	0	0	1	0	1	1	0	1	0	0	1	1	0	1	0
0	1	0	1	1	1	0	1	1	0	0	0	1	0	1	1	0	1	1	0	0	1	1
0	1	1	0	1	1	0	0	1	1	0	1	0	1	1	0	0	1	0	1	1	0	1
1	0	0	1	0	1	0	0	1	0	0	1	0	1	1	0	1	0	0	1	1	0	1
1	0	1	0	1	0	1	1	0	1	0	0	1	0	1	1	0	1	0	1	0	0	1
1	1	0	1	0	1	1	1	0	1	1	0	0	1	0	1	0	0	0	1	1	0	1
1	1	1	0	1	1	0	0	1	0	0	1	0	0	1	0	0	1	0	1	1	1	0

Таблица истинности (продолжение)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			11		12		13		14		15		16		17		18		19		20	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	1	0	1	0	1	1	1	0	0	1	0	1	0	0	0	1
0	0	1	1	0	1	1	1	0	0	1	0	1	0	0	1	1	0	1	1	1	0	0
0	1	0	1	1	1	0	1	1	1	1	1	0	1	1	0	1	1	0	0	0	1	0
0	1	1	0	0	1	1	0	1	1	0	1	0	1	0	0	0	0	0	1	1	0	1
1	0	0	1	0	1	0	0	1	0	0	1	0	1	0	0	1	0	0	0	1	0	0
1	0	1	0	1	0	1	1	0	1	0	0	1	0	1	0	0	1	1	1	0	1	1
1	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	0	1	0	1
1	1	1	0	1	1	0	0	0	0	0	1	0	0	1	0	0	1	1	1	1	1	0

Таблица истинности (окончание)

Состояния входных сигналов			Состояния выходных сигналов (по вариантам)																			
			21		22		23		24		25		26		27		28		29		30	
x2	x1	x0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0	y1	y0
0	0	0	1	0	0	1	0	0	1	0	1	1	1	0	0	1	0	1	0	0	0	1
0	0	1	1	0	1	1	1	0	0	1	0	1	0	0	1	1	0	1	1	1	0	0
0	1	1	1	1	1	0	1	0	0	0	0	0	1	0	0	1	0	0	1	0	1	0
0	1	1	0	0	1	1	0	1	1	0	1	0	1	0	0	0	0	0	1	0	1	1
1	0	0	0	1	1	0	0	1	0	0	1	0	1	0	0	1	0	0	0	1	0	0
1	0	1	0	1	1	1	1	0	1	0	0	1	0	1	0	0	1	1	1	0	1	0
1	1	0	1	0	0	1	1	0	1	1	0	0	1	0	1	0	0	0	0	1	0	1
1	1	1	0	1	0	0	1	0	1	1	0	0	1	0	1	0	0	0	0	1	0	1
1	1	1	0	1	0	0	0	0	1	0	1	0	0	1	0	0	1	0	1	0	1	0

***Примечание:** Если отчет представлен после указанной предельной даты выполнения работы, то, помимо выполнения основного задания, следует реализовать проект на языке Verilog, а также выполнить одно из дополнительных заданий:

- 1) реализовать вариант схемы, реализованный в базисе Жегалкина,
- 2) реализовать вариант схемы в базисе И-НЕ,
- 3) реализовать вариант схемы в базисе ИЛИ-НЕ,
- 4) реализовать вариант схемы в базисе элементов семейства 74xxx.

Порядок выполнения работы

1. Получить вариант задания у преподавателя во время занятия по расписанию, удостовериться в правильном понимании задания и критериев его оценки.
2. Сформировать логические выражения, описывающие связь между состояниями входных и выходных сигналов.
3. Минимизировать полученные выражения, при необходимости (согласно примечанию к вариантам заданий), перевести их в заданный базис булевых функций.
4. Сформировать проект для ПЛИС, осуществить его компиляцию и моделирование.
5. Убедиться в работе проекта в соответствии с данными полученного варианта, продемонстрировать работу преподавателю.
6. Сохранить проект, выйти из среды Quartus. Закончить работу.

Содержание отчета

1. Цель работы.
2. Заданная таблица истинности.
3. Логические выражения, включая промежуточные выкладки, выполняемые в процессе минимизации или переводе в заданный базис булевых функций.
4. Схема устройства в графическом формате в среде Quartus.
5. Временная диаграмма работы схемы в среде Quartus.
6. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.
7. Выводы.
8. Список используемых источников.

Рекомендуемая литература

1. Проектирование встраиваемых систем на ПЛИС. / З.Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. – 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. – СПб: Лань, 2022. – 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. – 792 с.

4. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В.В. Соловьев, А. Климович. - М.: Горячая линия - Телеком, 2008. - 376 с. [Библиотечный шифр 681.3 С 60].
5. Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. - М.: ДОДЭКА-XXI, 2007. - 408 с. [Библиотечный шифр 004.4 М 17].
6. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д. С. Потехин, И. Е. Тарасов. - М.: Горячая линия - Телеком, 2007. - 248 с. [Библиотечный шифр 004 П 64].