

Лабораторная работа №5.

Разработка формирователя импульсной последовательности с заданными свойствами

Цель работы. Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus.

Краткие теоретические сведения

Разработка формирователей импульсных последовательностей с заданными свойствами является одной из типовых задач проектирования цифровых схем. В данной лабораторной работе требуется разработать схему, период выходного сигнала которой ($T_{\text{вых}}$) в целое число раз больше периода входного сигнала ($T_{\text{вх}}$), с заданной длительностью фазы состояния 1 (K_1 тактов) и фазы 0 (K_0 тактов), при этом $(K_1 + K_0) \cdot T_{\text{вх}} = T_{\text{вых}}$. При формировании таких цифровых устройств, относящихся к классу последовательностных, можно использовать различные подходы. Простейший подход предполагает разработку схемы соединением счетчика с заданным основанием счета $M = K_1 + K_0$ и логической схемы (дешифратора). Однако, подобный подход обеспечивает сравнительно большую задержку выходного сигнала по отношению ко входному. Методически более совершенный подход предполагает выполнение схемы на основе последовательно-параллельного регистра сдвига с обратной связью на вход загрузки данных. При этом основная задача заключается в разработке логической схемы, реализующей цепь обратной связи.

Варианты заданий*

Задание заключается в разработке схемы формирователя импульсной последовательности с заданными свойствами. Задержка выходного сигнала по отношению ко входному при этом не должна превышать времени переключения одиночного триггера. В качестве основы для регистра сдвига можно использовать модуль Shift_Reg из библиотеки Quartus, но можно собирать его из отдельных D-триггеров. Кратковременные врезки (“иголки”) на временных диаграммах крайне нежелательны, наличие таких элементов на временной диаграмме допускается только по согласованию с преподавателем, при предъявлении результатов работы в часы занятий.

Варианты заданий приведены в таблице. Номер варианта задания студент получает у преподавателя во время занятий по дисциплине. В части заданий начало формирования выходной последовательности должно происходить с задержкой в $K_{\text{нач}}$ тактов входного сигнала. Пояснения к вариантам заданий дает рисунок.

Таблица вариантов заданий

Вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
$K_{\text{нач}}$	0	1	2	1	0	2	0	1	2	3	1	2	0	1	2
K_1	3	12	1	4	5	6	9	8	14	13	1	3	4	2	1
K_0	14	5	16	13	12	11	8	9	3	4	6	4	3	3	4
Вар.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
$K_{\text{нач}}$	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
K_1	3	4	3	1	5	9	8	7	6	5	5	4	3	2	1
K_0	2	1	6	8	1	2	3	4	5	4	6	7	7	7	7
Вар.	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45
$K_{\text{нач}}$	0	1	2	0	1	2	3	1	2	3	1	2	3	1	2
K_1	1	2	3	10	9	10	7	7	7	7	8	8	2	10	2
K_0	10	10	10	1	2	3	1	2	3	4	1	2	8	2	9

*Примечание:

Если отчет представлен после указанной предельной даты выполнения работы, то, помимо основного задания, следует выполнить дополнительные задания:

- реализовать схему по структуре “счетчик+дешифратор”,
- реализовать проект на языке Verilog.

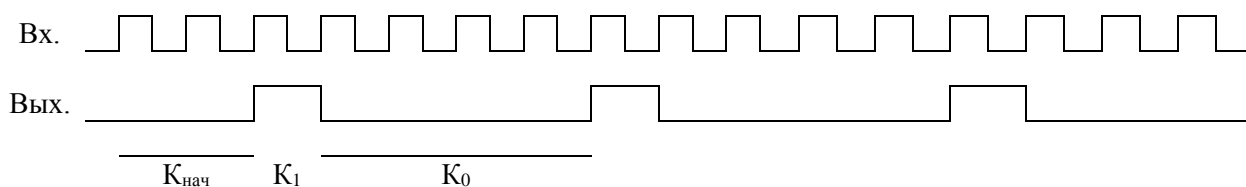


Рисунок - Временная диаграмма для варианта №15.

Порядок выполнения работы

1. Получить вариант задания у преподавателя во время занятия по расписанию, удостовериться в правильном понимании задания и критериев его оценки.
2. Заполнить таблицу истинности, необходимую для последующего расчета логической схемы, для схемы формирователя на основе регистра сдвига с обратной связью.
3. Получить логическое выражение для управляющей логической схемы и минимизировать его.
4. Сформировать проект для ПЛИС, реализовав схему формирователя импульсной последовательности в графическом формате в среде Quartus.
5. Осуществить компиляцию и моделирование схемы проекта.
6. Убедиться в работе проекта в соответствии с данными полученного варианта, продемонстрировать работу преподавателю.
7. Сохранить проект, выйти из среды Quartus. Закончить работу.

Содержание отчета

1. Цель работы.
2. Вариант задания.
3. Обобщенная структурная схема формирователя и описание концепции проектирования.
4. Таблица истинности, необходимая для реализации формирователя импульсной последовательности.
5. Логические выражения, включая промежуточные выкладки, выполняемые в процессе минимизации.
6. Схема устройства в графическом формате в среде Quartus.
7. Временная диаграмма работы схемы в среде Quartus.
8. Перечисление ошибок, если они возникали в процессе работы и методов, применённых для их устранения.
9. Выводы.
10. Список используемых источников.

Рекомендуемая литература

1. Проектирование встраиваемых систем на ПЛИС. / З. Наваби; перев. с англ. В.В. Соловьева. – М.: ДМК Пресс, 2016. - 464 с.
2. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022. - 408 с.
3. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис; пер. с англ. ImaginationTechnologies. – М.: ДМК Пресс, 2018. - 792 с.
4. Логическое проектирование цифровых систем на основе программируемых логических интегральных схем / В. В. Соловьев, А. Климович. - М.: Горячая линия - Телеком, 2008. - 376 с. [Библиотечный шифр 681.3 С 60].
5. Проектирование на ПЛИС. Архитектура, средства и методы: Курс молодого бойца = The design warrior's guide to FPGA's: пер. с англ. / К. Максфилд. - М.: ДОДЭКА-XXI, 2007. - 408 с. [Библиотечный шифр 004.4 М 17].
6. Разработка систем цифровой обработки сигналов на базе ПЛИС / Д. С. Потехин, И.Е. Тарасов. - М.: Горячая линия - Телеком, 2007. - 248 с. [Библиотечный шифр 004 П 64].