

ГУАП

КАФЕДРА № 44

ОТЧЕТ  
ЗАЩИЩЕН С ОЦЕНКОЙ  
ПРЕПОДАВАТЕЛЬ

доц., канд. техн. наук, доц.

должность, уч. степень, звание

подпись, дата

О.О. Жаринов

инициалы, фамилия

ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №6

РАЗРАБОТКА МОДУЛЯ СЧЕТНОГО УСТРОЙСТВА С ЗАДАНЫМ  
АЛГОРИТМОМ РАБОТЫ, В СРЕДЕ QUARTUS

по курсу: СХЕМОТЕХНИКА

РАБОТУ ВЫПОЛНИЛ

СТУДЕНТ гр. №

4142

подпись, дата

Д.Р. Рябов

инициалы, фамилия

Санкт-Петербург 2023

## Вариант №18

**Цель работы:** Разработать проект модуля счетного устройства, работающего по заданному алгоритму, в среде программирования Quartus.

### Вариант задания

Вариант 18.

№ варианта	порядковый номер входного импульса счетного модуля																		
	0	1	2	...	M-2	M-1	M	M+1	M+2	M+3	M+4	M+5	M+6	M+7	M+8	M+9	M+10	M+11	M+12
11	0	1	2	...	M-2	M-1	0	0	1	2	...								
12	0	1	2	...	M-2	M-1	0	0	0	1	2	...							
13	0	1	2	...	M-2	M-1	0	0	0	0	1	2	...						
14	0	1	2	...	M-2	M-1	0	0	0	0	0	1	2	...					
15	0	1	2	...	M-2	M-1	0	0	0	0	0	0	1	2	...				
16	0	1	2	...	M-2	M-1	0	0	0	0	0	0	0	1	2	...			
17	0	1	2	...	M-2	M-1	0	0	0	0	0	0	0	0	1	2	...		
18	0	1	2	...	M-2	M-1	0	0	0	0	0	0	0	0	0	1	2	...	
19	0	1	2	...	M-2	M-1	0	0	0	0	0	0	0	0	0	0	1	2	...

### Решение

Была использована реализованная мегафункция счётчика, компаратора и мультиплексора для решения задачи.

### Схема устройства в Quartus

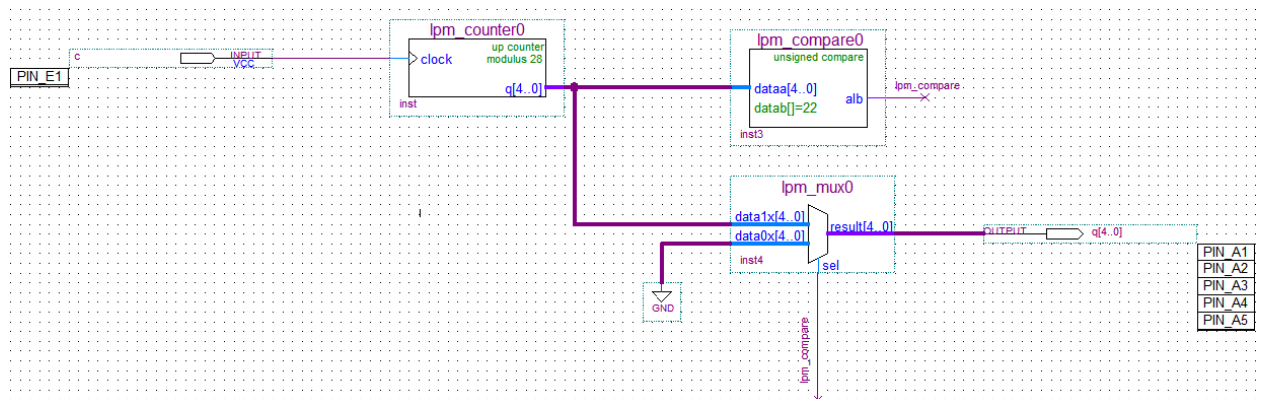


Рисунок 1 – Схема устройства в среде Quartus

На рисунке 2 показан результат симуляции схемы.

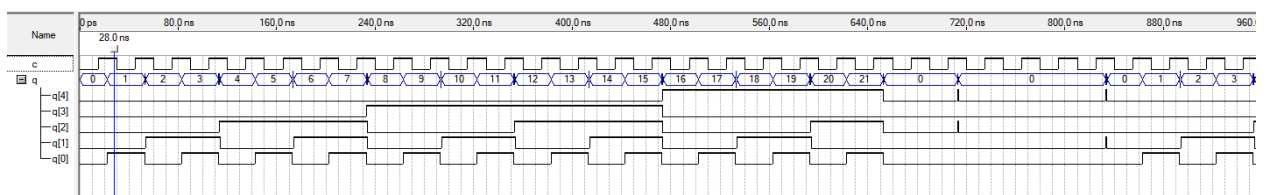
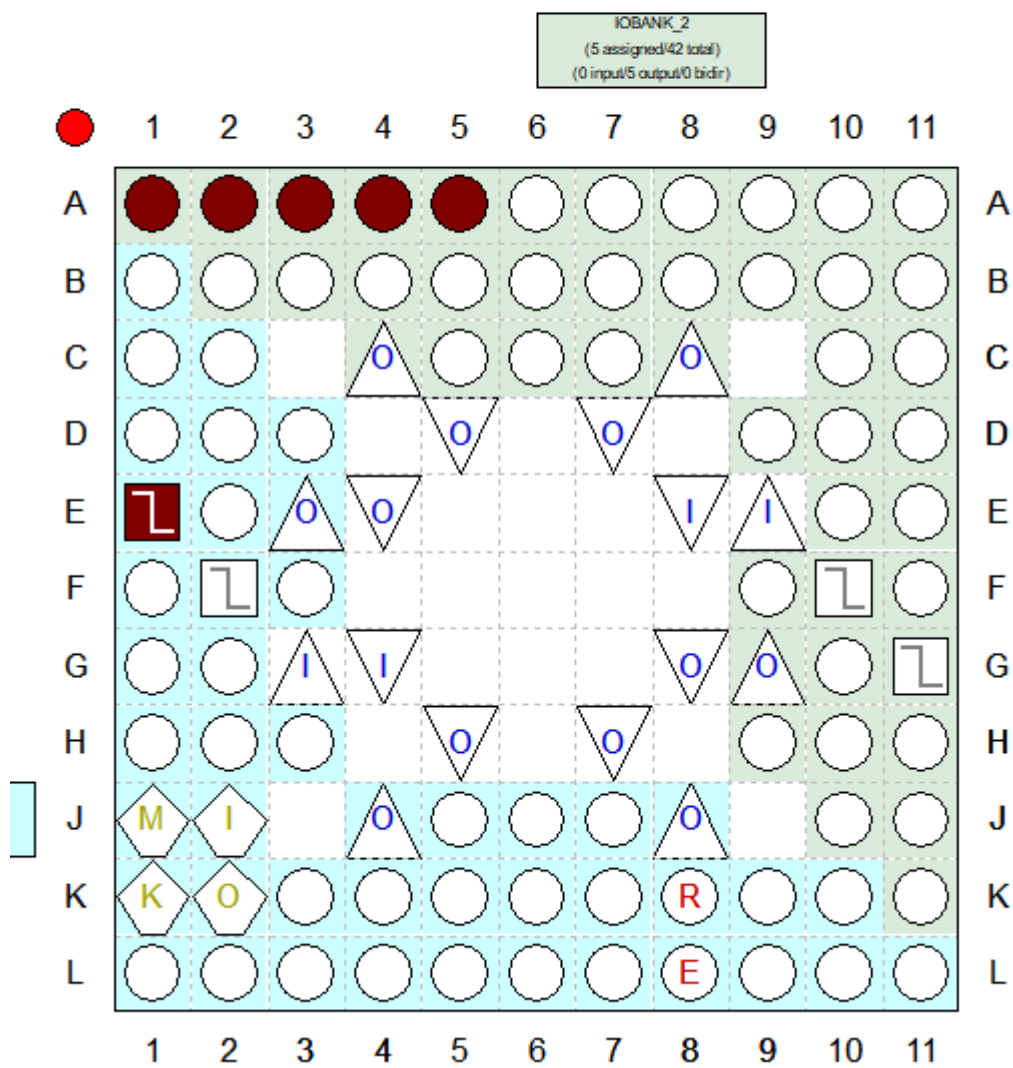


Рисунок 2 – Временная диаграмма

## Схема подключения ПЛИС

## Top View

## MAX II - EPM240M100C4









	Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	 c	Input	PIN_E1	1		3.3-V LVTTTL (default)	
2	 q[4]	Output	PIN_A1	2		3.3-V LVTTTL (default)	
3	 q[3]	Output	PIN_A2	2		3.3-V LVTTTL (default)	
4	 q[2]	Output	PIN_A3	2		3.3-V LVTTTL (default)	
5	 q[1]	Output	PIN_A4	2		3.3-V LVTTTL (default)	
6	 q[0]	Output	PIN_A5	2		3.3-V LVTTTL (default)	

Рисунок 3 – Подключение плис

Flow Status	Successful - Sat Nov 25 23:43:32 2023
Quartus II Version	9.1 Build 222 10/21/2009 SJ Web Edition
Revision Name	lab6
Top-level Entity Name	lab6
Family	MAX II
Device	EPM240M100C4
Timing Models	Final
Met timing requirements	Yes
Total logic elements	15 / 240 ( 6 % )
Total pins	6 / 80 ( 8 % )
Total virtual pins	0
UFM blocks	0 / 1 ( 0 % )

Рисунок 4 – отчет о компиляции

### **Выводы:**

Был разработан проект модуля счетного устройства, работающего по заданному алгоритму.