UNIVERSIDADE FEDERAL DA PARAÍBA
CENTRO DE INFORMÁTICA

CONCEPÇÃO ESTRUTURADA DE CIRCUITOS INTEGRADOS
RELATÓRIO DE ATIVIDADES

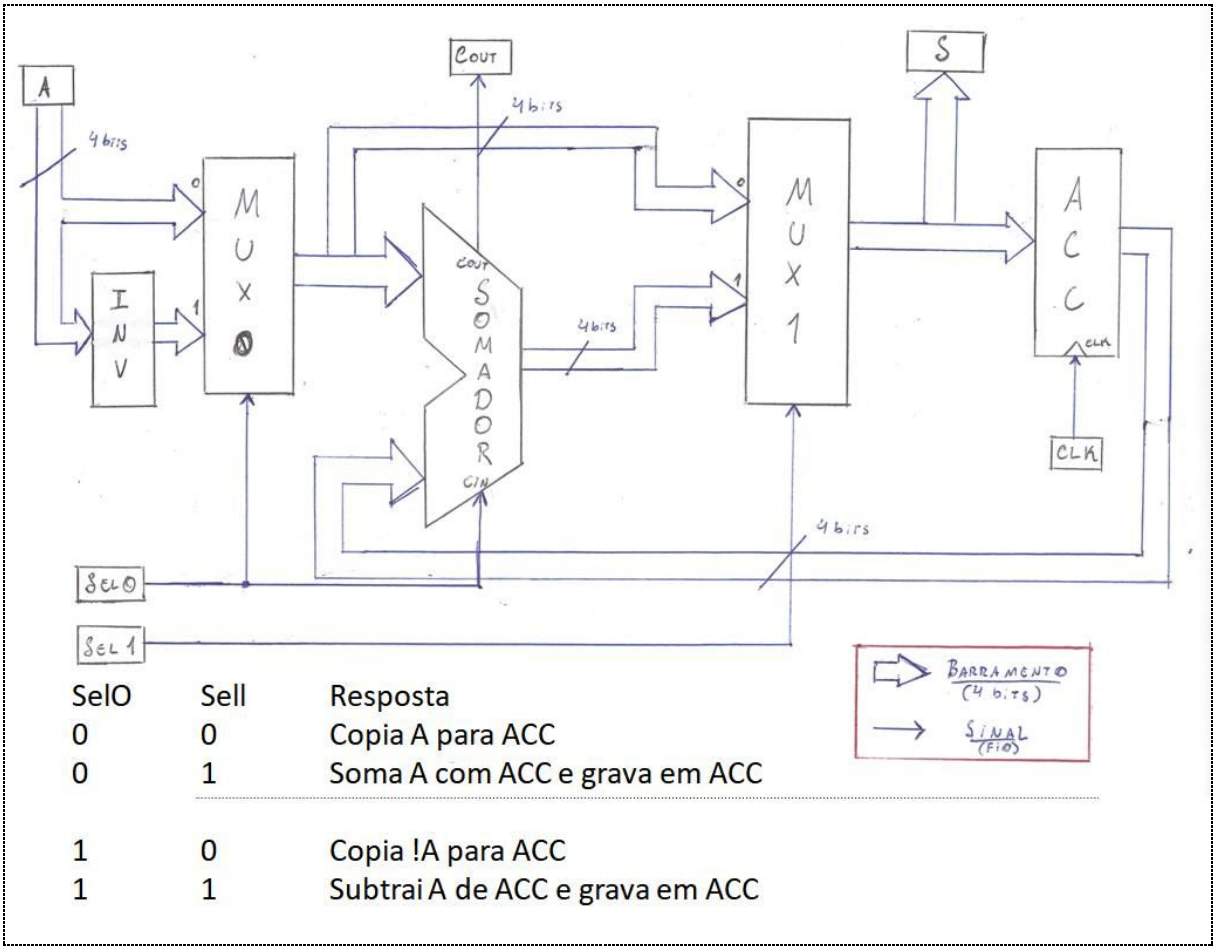
GABRIEL DE OLIVEIRA MOURA SOARES - 20160163998

João Pessoa
NOVEMBRO/2019

Sumário

1. Introdução

Este trabalho é um relatório da implementação do ‘Addac’ (Figura 1), para isso será implementado o Golden Model de cada componente lógico e o addac será a combinação destes.



SelO	Sell	Resposta
0	0	Copia A para ACC
0	1	Soma A com ACC e grava em ACC
1	0	Copia !A para ACC
1	1	Subtrai A de ACC e grava em ACC

Figura 1 - Esquema do Addac

2. Construção dos Golden Model's

Os goldens models serão implementados na linguagem Python. Antes de vermos a implementação dos componentes lógicos em si, veremos algumas estruturas que foram criadas para dar suporte a criação dos componentes lógicos:

2.1. Estruturas de suporte

As primeiras delas é a 'Wire' que representa a entidade onde os dados (bits) serão inseridos e lidos e a interface WireListener.

```python
class Wire:
    def __init__(self):
        self.data: int = 0
        self.listeners: List[WireListener] = []

    def listen(self, listener: WireListener):
        listener.on_wire_change()
        self.listeners.append(listener)

    def remove_listener(self, listener: WireListener):
        self.listeners.remove(listener)

    def notify_listeners(self):
        for listener in self.listeners:
            listener.on_wire_change()

    def set(self, data: int):
        self.data = data
        self.notify_listeners()

    def __str__(self):
        return format(self.data, '04b')

    def __format__(self, format_spec):
        return format(self.data, format_spec)
```

Figura 2 - Classe Wire

```python
class WireListener(ABC):
    @abstractmethod
    def on_wire_change(self):
        pass
```

Figura 3 - Classe WireListener

No estado da classe wire é armazenado o último dado que foi enviado para aquele wire, que é definido com um inteiro, onde o(s) bit(s) do inteiro é o dado que está passando pelo wire.

Um objeto que implementa a interface ‘WireListener’ pode se registrar em um ‘Wire’ para ser notificado quando houver uma mudança nos dados do Wire. Assim, toda vez que alguém inserir um dado no wire (através do método ‘set’) todos aqueles que se registraram serão notificados da mudança, através do método ‘on_wire_change’ definido na interface.

Outra classe que foi criada para dar suporte a criação dos blocos lógicos, foi uma classe abstrata “LogicBlock” que implementa algumas funcionalidades que serão comuns a todos os blocos lógicos.

```python
class LogicBlock(WireListener):
    def __init__(self, inputs: Dict[str, Wire], outputs: List[str]):
        self.inputs = inputs
        self.outputs: Dict[str, Wire] = {x: Wire() for x in outputs}
        self.y = self.outputs[outputs[0]]  # first element in outputs is the main output
        for inp in inputs.values():
            inp.listen(self)

    def on_wire_change(self):
        values: Dict[str, int] = {k: v.data for k, v in self.inputs.items()}
        result = self.operation(values)
        for k, v in result.items():
            self.outputs[k].set(v)

    def add_input(self, name: str, a: Wire):
        if name in self.inputs:
            self.inputs[name].remove_listener(self)

        self.inputs[name] = a
        a.listen(self)

    @abstractmethod
    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        pass
```

Figura 4 - Classe LogicBlock

Ela implementa a interface WireListener e se registra para escutar as mudanças de todas as suas entradas. Sempre que alguma entrada muda ele executa o método ‘operation’ passando as entradas atuais, aplicando a operação do bloco lógico e pega as saídas e atualizam nas saídas que também são ‘wires’. Dessa forma, qualquer bloco lógico pode herdar as funcionalidades dessa classe, bastando apenas implementar o método ‘operation’ que define o comportamento do bloco lógico.

2.2. Inversor

Primeiro componente lógico criado foi o inversor, que inverte o bit da entrada e envia para a saída. A classe ‘Inverter’ recebe um ‘Wire’ em seu construtor que representa a entrada do inversor, e tem apenas uma saída ‘y que é a entrada invertida’. Ela herda todo o comportamento do ‘LogicBlock’ e portanto basta apenas sobrecarregar o método ‘operation’ onde ele recebe a entrada x, faz a inversão do bit, e retorna a saída y

```python
class Inverter(LogicBlock):
    def __init__(self, input_: Wire):
        super().__init__({'x': input_}, ['y'])

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        x = inputs['x']
        y = ~x & 1
        return {'y': y}
```

Figura 5 - Classe Inverter

Além disso foi criado a função para criar os vetores de teste que foram salvos no arquivo ‘inverter.tv’

```python
def create_inverter_tvs():
    a = Wire()
    inverter = Inverter(a)
    file = open('inverter.tv', 'w')
    file.write("# a_y\n")
    for i in [0, 1]:
        a.set(i)
        file.write("{:1b}_{:1b}\n".format(a, inverter.y))
    file.close()
```

Figura 6 - Função para criação dos vetores de teste do inversor

Nele é criado um ‘Wire’ que é passado como entrada para o inversor; No for é gerado os 2 casos de teste possíveis, que é com entrada 0 e com entrada 1, e cada entrada é inserida no Wire de entrada do inversor e é lido então a saída dele e são gravados no arquivo.

```
# a_y
0_1
1_0
```

Figura 7 - Conteúdo do ‘inverter.tv’

2.3. Mux

O Mux segue a mesma linha de criação do inversor: Recebe as suas entradas, que no caso dele é dois dados e um seletor, e define uma saída ‘y’; E também herda o comportamento da classe LogicBlock definindo apenas a operação do multiplexador.

```
class Mux(LogicBlock):
    def __init__(self, d0: Wire, d1: Wire, sel: Wire):
        inputs = {
            'd0': d0,
            'd1': d1,
            'sel': sel,
        }
        super().__init__(inputs, ['y'])

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        if inputs['sel'] == 0:
            return {'y': inputs['d0']}
        else:
            return {'y': inputs['d1']}
```

Figura 8 - Classe Mux

Também foi criado uma função para gerar os vetores de teste, gerando todas as possíveis entradas, que nesse caso foram $2^3 = 8$ pois são 3 bits de entrada.

```
def create_mux_tvs():
    d0 = Wire()
    d1 = Wire()
    sel = Wire()
    mux = Mux(d0=d0, d1=d1, sel=sel)

    file = open('mux.tv', 'w')
    file.write("# d0 d1 sel y\n")
    for i0 in [0, 1]:
        d0.set(i0)
        for i1 in [0, 1]:
            d1.set(i1)
            for s in [0, 1]:
                sel.set(s)
                file.write("{:1b}_{:1b}_{:1b}_{:1b}\n".format(d0, d1, sel, mux.y))
    file.close()
```

Figura 9 - Função para criação dos vetores de teste do multiplexador

```
# d0 d1 sel y
0 0 0 0
0 0 1 0
0 1 0 0
0 1 1 1
1 0 0 1
1 0 1 0
1 1 0 1
1 1 1 1
```

Figura 10 - Conteúdo do ‘mux.tv’

2.4. Somador

O somador tem 3 entradas: a e b e cin; e 2 saídas: cout que é o bit mais significativo da soma e y que é o bit menos significativo da soma. A implementação do somador foi feita seguindo as operações realizadas por um circuito ‘Full Adder’, como se tivesse as portas lógicas.

```python
class Adder(LogicBlock):
    def __init__(self, a: Wire, b: Wire, cin: Wire):
        inputs = {
            'a': a,
            'b': b,
            'cin': cin
        }
        super().__init__(inputs, ['y', 'cout'])
        self.cout = self.outputs['cout']

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        a, b, cin = inputs['a'], inputs['b'], inputs['cin']

        p = a ^ b
        sum_ = p ^ cin
        cout = a & b | (p & cin)

        return {
            'y': sum_,
            'cout': cout
        }
```

Figura 11 - Classe Adder

Também foram gerados todos os possíveis vetores de teste, da mesma forma que foi feito com o mux.

```
def create_adder_tvs():
    a = Wire()
    b = Wire()
    cin = Wire()
    adder = Adder(a=a, b=b, cin=cin)

    file = open('adder.tv', 'w')
    file.write("# a b cin cout y\n")
    for i1 in [0, 1]:
        a.set(i1)
        for i2 in [0, 1]:
            b.set(i2)
            for c in [0, 1]:
                cin.set(c)
                file.write("{:1b}_{:1b}_{:1b}_{:1b}_{:1b}\n".format(a, b, cin, adder.cout, adder.y))
    file.close()
```

Figura 12 - Função para criação dos vetores de teste do multiplexador

```
# a b cin cout y
0 0 0 0 0
0 0 1 0 1
0 1 0 0 1
0 1 1 1 0
1 0 0 0 1
1 0 1 1 0
1 1 0 1 0
1 1 1 1 1
```

Figura 13 - Conteúdo do ‘adder.tv’

2.5. Acumulador

Na classe do acumulador, é armazenado em seu estado o último clock recebido. Quando alguma entrada é alterada, ele verifica se o último clock foi 0 e o clock atual é 1, em caso positivo, ele copia a entrada para a saída, em qualquer outro caso, nada é feito. Sua implementação é feita da mesma forma dos outros blocos.

```
class Acc(LogicBlock):
    def __init__(self, x: Wire, clk: Wire):
        self.lastClk: int = 0
        super().__init__({'x': x, 'clk': clk}, ['y'])

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        output: Dict = {'y': inputs['x']} if inputs['clk'] == 1 and self.lastClk == 0 else {}
        self.lastClk = inputs['clk']
        return output
```

Figura 14 - Classe Acc

Foram gerados 15 vetores de teste para o acumulador. Para cada vetor de teste, era sorteado se invertia o dado de entrada ou o clock, em relação ao vetor anterior com ⅓ de chance de inverter o block e ⅔ de chance de inverter o dado de entrada.

```
def create_acc_tvs():
    x = Wire()
    clk = Wire()
    acc = Acc(x=x, clk=clk)

    file = open('acc.tv', 'w')
    file.write("# x_clk_y\n")

    for i in range(15):  # gera 15 casos de teste
        if randint(0, 2) == 0:  # inverte clock 1/3 de chance
            clock = 1 - clk.data
            clk.set(clock)
        else:  # inverte entrada 2/3 de chance
            data = 1 - x.data
            x.set(data)

        file.write("{:1b}_{:1b}_{:1b}\n".format(x, clk, acc.y))

    file.close()
```

Figura 15 - Função para criação dos vetores de teste do acumulador

```
# x_clk_y
0_1_0
1_1_0
0_1_0
1_1_0
```

Figura 16 - Primeiras linhas do ‘acc.tv’

2.6. Addac

O addac é simplesmente a composição dos componentes criados, da forma que é mostrada na Figura 1, os dados são de 4 bits, para chegar nesse circuito, iremos criar uma versão de 1 bit que será instanciada 4 vezes. Como todos os componentes têm entradas e saídas como objetos do tipo ‘Wire’, basta conectar corretamente esses objetos que o circuito é montado.

```python
class Addac:
    def __init__(self, a: Wire, sel0: Wire, sel1: Wire, clk: Wire, cin: Wire = None):
        inv = Inverter(a)
        mux0 = Mux(d0=a, d1=inv.y, sel=sel0)
        adder_cin = sel0 if cin is None else cin
        adder = Adder(a=mux0.y, cin=adder_cin, b=Wire())
        mux1 = Mux(d0=mux0.y, d1=adder.y, sel=sel1)
        acc = Acc(x=mux1.y, clk=clk)
        adder.add_input('b', acc.y)

        self.s = mux1.y
        self.cout = adder.cout
```

Figura 17 - Classe Addac

No momento de criação do somador, ainda não tinha sido criado o acumulador, que era sua segunda entrada, por isso foi inserido um fio ‘dummy’ que depois foi substituído pelo acumulador na linha imediatamente abaixo da sua criação.

Observe que a classe tem um parâmetro opcional ‘cin’, quando ele é passado, ele é inserido no cin do somador, quando ele não é passado, o cin do somador é o sel0, como no esquema da Figura 1. Isso vai ser útil na criação do addac de 4 bits.

Para cada função (cada par possível de sel0 e sel1) foram criados 15 vetores de teste com o mesmo critério que foi criado os vetores de teste do acumulador.

```python
def create_addac_tvs():
    a = Wire()
    sel0 = Wire()
    sel1 = Wire()
    clk = Wire()
    addac = Addac(a=a, sel0=sel0, sel1=sel1, clk=clk)

    file = open('addac.tv', 'w')
    file.write("# sel0_sel1_a_clk_cout_s\n")

    for s0 in [0, 1]:
        sel0.set(s0)
        for s1 in [0, 1]:
            sel1.set(s1)
            for i in range(15):  # 15 casos de teste para cada função
                if randint(0, 2) == 0:  # inverte clock 1/3 de chance
                    clock = 1 - clk.data
                    clk.set(clock)
                else:  # inverte entrada 2/3 de chance
                    data = 1 - a.data
                    a.set(data)

                file.write('{:1b}_{:1b}_{:1b}_{:1b}_{:1b}_{:1b}\n'.format(sel0, sel1, a, clk, addac.cout, addac.s))
    file.close()
    return
```

Figura 18 - Função para criação dos vetores de teste do addac

```
# sel0 sel1 a clk cout s
0 0 1 0 0 1
0 0 0 0 0 0
0 0 0 1 0 0
0 0 1 1 0 1
0 0 0 1 0 0
0 0 1 1 0 1
0 0 0 1 0 0
0 0 1 1 0 1
```

Figura 19 - Primeiras linhas do ‘addac.tv’

2.7. Addac4

Para implementar o Addac de 4 bits (Addac4) iremos utilizar 4 instâncias do addac de 1 bit, fazendo a conexão de acordo com o diagrama abaixo.

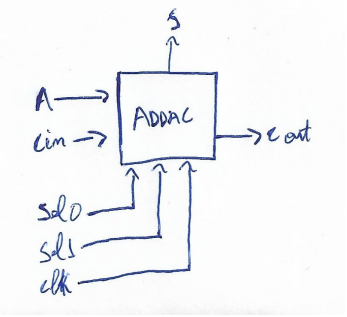


Figura 20 - Representação do addac de 1 bit

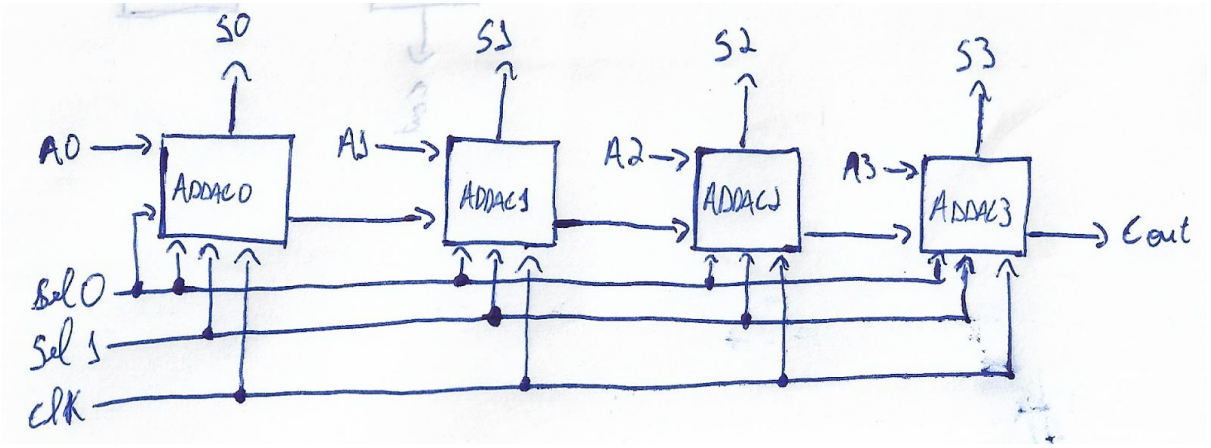


Figura 21 - Addac de 4 bits

Para ajudar na implementação, foram criadas mais duas estruturas auxiliares: a WireSplitter que recebe 1 wire com dados de 4 bits, e transforma em 4 wires com dados de 1 bit cada; e a WireJoiner que faz o inverso, recebendo 4 wires com dados de 1 bit, e transformando em 1 wire com 4 bits de dados.

```python
class WireSplitter(LogicBlock):
    def __init__(self, a: Wire):
        bits_keys = ['bit{}'.format(i) for i in range(4)]
        super(WireSplitter, self).__init__({'a': a}, bits_keys)
        self.bits = [self.outputs[k] for k in bits_keys]

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        a_bits = [(inputs['a'] >> x) & 1 for x in range(4)]
        return {'bit{}'.format(i): a_bits[i] for i in range(4)}
```

Figura 22 - Classe WireSplitter

```python
class WireJoiner(LogicBlock):
    def __init__(self, bits: List[Wire]):
        super(WireJoiner, self).__init__({'bit{}'.format(i): bits[i] for i in range(4)}, ['y'])

    def operation(self, inputs: Dict[str, int]) -> Dict[str, int]:
        bits = [inputs['bit{}'.format(i)] for i in range(4)]
        out = 0
        for i in range(4):
            out += (bits[i] << i)

        return {'y': out}
```

Figura 23 - Wire Joiner

No Addac4 como entrada ‘a’ recebemos 1 wire de 4 bits, então fazemos o split para colocar nas entradas dos 4 addacs de 1 bit. Depois pegamos as saídas dos 4 addacs é fazemos um join, para transformar a saída em 1 wire de 4 bits.

```python
class Addac4:
    def __init__(self, a: Wire, sel0: Wire, sel1: Wire, clk: Wire):
        # separa bits em 4 wires
        splitted = WireSplitter(a)

        addac0 = Addac(a=splitted.bits[0], sel0=sel0, sel1=sel1, clk=clk, cin=sel0)
        addac1 = Addac(a=splitted.bits[1], sel0=sel0, sel1=sel1, clk=clk, cin=addac0.cout)
        addac2 = Addac(a=splitted.bits[2], sel0=sel0, sel1=sel1, clk=clk, cin=addac1.cout)
        addac3 = Addac(a=splitted.bits[3], sel0=sel0, sel1=sel1, clk=clk, cin=addac2.cout)

        # junta os bits em 1 wire
        s_bits = [addac0.s, addac1.s, addac2.s, addac3.s]
        joiner = WireJoiner(s_bits)

        # saidas
        self.s = joiner.y
        self.cout = addac3.cout
```

Figura 24 - Classe Addac4

Para gerar os vetores de teste para o addac de 4 bits foi usado o mesmo critério que o addac de 1 bit, porém a entrada no lugar de ser invertida, é sorteada entre os valores

possíveis (qualquer valor de 4 bits), e como há uma maior possibilidade de entradas, foram geradas 60 entradas para cada função do Addac4.

```
def create_addac4_tvs():
    a = Wire()
    sel0 = Wire()
    sel1 = Wire()
    clk = Wire()
    addac4 = Addac4(a=a, sel0=sel0, sel1=sel1, clk=clk)

    file = open('../simulation_modelsim/addac4.tv', 'w')
    file.write("# sel0_sel1_a_clk_cout_s\n")

    for s0 in [0, 1]:
        sel0.set(s0)
        for s1 in [0, 1]:
            sel1.set(s1)
            for i in range(60):  # 60 casos de teste para cada função
                if randint(0, 2) == 0:  # inverte clock 1/3 de chance
                    clock = 1 - clk.data
                    clk.set(clock)
                else:  # inverte entrada 2/3 de chance
                    data = randint(0, 15)
                    a.set(data)

                file.write('{:1b}_{:1b}_{:04b}_{:1b}_{:1b}_{:04b}\n'
                           .format(sel0, sel1, a, clk, addac4.cout, addac4.s))
    file.close()
```

Figura 25 - Função para criação dos vetores de teste do Addac4

```
# sel0_sel1_a_clk_cout_s
0_0_0000_1_0_0000
0_0_1101_1_0_1101
0_0_1001_1_0_1001
0_0_1001_0_0_1001
0_0_1001_1_1_1001
0_0_1101_1_1_1101
0_0_0100_1_0_0100
0_0_1010_1_1_1010
```

Figura 26 - Primeiras linhas do Addac4.tv

3. Implementação em SystemVerilog

Agora vamos implementar o addac na linguagem de descrição de hardware SystemVerilog. Iremos também em SystemVerilog implementar os ‘TestBenchs’ que são os programas que lerão os vetores de ouro gerado, e verificará se os componentes geram as saídas de acordo com os vetores de teste.

3.1. Inversor

A implementação do inversor em SystemVerilog é bem simples, ele é declarado como um módulo que recebe dois parâmetros a entrada ‘a’ e a saída ‘y’, e ele sempre atribui a ‘y’ o valor negado de ‘a’.

```
module inverter(input logic a, output logic y):
    assign y = ~a;
endmodule
```

Abaixo segue o TestBench do inversor:

```
1  `timescale 1ns/100ps
2  module inv_tb;
3
4  int counter, errors, aux_error;
5  logic clk, rst;
6  logic a, y, y_esperado;
7  logic [1:0] vectors[2];
8
9  inv dut(a, y);
10
11 initial begin
12     $display("Iniciando Testbench");
13     $display("| A | Y |");
14     $display("---------------");
15     $readmemb("inv.tv", vectors);
16     counter = 0; errors = 0;
17     rst = 1; #33; rst = 0;
18 end
19
20 always
21     begin
22     clk = 1; #10;
23     clk = 0; #5;
24     end
25
26 always @(posedge clk)
27     if(~rst)
28     begin
29         {a, y_esperado} = vectors[counter];
30     end
31
32 always @(negedge clk)   //Sempre (que o clock descer)
33     if(~rst)
34     begin
35         aux_error = errors;
36         assert (y === y_esperado) else errors = errors + 1;
37
38         if(aux_error === errors)
39             $display("| %b | %b | OK", a, y);
40         else
41             $display("| %b | %b | ERROR", a, y);
42
43         counter++;  //Incrementa contador dos vertores de teste
44
45         if(counter == $size(vectors)) //Quando os vetores de teste acabarem
46         begin
47             $display("Testes Efetuados  = %0d", counter);
48             $display("Erros Encontrados = %0d", errors);
49             #10
50             $stop;
51         end
52     end
53 endmodule
```

No início, é declarada algumas variáveis dentre elas, temos o ‘a’ e o ‘y_esperado’ (linha 6) que será os dados que serão lidos do arquivo com os vetores de teste. O array ‘vectors’ (linha 7) é para onde será lido os vetores de teste, ele é um vetor de 2 elementos, por que no caso do inversor, temos apenas 2 inversores de teste, e ele tem 2 bits porque cada vetor de teste tem 1 bit de entrada + 1 bit de saída, apenas.

Na linha 9 é instanciado o inversor, passando os parâmetros ‘a’ e ‘y’, dessa forma, toda vez que o ‘a’ for alterado, ‘y’ passa a ter o valor inverso de ‘a’.

No bloco ‘initial’ (linhas 11~18), tem os comandos para mostrar na ferramenta de simulação o cabeçalho da saída do TestBench (linhas 12~14), e também é lido o arquivo com os vetores de teste e armazenado no array ‘vectors’ (linha 5), e ainda é inicializado algumas variáveis que serão usadas na simulação (linhas 16~17).

No primeiro bloco ‘always’ (linhas 20~24) é gerado o clock que vai controlar o passo da simulação, a princípio este clock fica 5 unidades de tempo em nível baixo e 10 em nível alto.

O segundo bloco ‘always’ (linhas 26~30) é executado sempre que o clock passa de nível baixo para alto (borda de subida) e lá é feito a extração dos dados do vetor de teste, ou seja, ele pega o vetor de teste atual (controlado pelo counter) e o separa na entrada ‘a’ e a saída ‘y_esperado’ (linha 29). Ao se fazer a leitura do ‘a’ o inversor que foi definido anteriormente já atualiza também o valor de ‘y’.

E o terceiro bloco ‘always’ (linhas 32~53) é onde é verificado se a saída do inversor está de acordo com a saída que estava no vetor de teste. Para cada vetor de teste em impresso na ferramenta de simulação os dados (a e y) e se ele passou ou não no teste. No final é mostrado o número de testes feitos, e quantos erros foram encontrados.

3.2. Mux

A implementação do mux também é bem simples e direta:

```
module mux(
    input logic d0, d1, sel,
    output logic y
);
    assign y = sel ? d1 : d0;
endmodule
```

O testbench do mux segue o mesmo modelo do testbench do inversor, as diferenças estão apenas na instanciação do mux; na leitura dos vetores de teste, pois agora são 8 vetores de teste com 4 bits cada; e na parte que mostra os erros e acertos, pois precisa mostrar todos os dados.

```
1  `timescale 1ns/100ps
2  module mux_tb;
3
4  int counter, errors, aux_error;
5  logic clk, rst;
6  logic a, b, sel, y, y_esperado;
7  logic [3:0] vectors[8];
8
9  mux dut(a, y);
10
11 initial begin
12     $display("Iniciando Testbench");
13     $display("| A | B | S | Y |");
14     $display("---------------");
15     $readmemb("mux.tv", vectors);
16     counter = 0; errors = 0;
17     rst = 1; #33; rst = 0;
18 end
19
20 always
21     begin
22     clk = 1; #10;
23     clk = 0; #5;
24     end
25
26 always @(posedge clk)
27     if(~rst)
28     begin
29         {a, b, sel, y_esperado} = vectors[counter];
30     end
31
32 always @(negedge clk)   //Sempre (que o clock descer)
33     if(~rst)
34     begin
35         aux_error = errors;
36         assert (y === y_esperado) else errors = errors + 1;
37
38         if(aux_error === errors)
39             $display("| %b | %b | %b | %b | OK", a, b, sel, y);
40         else
41             $display("| %b | %b | %b | %b | ERROR", a, b, sel, y);
42
43         counter++;  //Incrementa contador dos vertores de teste
44
45         if(counter == $size(vectors)) //Quando os vetores de teste acabarem
46         begin
47             $display("Testes Efetuados  = %0d", counter);
48             $display("Erros Encontrados = %0d", errors);
49             #10
50             $stop;
51         end
52     end
53 endmodule
```

3.3. Somador

O somador foi implementado segundo o comportamento do circuito ‘somador completo’, mostrado na Figura 27.

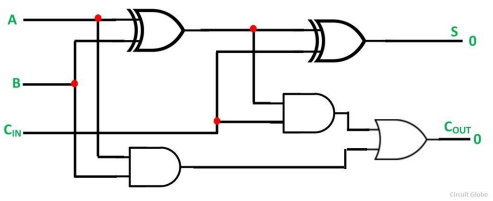


Figura 27 - Full Adder

```
module adder(
    input logic a, b, cin,
    output logic s, cout
);
    logic p, g;

    assign p = a ^ b;
    assign g = a & b;

    assign s = p ^ cin;
    assign cout = g | (p & cin);
endmodule
```

Abaixo o Test Bench do somador:

```
`timescale 1ns/100ps
module adder_tb;

int counter, errors, aux_error;
logic clk, rst;
logic a, b, cin, s, s_esperado, cout, cout_esperado;
logic [3:0] vectors[8];

adder dut(a, b, cin, s, cout);

initial begin
    $display("Iniciando Testbench");
    $display("| A | B | Cin | S |");
    $display("---------------");
    $readmemb("adder.tv", vectors);
    counter = 0; errors = 0;
    rst = 1; #33; rst = 0;
end

always
    begin
    clk = 1; #10;
    clk = 0; #5;
    end

always @(posedge clk)
    if(~rst)
    begin
        {a, b, cin, cout, y_esperado} = vectors[counter];
    end

always @(negedge clk)   //Sempre (que o clock descer)
    if(~rst)
    begin
        aux_error = errors;
        assert (y === y_esperado)
        else begin
            errors = errors + 1;
            $display("| %b | %b |  %b  | %b |  %b  | ERROR: S = %b", a, b, cin, s_esperado, cout_esperado, s);
        end

        assert (y === y_esperado)
        else begin
            errors = errors + 1;
            $display("| %b | %b |  %b  | %b |  %b  | ERROR: Cout = %b", a, b, cin, s_esperado, cout_esperado, cout);
        end

        if(aux_error === errors)
            $display("| %b | %b |  %b  | %b |  %b  | OK", a, b, cin, y, cout);

        counter++;  //Incrementa contador dos vertores de teste

        if(counter == $size(vectors)) //Quando os vetores de teste acabarem
        begin
            $display("Testes Efetuados  = %0d", counter);
            $display("Erros Encontrados = %0d", errors);
            #10
            $stop;
        end
    end
 endmodule
```

Não há novidades, segue o mesmo modelo dos anteriores, com a diferença que são verificadas duas saídas dessa vez.

3.4. Acumulador

Como o acumulador só vai atuar na borda de subida do clock sua implementação é um pouco diferente, pois criamos um bloco ‘always’ que simplesmente executa sempre que houver uma subida do clock, e simplesmente copia a entrada para a saída quando isso acontecer.

```
module acc(
    input logic a, clk,
    output logic y
);
    always_ff @(posedge clk)
        y <= a;
endmodule
```

No testbench também não teve grande novidade, mas vale ressaltar que o clock que estamos usando na simulação é diferente do clock que servirá de entrada para o acumulador, por isso foi criada uma nova variável ‘iclk’ para representar o clock de entrada.

```
1  `timescale 1ns/100ps
2  module acc_tb;
3
4  int counter, errors, aux_error;
5  logic clk, rst;
6  logic a, iclk, y, y_esperado;
7  logic [2:0] vectors[15];
8
9  acc dut(a, iclk, y);
10
11 initial begin
12     $display("Iniciando Testbench");
13     $display("| A | Clk | Y |");
14     $display("---------------");
15     $readmemb("acc.tv", vectors);
16     counter = 0; errors = 0;
17     rst = 1; #33; rst = 0;
18     a = 0; #5 iclk = 0; #5 iclk = 1; #5 iclk = 0;
19 end
20
21 always
22     begin
23     clk = 1; #10;
24     clk = 0; #5;
25     end
26
27 always @(posedge clk)
28     if(~rst)
29     begin
30         {a, iclk, y_esperado} = vectors[counter];
31     end
32
33 always @(negedge clk)   //Sempre (que o clock descer)
34     if(~rst)
35     begin
36         aux_error = errors;
37         assert (y === y_esperado) else errors = errors + 1;
38
39         if(aux_error === errors)
40             $display("| %b |  %b  | %b | OK", a, iclk, y);
41         else
42             $display("| %b |  %b  | %b | ERROR Linha %d", a, iclk, y_esperado, counter+1);
43
44         counter++;  //Incrementa contador dos vertores de teste
45
46         if(counter == $size(vectors)) //Quando os vetores de teste acabarem
47         begin
48             $display("Testes Efetuados  = %0d", counter);
49             $display("Erros Encontrados = %0d", errors);
50             #10
51             $stop;
52         end
53     end
54 endmodule
```

3.5. Addac

Agora para montar o addac basta instanciar os componentes já implementados e fazer as ligações corretamente, de acordo com a Figura 1.

```
module addac(
    input logic a, sel0, sel1, cin, clk,
    output logic s, cout
);

    logic a_inv;
    inv inv0(.a(a), .y(a_inv));

    logic mux0_y;
    mux mux0(.d0(a), .d1(a_inv), .sel(sel0), .y(mux0_y));

    logic acc_y, adder_y;
    adder adder0(.a(mux0_y), .b(acc_y), .cin(cin), .s(adder_y), .cout(cout));

    mux mux1(.d0(mux0_y), .d1(adder_y), .sel(sel1), .y(s));

    acc acc0(.a(s), .clk(clk), .y(acc_y));

endmodule
```

O Test Bench segue a mesma lógica do Test Bench do acumulador:

```
1  `timescale 1ns/100ps
2  module addac_tb;
3
4  int counter, errors, aux_error;
5  logic clk, rst;
6  logic sel0, sel1, a, iclk;
7  logic cout, cout_esperado, s, s_esperado;
8  logic [5:0] vectors[60];
9
10 addac dut(a, sel0, sel1, sel0, iclk, s, cout);
11
12 initial begin
13     $display("Iniciando Testbench");
14     $display("| A | Sel0 | Sel1 | Clk | S | Cout |");
15     $display("---------------");
16     $readmemb("addac.tv", vectors);
17     counter = 0; errors = 0;
18     rst = 1; #33; rst = 0;
19     a = 0; #5 iclk = 0; #5 iclk = 1; #5 iclk = 0;
20 end
21
22 always
23     begin
24     clk = 1; #10;
25     clk = 0; #5;
26     end
27
28 always @(posedge clk)
29     if(~rst)
30     begin
31         {sel0, sel1, a, iclk, cout_esperado, s_esperado} = vectors[counter];
32     end
33
34 always @(negedge clk)   //Sempre (que o clock descer)
35     if(~rst)
36     begin
37         assert (s === s_esperado)
38         else begin
39             errors = errors + 1;
40             $display("| %b |  %b   |  %b   |  %b  | %b |  %b   | ERROR: S = %b Linha %d",
41                         a, sel0, sel1, iclk, s_esperado, cout_esperado, s, counter+1);
42         end
43
44         assert (y === y_esperado)
45         else begin
46             errors = errors + 1;
47             $display("| %b |  %b   |  %b   |  %b  | %b |  %b   | ERROR: Cout = %b Linha %d",
48                         a, sel0, sel1, iclk, s_esperado, cout_esperado, cout, counter+1);
49         end
50
51         if(aux_error === errors)
52             $display("| %b |  %b   |  %b   |  %b  | %b |  %b   | OK", a, iclk, y);
53
54         counter++;  //Incrementa contador dos vertores de teste
55
56         if(counter == $size(vectors)) //Quando os vetores de teste acabarem
57         begin
58             $display("Testes Efetuados  = %0d", counter);
59             $display("Erros Encontrados = %0d", errors);
60             #10
61             $stop;
62         end
63     end
64 endmodule
```

3.6. Addac4

Assim como na construção do golden model, para fazer o addac de 4 bits, usaremos 4 instâncias do addac de 1 bit, seguindo o esquema da Figura 21.

```
module addac4(
    input logic [3:0] a;
    input logic sel0, sel1, clk;
    output logic [3:0] s;
    output logic cout;
);

    logic [2:0] addacs_cout;
    addac addac0(
        .a(a[0]), .sel0(sel0), .sel1(sel1), .cin(sel0), .clk(clk),
        .s(s[0]), .cout(addacs_cout[0])
    );
    addac addac1(
        .a(a[1]), .sel0(sel0), .sel1(sel1), .cin(addacs_cout[0]), .clk(clk),
        .s(s[1]), .cout(addacs_cout[1])
    );
    addac addac2(
        .a(a[2]), .sel0(sel0), .sel1(sel1), .cin(addacs_cout[1]), .clk(clk),
        .s(s[2]), .cout(addacs_cout[2])
    );
    addac addac3(
        .a(a[3]), .sel0(sel0), .sel1(sel1), .cin(addacs_cout[2]), .clk(clk),
        .s(s[3]), .cout(cout)
    );
endmodule
```

O Test Bench é um pouco mais elaborado nesse caso, pois verificamos bit a bit da saída para identificar qual bit houver erro, se tiver:

```
`timescale 1ns/100ps
module addac4_tb;

int counter, errors, aux_error;
logic clk, rst;
logic sel0, sel1, iclk, cout, cout_esperado;
logic [3:0] a, s, s_esperado;
logic [11:0] vectors[240];

addac4 dut(a, sel0, sel1, sel0, iclk, s, cout);

initial begin
    $display("Iniciando Testbench");
    $display("|   A   | Sel0 | Sel1 | Clk | S | Cout |");
    $display("---------------");
    $readmemb("addac4.tv", vectors);
    counter = 0; errors = 0;
    rst = 1; #33; rst = 0;
    a = 0; #5 iclk = 0; #5 iclk = 1; #5 iclk = 0;
end

always
    begin
    clk = 1; #10;
    clk = 0; #5;
    end

always @(posedge clk)
    if(~rst)
    begin
        {sel0, sel1, a, iclk, cout_esperado, s_esperado} = vectors[counter];
    end

always @(negedge clk)   //Sempre (que o clock descer)
    if(~rst)
    begin
        aux_error = errors;
        for(int i = 0; i < 4; i++) begin
            assert (s[i] === s_esperado[i])
            else begin
                //Mostra mensagem de erro se a saída do DUT for diferente da saída esperada
                $display("Error S: input in position %d = %b", i, s[i]);
                $display("linha %d º , saida = %b, (%b esperado)",counter+1, s[i], s_esperado[i]);

                errors = errors + 1; //Incrementa contador de erros a cada bit errado encontrado
            end
        end

        assert(cout === cout_esperado)
        else begin
            //Mostra mensagem de erro se a saída do DUT for diferente da saída esperada
            $display("Error COUT:");
            $display("linha %d º , saida = %b, (%b esperado)",counter+1, cout, cout_esperado);

            errors = errors + 1; //Incrementa contador de erros a cada bit errado encontrado
        end

        if(aux_error === errors)
            $display("| %b |  %b   |  %b   |  %b  | %b | %b | OK", a, sel0, sel1, iclk, s, cout);
        else
            $display("| %b |  %b   |  %b   |  %b  | %b | %b | ERROR", a, sel0, sel1, iclk, s, cout);

        counter++;  //Incrementa contador dos vertores de teste

        if(counter == $size(vectors)) //Quando os vetores de teste acabarem
        begin
            $display("Testes Efetuados  = %0d", counter);
            $display("Erros Encontrados = %0d", errors);
            #10
            $stop;
        end
    end
endmodule
```