

### Σκοπός

Σκοπός της άσκησης είναι η γνωριμία και η εξοικείωση των φοιτητών στα ψηφιακά ολοκληρωμένα κυκλώματα και η γνωριμία του με τις απλές λογικές πύλες και τη λειτουργία τους στην πράξη.

### Προσδοκώμενα αποτελέσματα

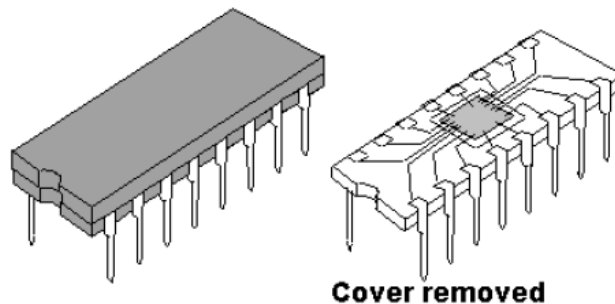
Με το πέρας της άσκησης οι φοιτητές/τριες θα είναι σε θέση:

- Να αναγνωρίσει τα ψηφιακά ολοκληρωμένα κυκλώματα.
- Να μπορεί να αναγνωρίσει τις ακίδες (pins) σύνδεσης των ολοκληρωμένων κυκλωμάτων.
- Να συνδεσμολογήσει απλά ψηφιακά κυκλώματα.
- Να μετρήσει τις εξόδους των απλών ψηφιακών πυλών.
- Να αναγνωρίσει τη ψηφιακή τιμή των εξόδων των απλών ψηφιακών πυλών.

## 2.1 Συσκευασία Ολοκληρωμένων Κυκλωμάτων

Οι λογικές πύλες είναι ηλεκτρονικά κυκλώματα που εκτελούν λογικές λειτουργίες. Έχουν συνήθως 1 έξοδο και 2 ή περισσότερες εισόδους και συνδέονται στους αντίστοιχους ακροδέκτες. Οι εταιρίες κατασκευής ηλεκτρονικών κυκλωμάτων κατασκευάζουν ολοκληρωμένα κυκλώματα (ΟΚ) στα οποία περιέχονται πολλές πύλες ίδιου τύπου, οπότε υπάρχουν και αντίστοιχα πολλοί ακροδέκτες εισόδου και εξόδου, αλλά συνήθως μόνο 2 ακροδέκτες τροφοδοσίας.

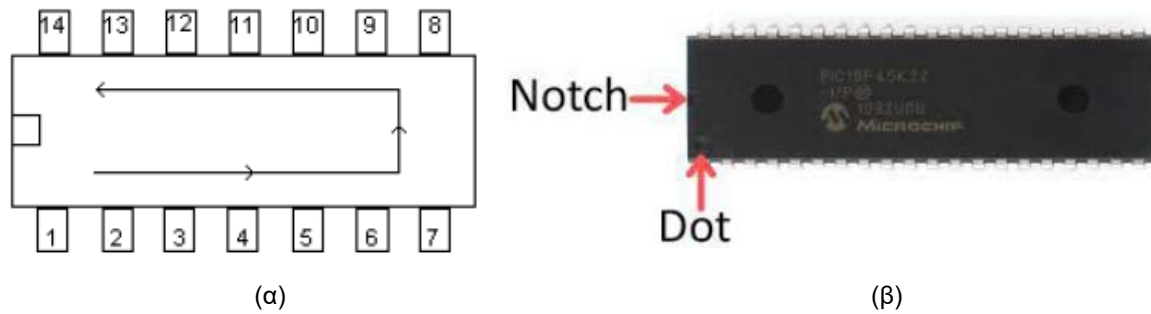
Η πιο συνηθισμένη συσκευασία ολοκληρωμένων κυκλωμάτων για χρήση στο εργαστήριο είναι η Dual Inline Package (DIP) που είναι τεχνολογίας “Through Hole” και μπορεί να χρησιμοποιηθεί στα ράστερ (breadboards) των εργαστηρίων.



**Εικόνα 2.1** Συσκευασία Dual In-Line Package(DIP)

Για την χρήση του ΟΚ είναι απαραίτητο να ξέρουμε την σύνδεση του κάθε ακροδέκτη. Σε κάθε Ο.Κ. εντοπίζεται ο ακροδέκτης 1, με κάποιον από τους παρακάτω τρόπους

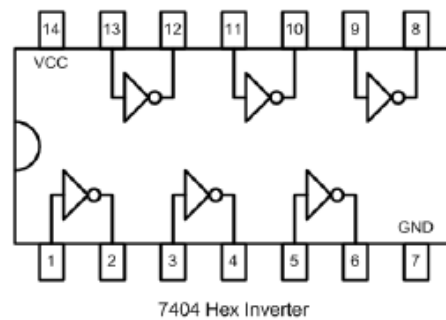
- A. Δίπλα στην ακροδέκτη 1 υπάρχει μία εγκοπή στην συσκευασία (αριστερή πλευρά)
- B. Επάνω από τον ακροδέκτη 1 τοποθετείται ένα χρωματιστή τελεία ή σκαλίζεται ένα στρογγυλό σημάδι.
- C. Αν τα γράμματα διαβάζονται κανονικά, τότε ο ακροδέκτης 1 είναι κάτω αριστερά.



**Εικόνα 2.2** Αρίθμηση ακροδεκτών Ο.Κ, (α) σε σχηματική αναπαράσταση και (β) σε πραγματικό Ο.Κ

Μετά τον εντοπισμό του ακροδέκτη 1, είναι σημαντικό να σημειώσουμε ότι οι υπόλοιποι ακροδέκτες αριθμούνται κυκλικά, με φορά αντίθετη της κίνησης των δεικτών του ρολογιού (counter clockwise), όπως φαίνεται στο σχήμα 1.2. Όλες αυτές οι πληροφορίες περιέχονται στο φύλλο δεδομένων (datasheet) του ΟΚ, το οποίο πρέπει πάντα να το συμβουλευόμαστε.

Η πιο απλή λογική πύλη είναι η NOT, που βρίσκεται στο ολοκληρωμένο 7404 (ή 74LS04).



**Εικόνα 2.3** Η βάση/κάτοψη του Ο.Κ 74LS04

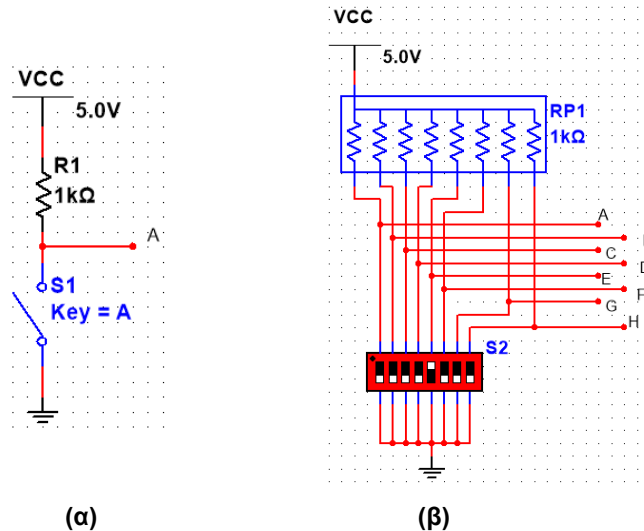
Όπως φαίνεται στην Εικόνα 2.3, στο ολοκληρωμένο 74LS04 περιέχονται έξι πύλες NOT (αντιστροφής), για αυτό και ονομάζεται HEX INVERTER. Για την πρώτη πύλη η είσοδος βρίσκεται στον ακροδέκτη 1 και η έξοδος στον 2, κοκ. Όλες οι πύλες είναι ισοδύναμες και ανεξάρτητες και μπορούμε να χρησιμοποιήσουμε οποιαδήποτε θέλουμε. Όμως για να λειτουργήσει ένα ηλεκτρονικό κύκλωμα θέλει τροφοδοσία ισχύος. Αυτή παρέχεται μέσω δύο ακροδεκτών, τον GND και τον VCC, που στο συγκεκριμένο ΟΚ είναι στους ακροδέκτες 7 και 14. Σε αυτούς θα συνδέσουμε τον αρνητικό και τον θετικό ακροδέκτη από το DC τροφοδοτικό.

Η οικογένεια ολοκληρωμένων TTL που χρησιμοποιείται στο εργαστήριο λειτουργεί με τροφοδοσία 5V, οπότε το τροφοδοτικό DC θα ρυθμιστεί στα 5V (4,75V-5,25V). Ο θετικός ακροδέκτης θα συνδεθεί, όπως προαναφέρθηκε, στον ακροδέκτη 14 του ΟΚ και ο αρνητικός στον ακροδέκτη 7. Εσωτερικά στο ΟΚ όλες οι πύλες θα τροφοδοτηθούν από τους κοινούς αυτούς ακροδέκτες.

## ΑΣΚΗΣΗ 2-Απλές Ψηφιακές Πύλες

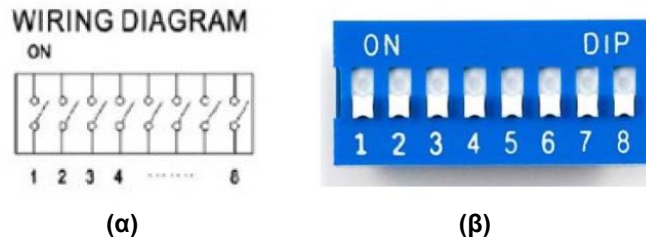
## 2.2 Κύκλωμα παραγωγής τιμών εισόδου

Στην Άσκηση 1 ασχοληθήκαμε με απλά κυκλώματα τα οποία είχαν μόνο μία είσοδο. Σε πιο πολύπλοκα κυκλώματα που διαθέτουν περισσότερες από μία εισόδους θα πρέπει να γίνουν μικρές διαφοροποιήσεις για να μπορούν να μας παρέχουν περισσότερες από μία ψηφιακές τιμές για την μελέτη των κυκλωμάτων. Η διαφοροποίηση που θα εισαχθεί είναι ότι θα κατασκευαστεί ένα κύκλωμα το οποίο θα μπορεί να μας παρέχει μέχρι 8 τέτοιες ψηφιακές εισόδους. Στην ουσία είναι απλά μία επανάληψη του βασικού κυκλώματος του διακόπτη που χρησιμοποιήθηκε στην Άσκηση 1.



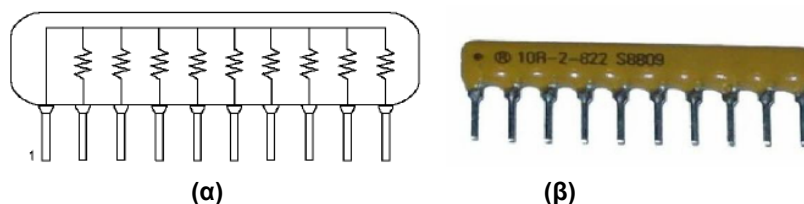
Εικόνα 2.4 Κύκλωμα παραγωγής ψηφιακών τιμών, (α) μίας τιμής και (β) οκτώ τιμών.

Στο εργαστήριο χρησιμοποιούμε πακέτο διακοπτών (**DIP-switch**) που είναι 8 ανεξάρτητοι διακόπτες σε ένα κοινό περίβλημα για να τοποθετούνται ευκολότερα στο ράστερ (σχήμα 1.7).



Εικόνα 2.5 Κύκλωμα μικροδιακοπτών-DIP-Switch, (α) Σχηματικό και (β) πραγματική μορφή

Ακόμη, αντί για 8 αντιστάσεις επάνω από το **DIP-switch**, χρησιμοποιείται ένα **Resistor Pack** 8 αντιστάσεων με κοινό ακροδέκτη (σχήμα 1.8). Αυτός ο κοινός ακροδέκτης φαίνεται αριστερά στο διάγραμμα του σχήματος 1.8 και συνήθως συμβολίζεται σημειώνεται με μία τελεία επάνω στο περίβλημα, όπως φαίνεται στην πραγματική εικόνα. Αυτός ο κοινός ακροδέκτης συνδέεται σε κοινό δυναμικό, που στην περίπτωση της άσκησης είναι τα 5V.



Εικόνα 2.6 Κύκλωμα πακέτου αντιστάσεων Resistor Pack 8, (α) Σχηματικό και (β) πραγματική μορφή

### Φύλλο Έργου

Όνομα		Βαθμός
Επώνυμο		
Εργ. Τμήμα		Υπογραφή Καθηγητή
Ομάδα		
Ημερομηνία		

### Απαιτούμενα όργανα και υλικά

Όργανα	Υλικά
Τροφοδοτικό	Μικροδιακόπτες Dip-Switch 8 x1
Πολύμετρο	Αντιστάσεις 330Ω
	LED
	Resistor Pack 8x1kΩ
	Ολοκληρωμένα Κυκλώματα
	74LS04 x1
	74LS08 x1
	74LS32 x1
	74LS86 x1

### Σκοπός

Σκοπός της άσκησης είναι η γνωριμία και η εξοικείωση των φοιτητών/τριών στη σύνθεση απλών κυκλωμάτων λογικών πυλών και κατανόηση της λειτουργίας τους.

### Προσδοκώμενα αποτελέσματα

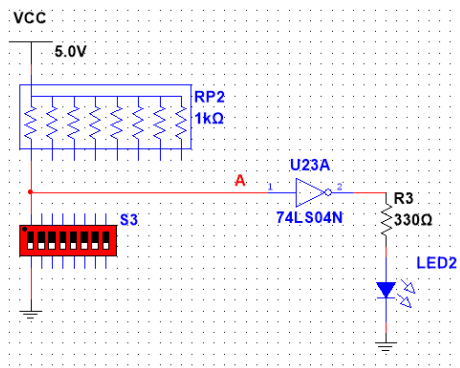
Με το πέρας της άσκησης ο/η φοιτητής/τρια θα είναι σε θέση να:

- Αναγνωρίσει τα ολοκληρωμένα κυκλώματα από τους κωδικούς τους και να αναζητήσει πληροφορίες για παρόμοια ολοκληρωμένα κυκλώματα.
- Υλοποιήσει κυκλώματα απλών λογικών πυλών και να μετρήσει τις εξόδους
- Αναγνωρίσει τις λογικές στάθμες των '0' και '1' και να μπορεί να τις μετρήσει, με ή χωρίς φορτίο.

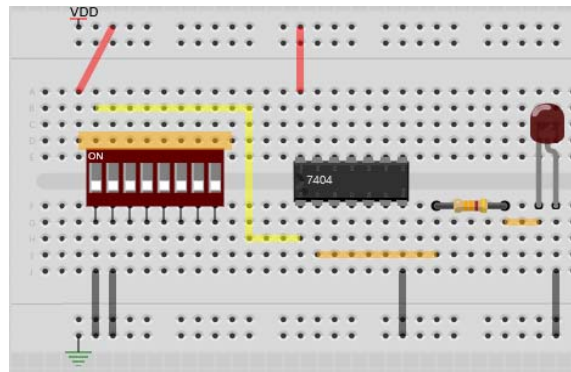
## Βήμα 1. Απλές Λογικές Πύλες

### A. Πύλη NOT

1. Συνδεσμολογήστε το κύκλωμα της Εικόνας 2.7, Κύκλωμα πύλης NOT
2. Τροφοδοτήστε το κύκλωμα με τάση +5 Volt
3. Με χρήση των μικροδιακοπών συμπληρώστε τον Πίνακα 1



(α)

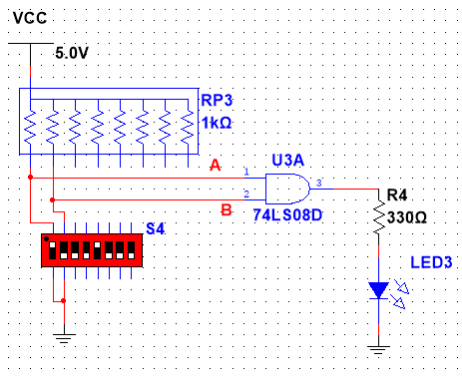


(β)

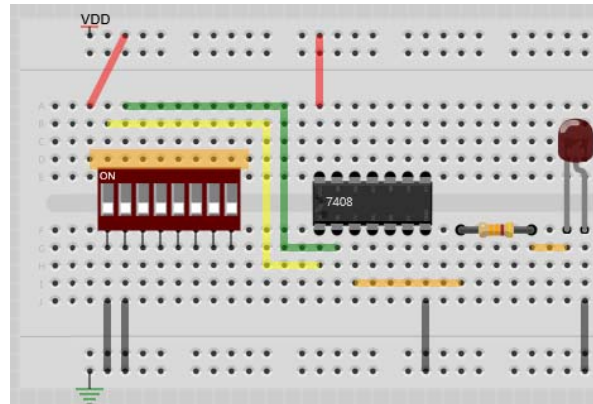
Εικόνα 2.7 Κύκλωμα πύλης NOT , (α) Σχηματικό και (β) πραγματική μορφή

### Β. Πύλη AND

1. Συνδεσμολογήστε το κύκλωμα της Εικόνας 2.8, Κύκλωμα πύλης AND
2. Τροφοδοτήστε το κύκλωμα με τάση +5 Volt
3. Με χρήση των μικροδιακοπών συμπληρώστε τον Πίνακα 1



(α)

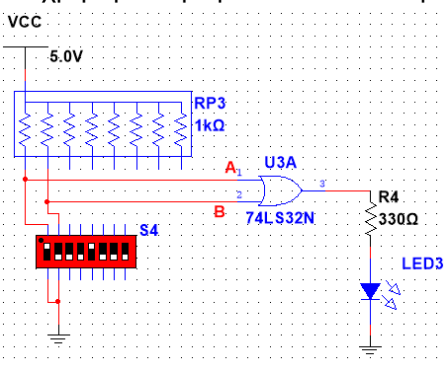


(β)

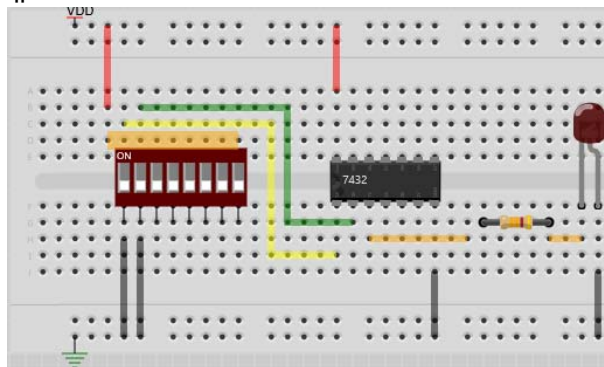
Εικόνα 2.8 Κύκλωμα πύλης AND , (α) Σχηματικό και (β) πραγματική μορφή

### Γ. Πύλη OR

1. Συνδεσμολογήστε το κύκλωμα της Εικόνας 2.9, Κύκλωμα πύλης OR
2. Τροφοδοτήστε το κύκλωμα με τάση +5 Volt
3. Με χρήση των μικροδιακοπών συμπληρώστε τον Πίνακα 1



(α)

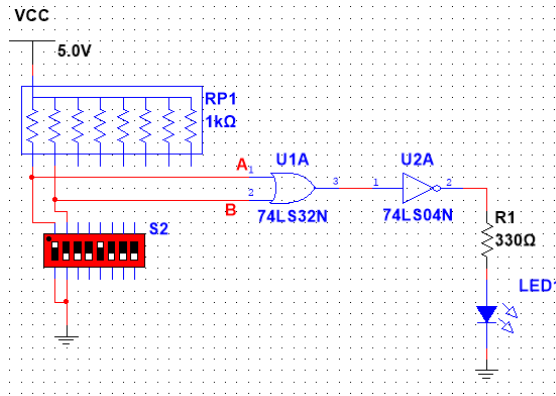


(β)

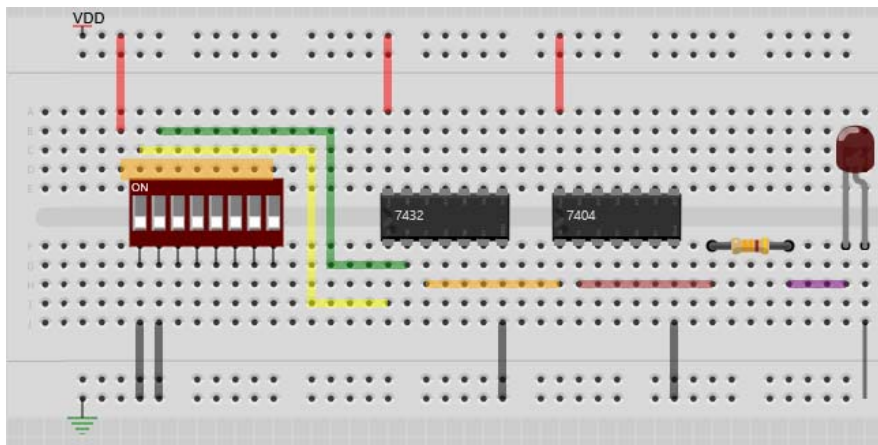
Εικόνα 2.9 Κύκλωμα πύλης OR , (α) Σχηματικό και (β) πραγματική μορφή

### Α. Πύλη NOR

1. Συνδεσμολογήστε το κύκλωμα της Εικόνας 2.10, Κύκλωμα πύλης NOR
2. Τροφοδοτήστε το κύκλωμα με τάση +5 Volt
3. Με χρήση των μικροδιακοπών συμπληρώστε τον Πίνακα 1



(α)



(β)

**Εικόνα 2.10** Κύκλωμα πύλης NOR , (α) Σχηματικό και (β) πραγματική μορφή

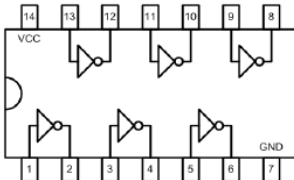
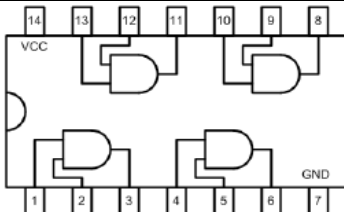
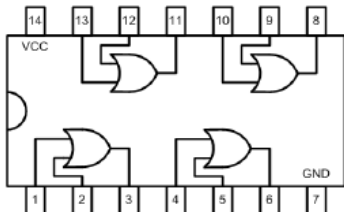
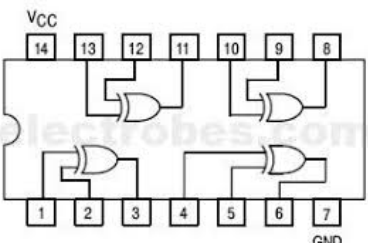
### Β. Πύλη NAND

Στο Κύκλωμα της Εικόνας 2.10 αντικαταστήστε το ολοκληρωμένο κύκλωμα 74LS32 με το ολοκληρωμένο κύκλωμα 74LS08 και επαναλάβετε τα βήματα του του Βήματος 2.A

### Γ. Πύλη XOR

Στο Κύκλωμα της Εικόνας 2.8 αντικαταστήστε το ολοκληρωμένο κύκλωμα 74LS08 με το ολοκληρωμένο κύκλωμα 74LS86 και επαναλάβετε τα βήματα του του Βήματος 2.A

Πίνακας 1

<div>Πύλη NOT (1.A)</div> <table><tr><th>A</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td></td><td></td><td></td></tr></table>					A	Θεωρητική	Τάση	Y	0				1				<div></div> <div>7404 Hex Inverter</div>																	
A	Θεωρητική	Τάση	Y																															
0																																		
1																																		
<div>Πύλη AND (1.B)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1				<div></div> <div>7408 Quad 2 Input AND</div>				
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	
<div>Πύλη OR (1.Γ)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1				<div></div> <div>7432 Quad 2 Input OR</div>				
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	
<div>Πύλη NOR (2.A)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1								
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	
<div>Πύλη NAND (2.B)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1								
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	
<div>Πύλη XOR(2.Γ)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1				<div></div> <div>7486 Quad 2 Input XOR</div>				
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	
<div>Πύλη XNOR(2.Δ)</div> <table><tr><th>A</th><th>B</th><th>Θεωρητική</th><th>Τάση</th><th>Y</th></tr><tr><td>0</td><td>0</td><td></td><td></td><td></td></tr><tr><td>0</td><td>1</td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td></td><td></td><td></td></tr><tr><td>1</td><td>1</td><td></td><td></td><td></td></tr></table>					A	B	Θεωρητική	Τάση	Y	0	0				0	1				1	0				1	1								
A	B	Θεωρητική	Τάση	Y																														
0	0																																	
0	1																																	
1	0																																	
1	1																																	