

Eng04075 – Eletrônica Digital I

Aula 1

Sumário

- Introdução
- Critérios de Avaliação
- Revisão de Conceitos
- Níveis Lógicos - Entrada e Saída de sinais

luff.delet@gmail.com

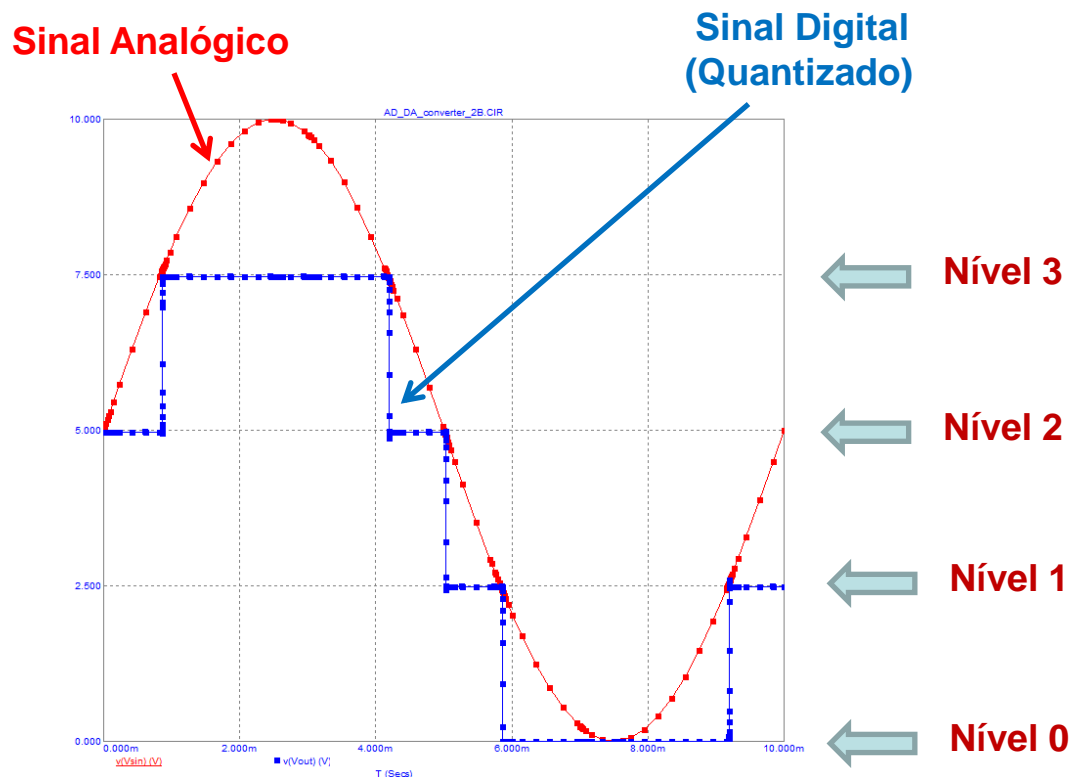
Eng04075 – Eletrônica Digital I

Sumário

Introdução

- Introdução
 - Sinais Analógicos & Sinais Digitais (“Quantizados”)
 - Conversão AD/DA
 - Conversão AD
 - Conversão DA

Sinais Analógicos & Sinais Digitais (“Quantizados”)



➤ Os níveis quantizados podem ser representados por **códigos binários**

➤ P.ex c/ 2 bits

Nível 0 => 00

Nível 1 => 01

Nível 2 => 10

Nível 3 => 11

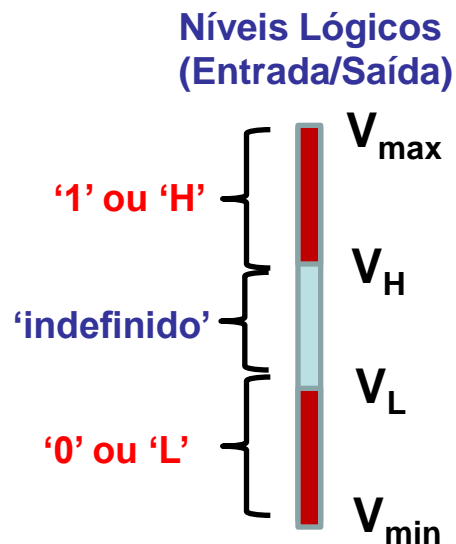
Eng04075 – Eletrônica Digital I

Sumário

Módulo-1

- Características Elétricas
 - Níveis Lógicos - Entrada e Saída
 - Curvas de Transferência
 - Margens de Ruído
 - Chaves Controladas & Inversores

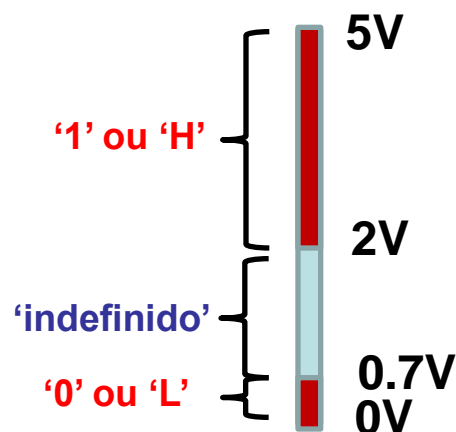
Níveis Lógicos



- Dois valores possíveis - Lógica Binária (V ou F, H ou L, '1' ou '0', etc)
- Eletrônica Digital – Tecnologia com tensão máxima V_{\max} e tensão mínima V_{\min}
 - Nível Baixo (Low) => símbolo '0' ou 'L' - Entre V_{\min} e V_L
 - Nível Alto (High) => símbolo '1' ou 'H' - Entre V_{\max} e V_H

Níveis Lógicos

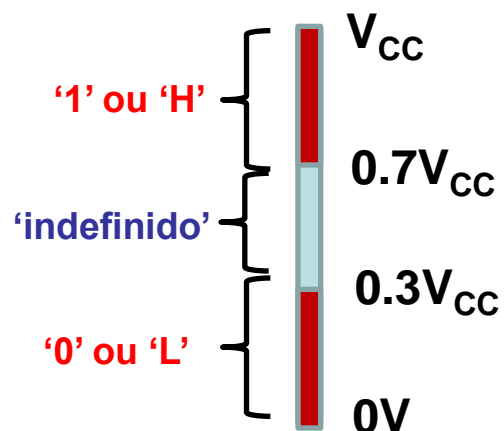
Níveis de Entrada (ex. TTL)



- Dois valores possíveis - Lógica Binária (V ou F, H ou L, '1' ou '0', etc)
- P.Ex: – Tecnologia TTL com tensão máxima 5V e tensão mínima 0V
 - Nível Baixo (Low) => símbolo '0' ou 'L' - **Entre 0V e 0.7V**
 - Nível Alto (High) => símbolo '1' ou 'H' - **Entre 5V e 2V**

Níveis Lógicos

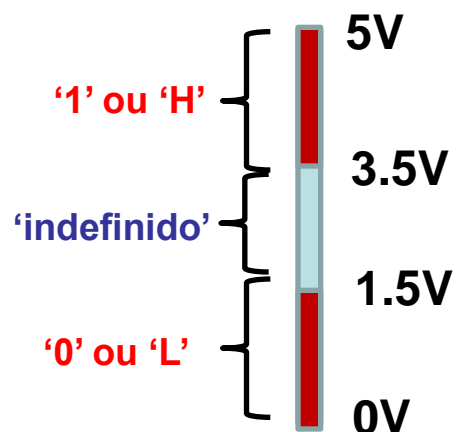
Níveis de Entrada (ex. CMOS)



- Dois valores possíveis - Lógica Binária (V ou F, H ou L, '1' ou '0', etc)
- P.Ex: – Tecnologia CMOS com tensão máxima V_{CC} (ou V_{DD}) e tensão mínima 0V
 - Nível Baixo (Low) => símbolo '0' ou 'L' - Entre 0V e $0.3V_{CC}$
 - Nível Alto (High) => símbolo '1' ou 'H' - Entre V_{CC} e $0.7V_{CC}$

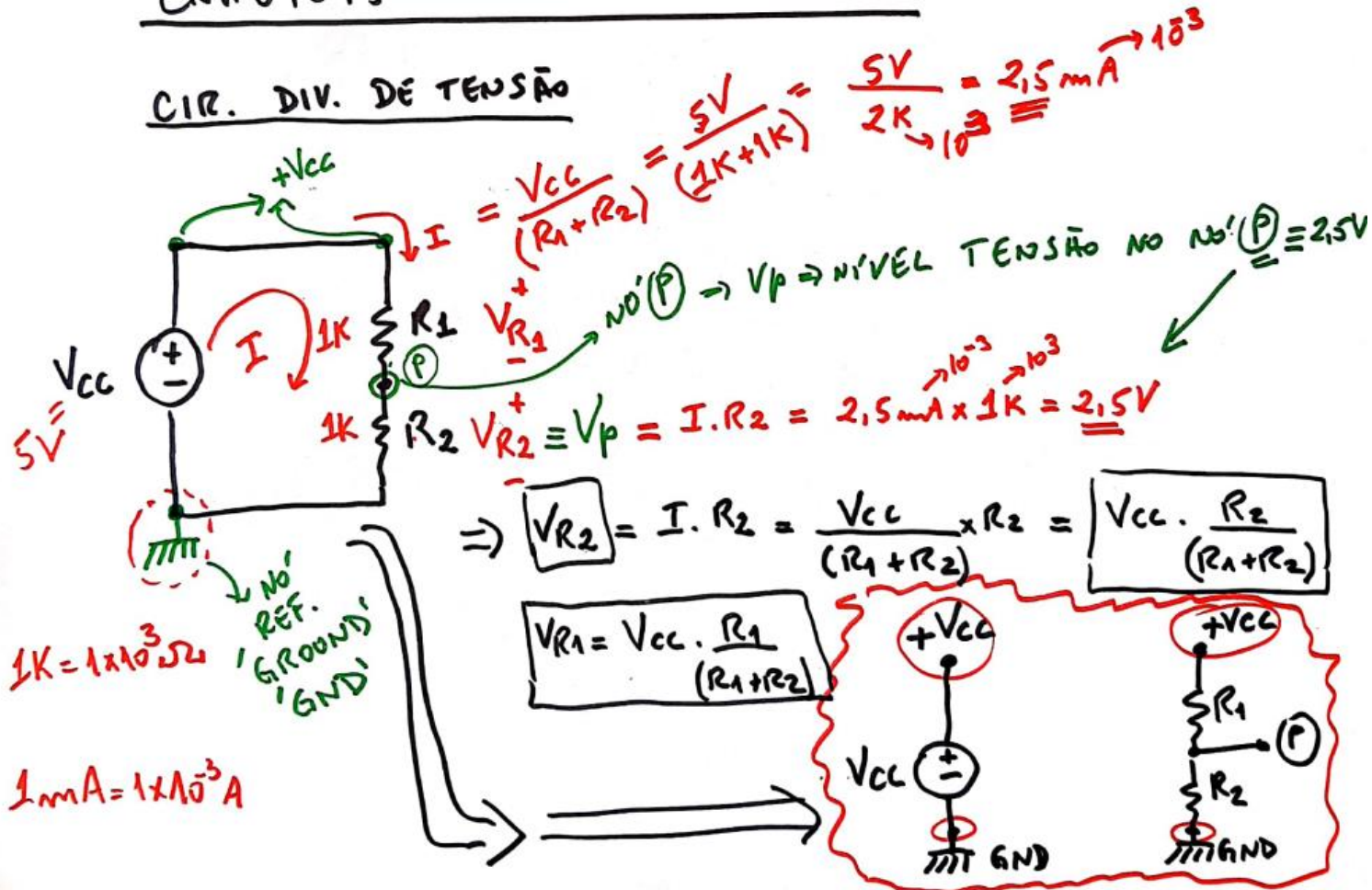
Níveis Lógicos

Níveis de Entrada (ex. CMOS)

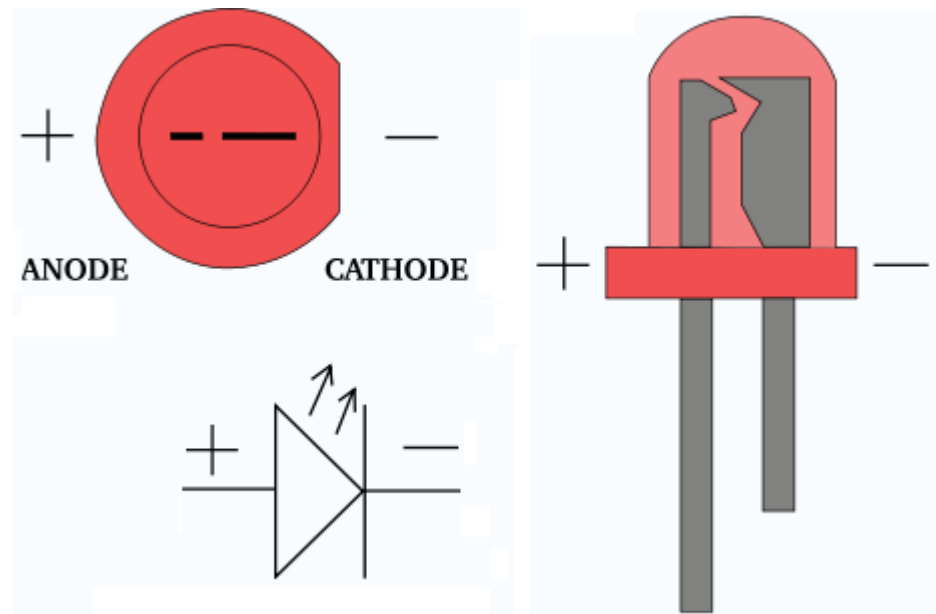


- Dois valores possíveis - Lógica Binária (V ou F, H ou L, '1' ou '0', etc)
- P.Ex: – Tecnologia CMOS com tensão máxima 5V e tensão mínima 0V
 - Nível Baixo (Low) => símbolo '0' ou 'L' - Entre 0V e 0.3Vcc
 - Nível Alto (High) => símbolo '1' ou 'H' - Entre Vcc e 0.7Vcc

CIR. DIV. DE TENSÃO

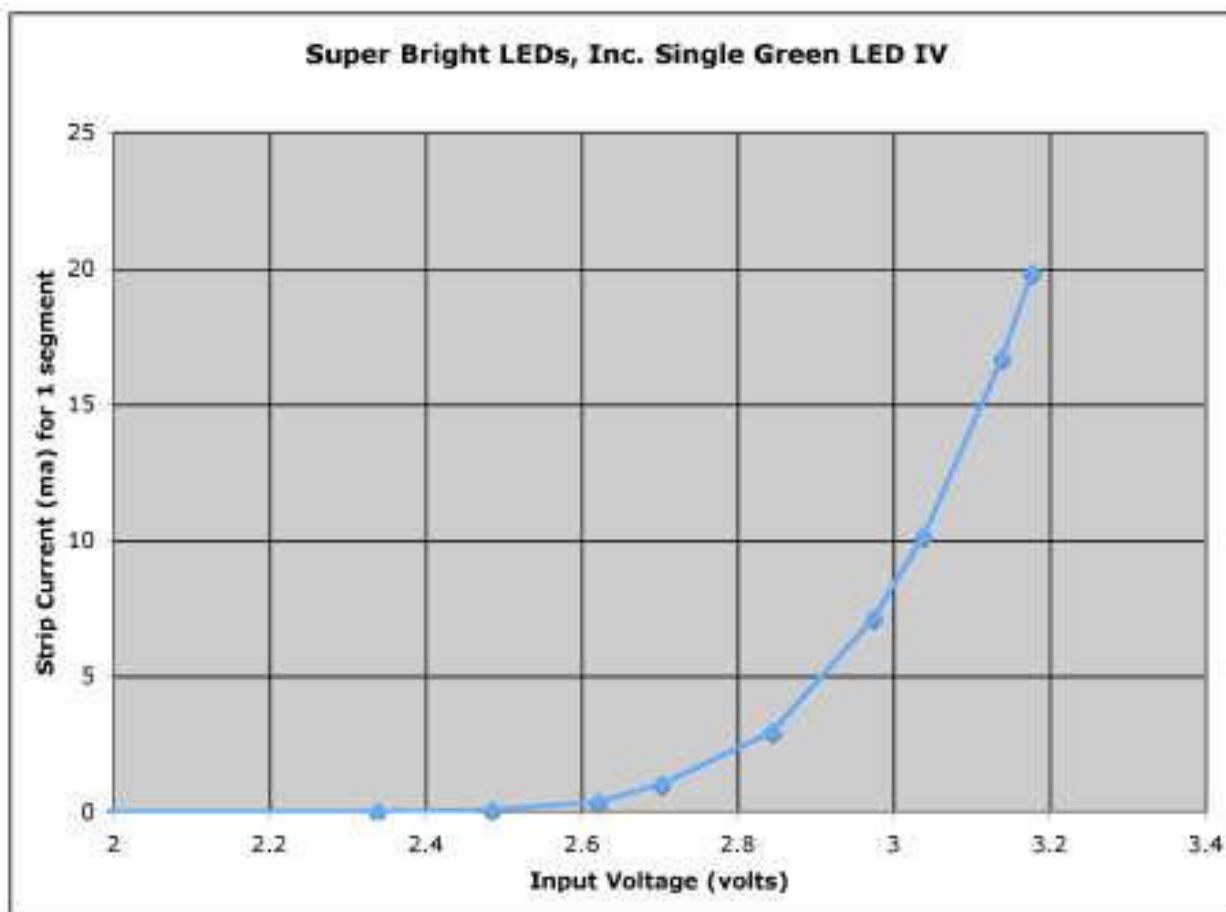


Visualização - Níveis Lógicos - LEDs -



Visualização - Níveis Lógicos

- LEDs -

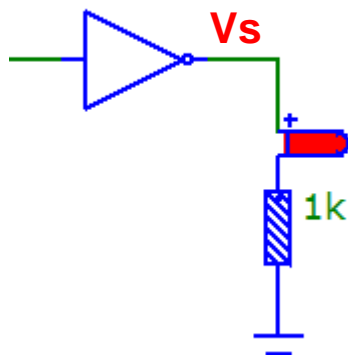
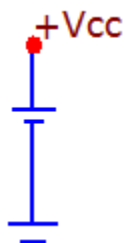


Níveis Lógicos - Saídas

“Pull-Down”

- LED liga com V_s em nível lógico ‘alto’ (‘H’ ou ‘1’)

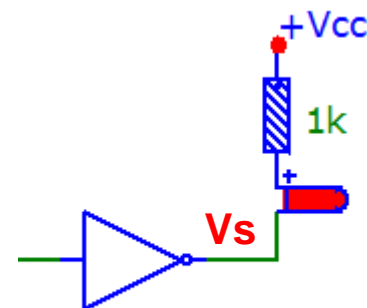
- $V_s \approx +V_{cc}$ (‘1’)



“Pull-Up”

- LED liga com V_s em nível lógico ‘baixo’ (‘L’ ou ‘0’)

- $V_s \approx 0V$ (‘0’)



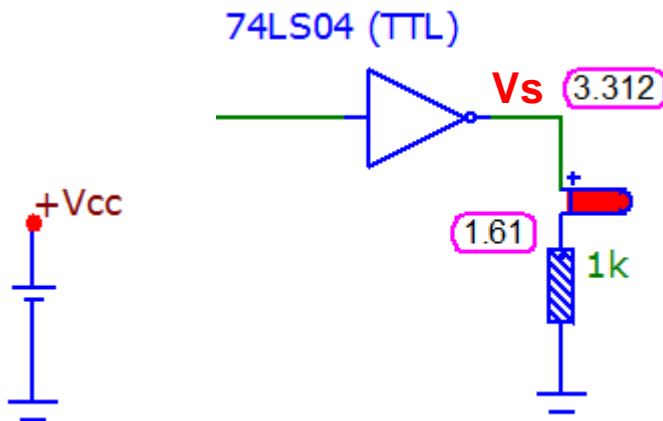
OBS.: Melhor para TTL

Níveis Lógicos - Saídas (ex. c/ TTL)

“Pull-Down”

- LED liga com V_s em nível lógico ‘alto’ (‘H’ ou ‘1’)

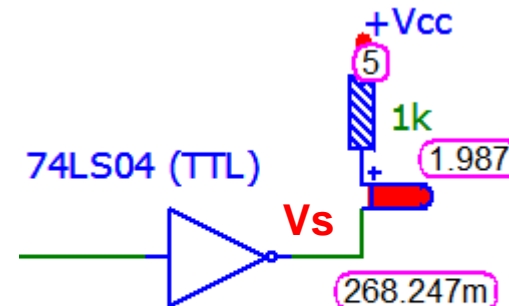
- $V_s \approx +V_{cc}$ (‘1’)



“Pull-Up”

- LED liga com V_s em nível lógico ‘baixo’ (‘L’ ou ‘0’)

- $V_s \approx 0V$ (‘0’)



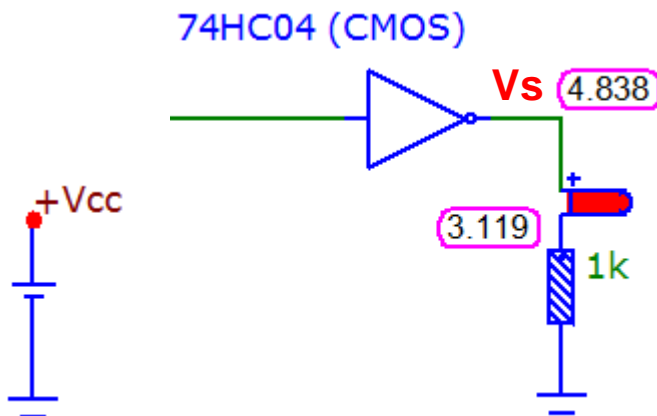
OBS.: Melhor para TTL

Níveis Lógicos - Saídas (ex. c/ CMOS)

“Pull-Down”

- LED liga com V_s em nível lógico ‘alto’ (‘H’ ou ‘1’)

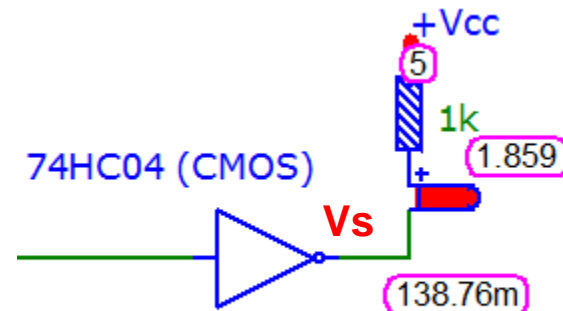
- $V_s \approx +V_{cc}$ (‘1’)



“Pull-Up”

- LED liga com V_s em nível lógico ‘baixo’ (‘L’ ou ‘0’)

- $V_s \approx 0V$ (‘0’)

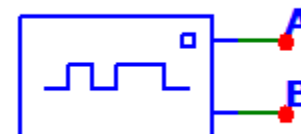


OBS.: Melhor para TTL

Níveis Lógicos - Entradas

simulação & prática

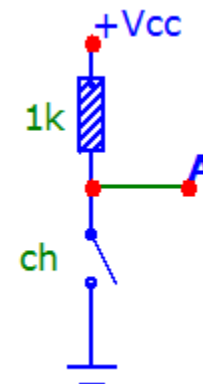
- Gerador Digital (simulação)
 - Aplica '0's e '1's em função do tempo



- Animação de chave digital (simulação)
 - Aplica '0' ou '1'



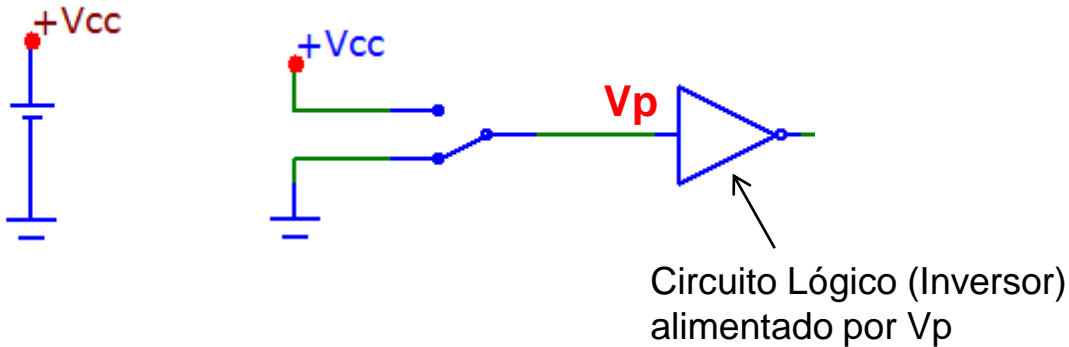
- chave + resistor (simulação ou prática)
 - aplica tensão alta ('1' ou 'H') c/ ch 'off'
 - aplica tensão baixa ('0' ou 'L') c/ ch 'on'



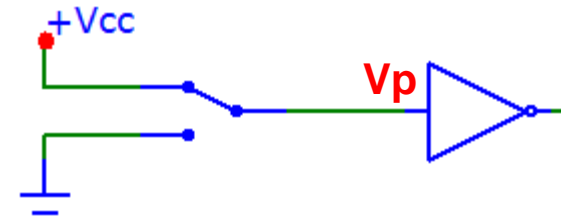
Níveis Lógicos - Entradas

(chave 3 polos)

- Aplica nível 'baixo' ('L') em V_p
 - $V_p \approx 0V$ ('L' ou '0')



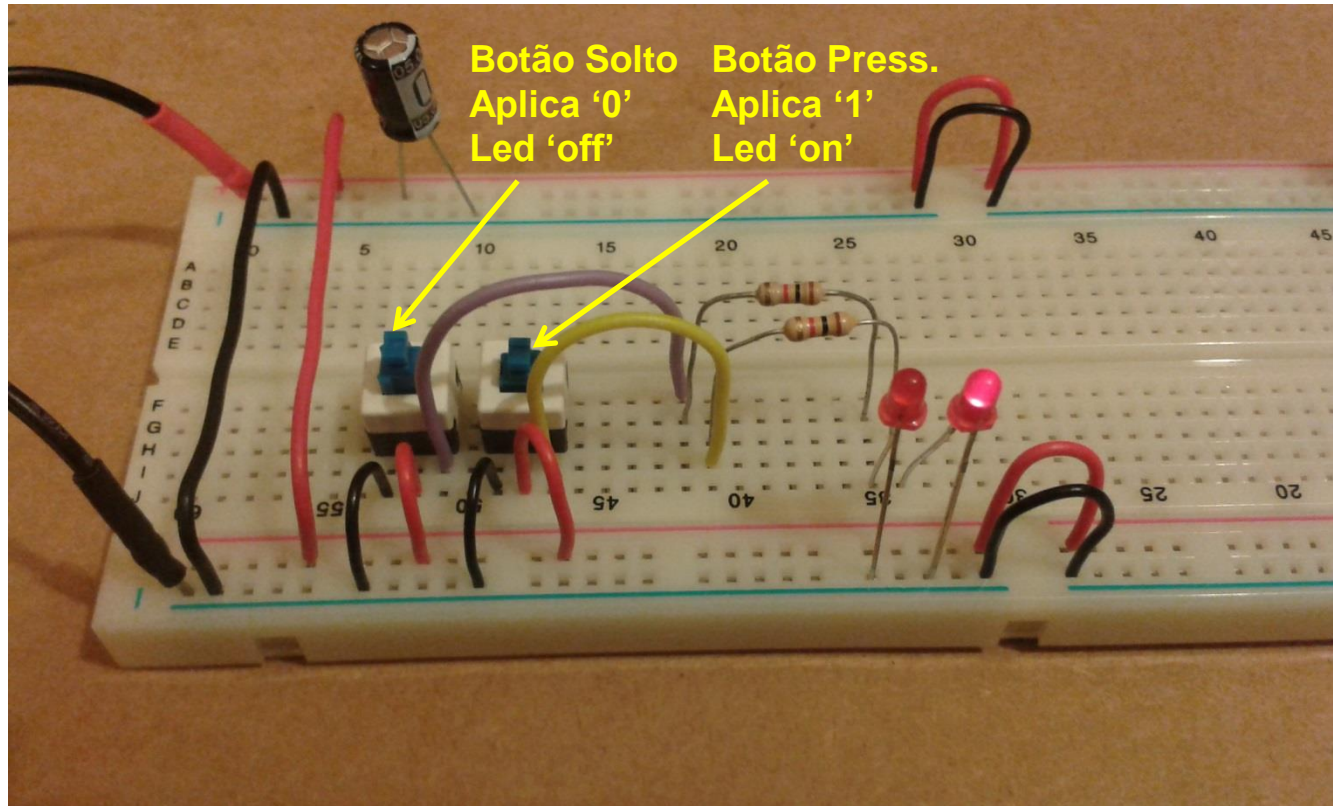
- Aplica nível 'alto' ('H') em V_p
 - $V_p \approx +V_{cc}$ ('H' ou '1')



OBS.: Bom para aplicar nível '1' ou 'H' e também nível '0' ou 'L', mas não é geralmente muito compacta para protoboard

Níveis Lógicos - Entradas

(chave 3 polos)

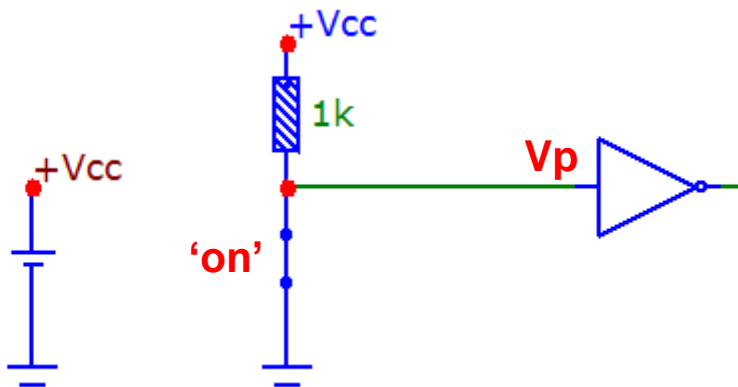


OBS.: Bom para aplicar nível '1' ou 'H' e também nível '0' ou 'L', mas não é geralmente muito compacta para protoboard

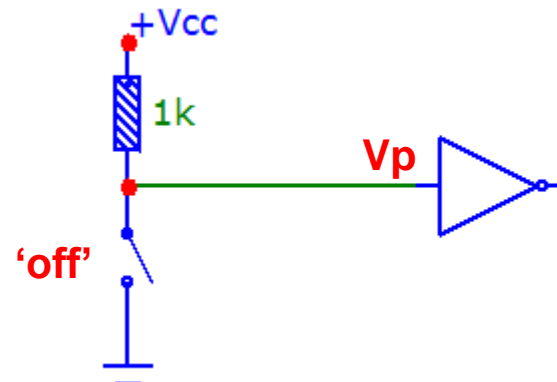
Níveis Lógicos - Entradas

(chave 2 polos - “pull-up”)

- Aplica nível ‘baixo’ (‘L’) em V_p
 - $V_p \approx 0V$ (‘0’)

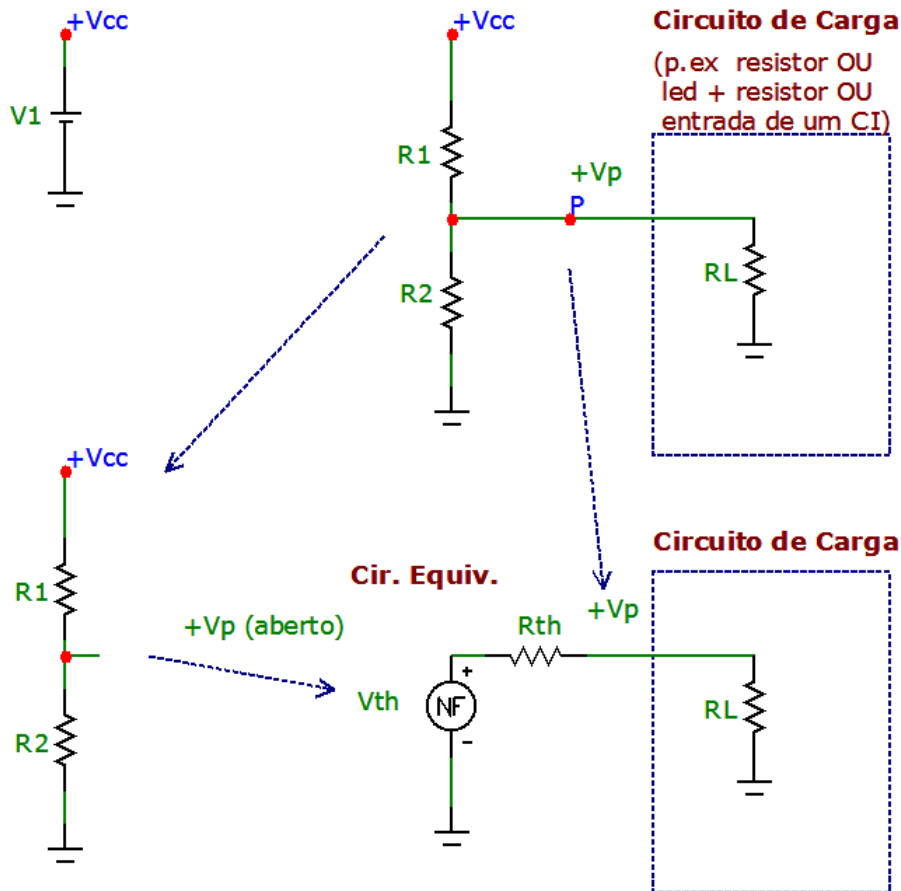


- Aplica nível ‘alto’ (‘H’) em V_p
 - $V_p \approx +V_{cc}$ (‘1’)



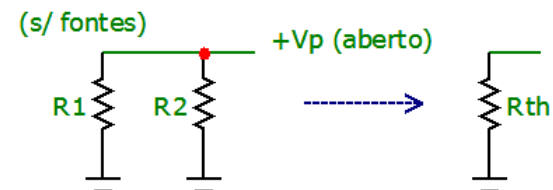
OBS.: Bom para aplicar nível ‘0’ ou ‘L’. Melhor para TTL

Equivalente Thevenin (a)

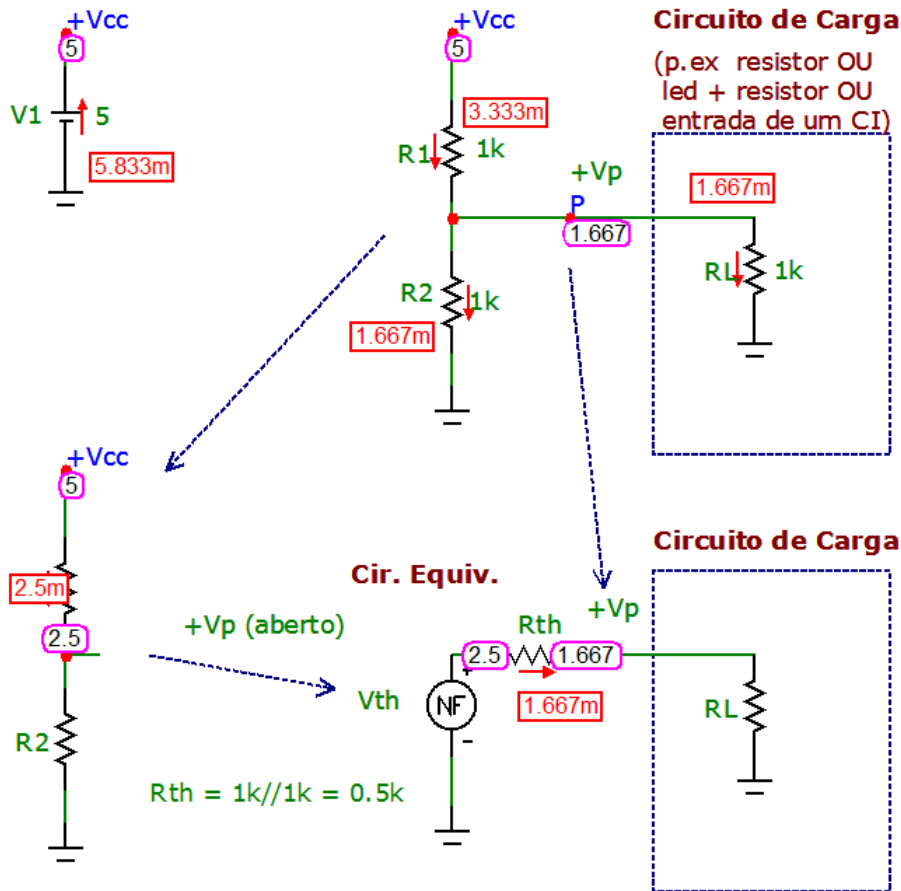


$$V_{th} = V_{cc} \cdot R_2 / (R_1 + R_2) = V_{R2}$$

$$R_{th} = R_1 \cdot R_2 / (R_1 + R_2)$$

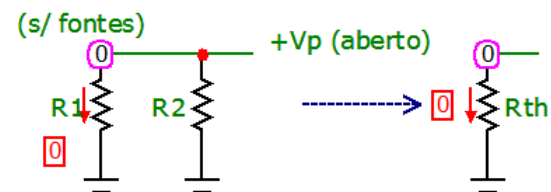


Equivalente Thevenin (a)

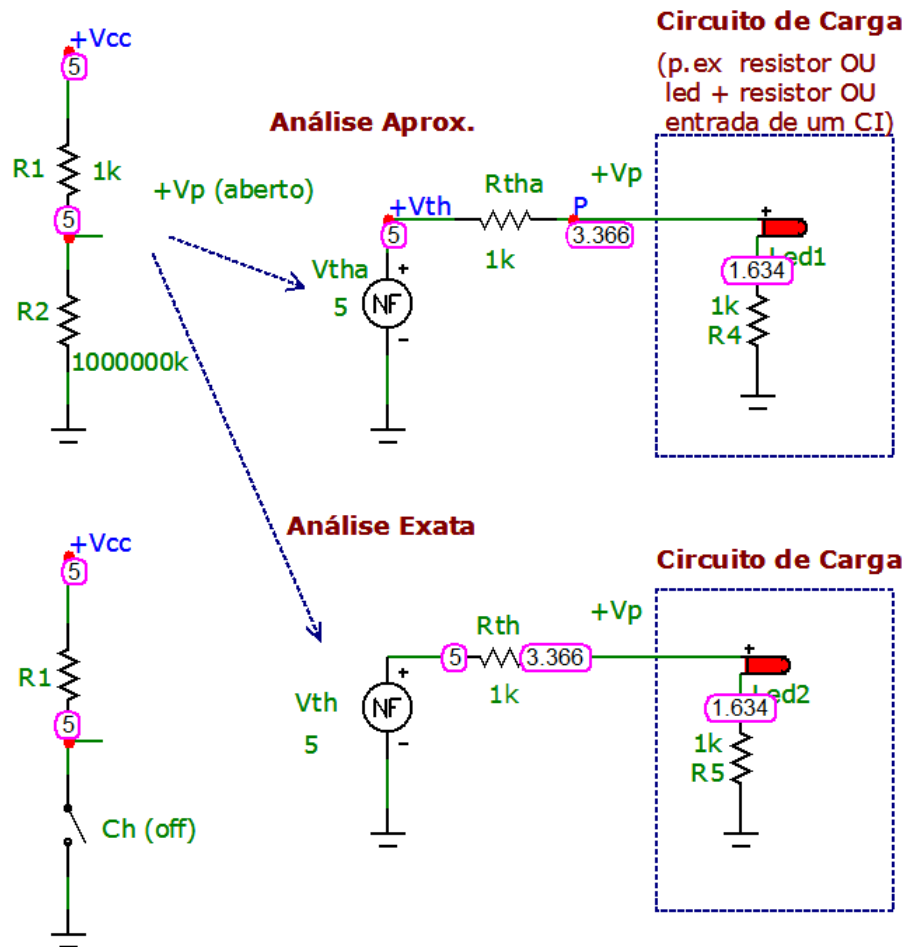


$$V_{th} = V_{cc} \cdot R_2 / (R_1 + R_2) = V_{R2}$$

$$R_{th} = R_1 \cdot R_2 / (R_1 + R_2)$$



Equivalente Thevenin (b)



OBS.: Chave deslig. ('off') ideal com resistência ($R2$) -> infinito

$V_{th} \rightarrow V_{cc}$

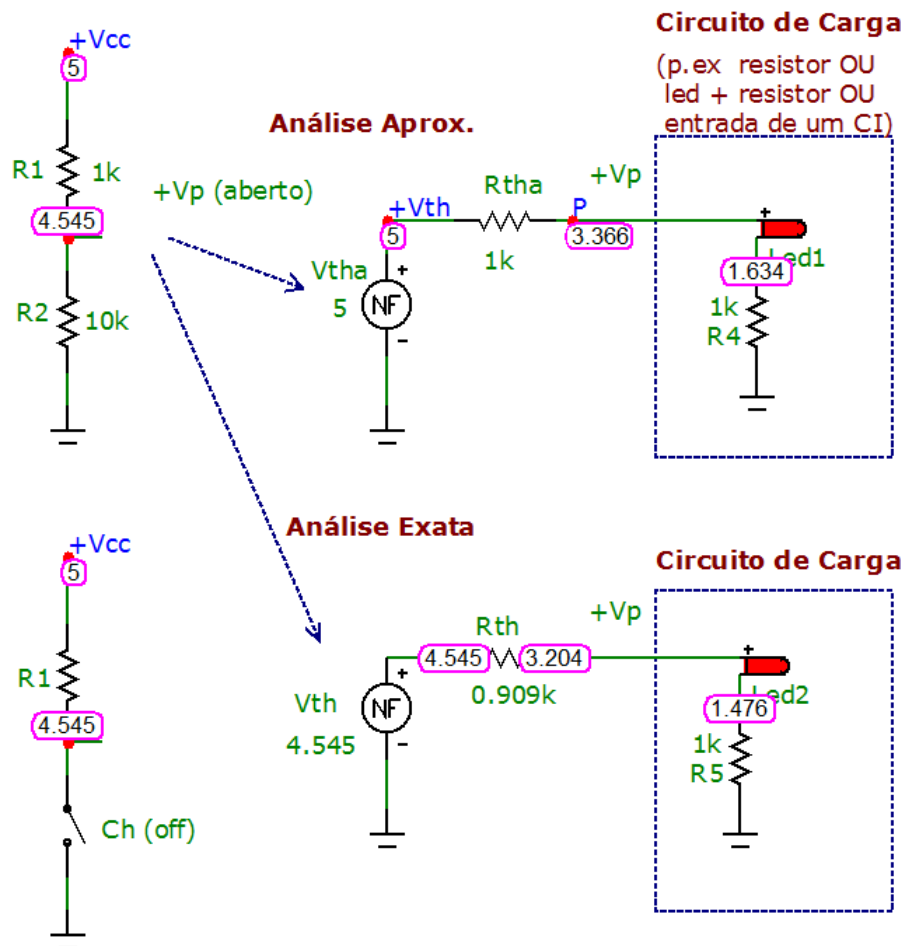
$R_{th} \rightarrow R1$

- Nível lógico é alto ('1' ou 'H') afetado apenas por $R1$

$$V_{th} = V_{cc} * R2 / (R1 + R2)$$

$$R_{th} = R1 * R2 / (R1 + R2)$$

Equivalente Thevenin (b)



OBS.: Chave deslig. ('off') NÃO ideal com resistência (R2) alta mas finita

$$V_{th} < V_{cc}$$

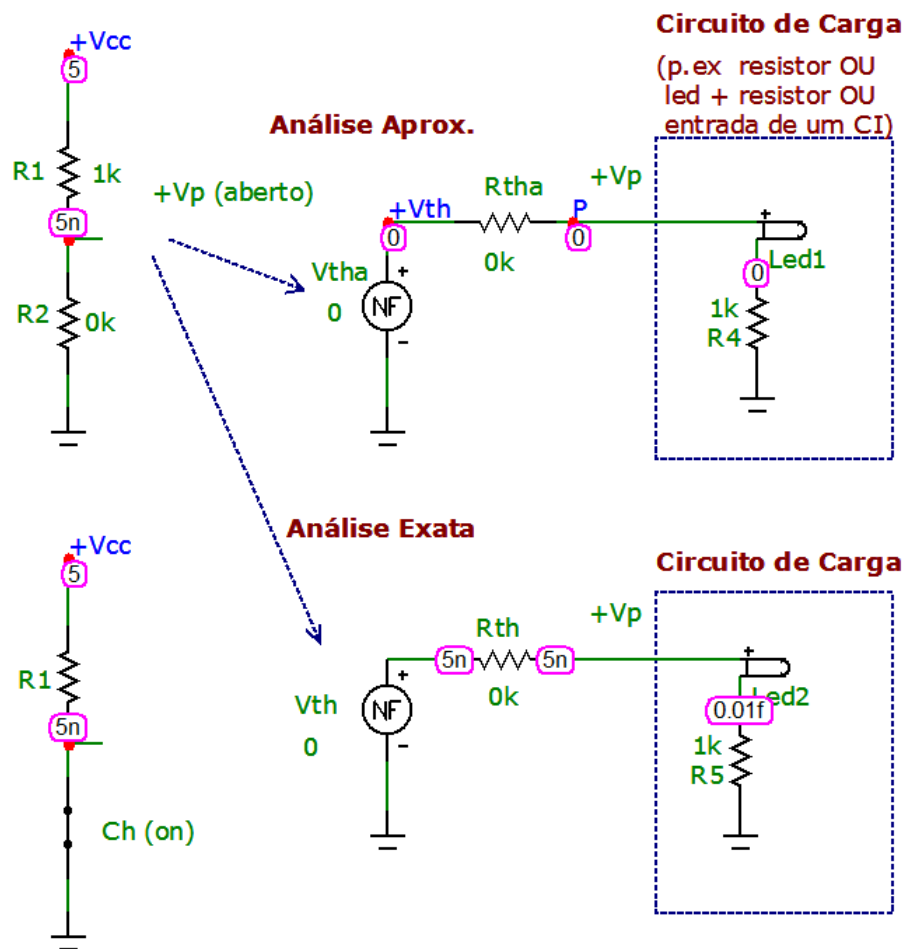
$$R_{th} < R_1$$

- Mas como $R_2 \gg R_1$ o Nível lógico ainda é normalmente alto ('1' ou 'H')

$$V_{th} = V_{cc} \cdot R_2 / (R_1 + R_2)$$

$$R_{th} = R_1 \cdot R_2 / (R_1 + R_2)$$

Equivalente Thevenin (b)

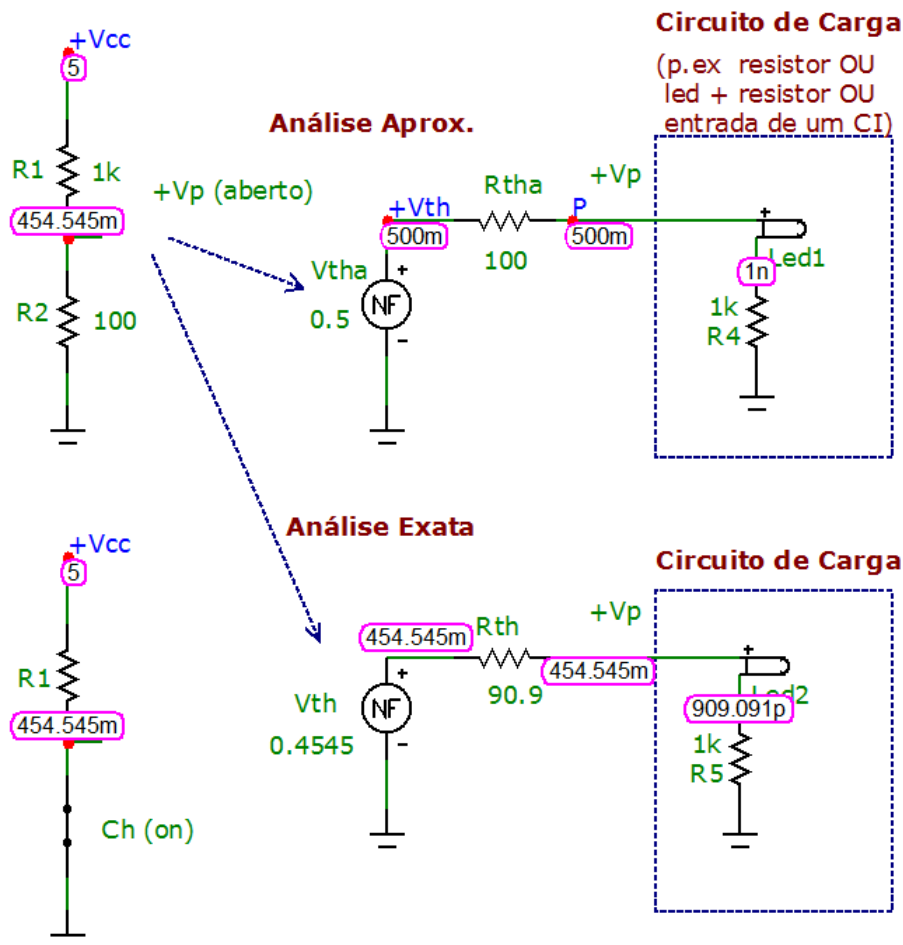


**OBS.: Chave ligada ('on') ideal
com resistência (R2) -> zero**
 $V_{th} \rightarrow 0$
 $R_{th} \rightarrow 0$
- Nível lógico é baixo ('0' ou 'L')

$$V_{th} = V_{cc} \cdot R2 / (R1 + R2)$$

$$R_{th} = R1 \cdot R2 / (R1 + R2)$$

Equivalente Thevenin (b)



OBS.: Chave ligada ('on') NÃO ideal com resistência (R2) baixa mas não zero

$$V_{th} > 0$$

$$R_{th} > 0$$

- Mas como $R_2 \ll R_1$ o Nível lógico normalmente ainda é baixo ('0' ou 'L')

$$V_{th} = V_{cc} \cdot R_2 / (R_1 + R_2)$$

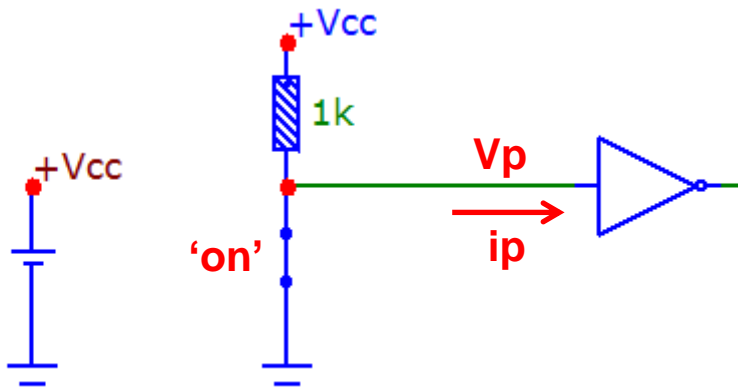
$$R_{th} = R_1 \cdot R_2 / (R_1 + R_2)$$

Níveis Lógicos - Entradas

("pull-up" – modelo simples)

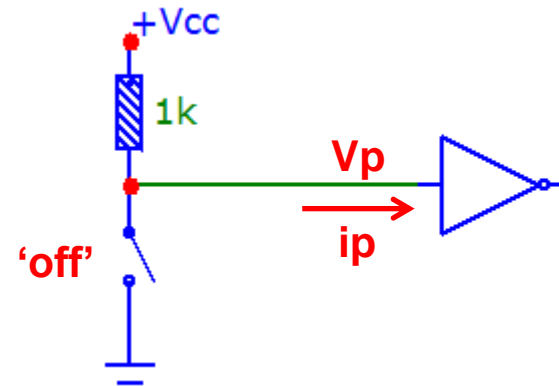
- Aplica nível 'baixo' ('L') em V_p

➤ $V_p \approx 0V$ ('0')



- Aplica nível 'alto' ('H') em V_p

➤ $V_p \approx +V_{cc}$ ('1')



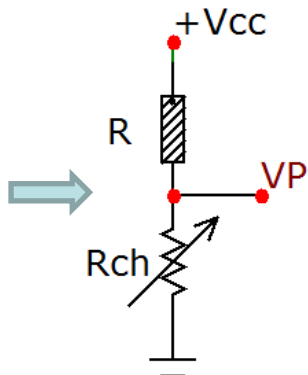
Sem o inversor V_p seria (Thevenin):

$$V_p = V_{cc} * R_{ch} / (R_{ch} + R)$$

Com a chave 'on' $\rightarrow R_{ch} \ll R \rightarrow V_p \approx (V_{cc} * R_{ch} / R - R_{ch} * i_p) \rightarrow V_p \approx V_{cc} * R_{ch} / R$
("ip" desprezado).

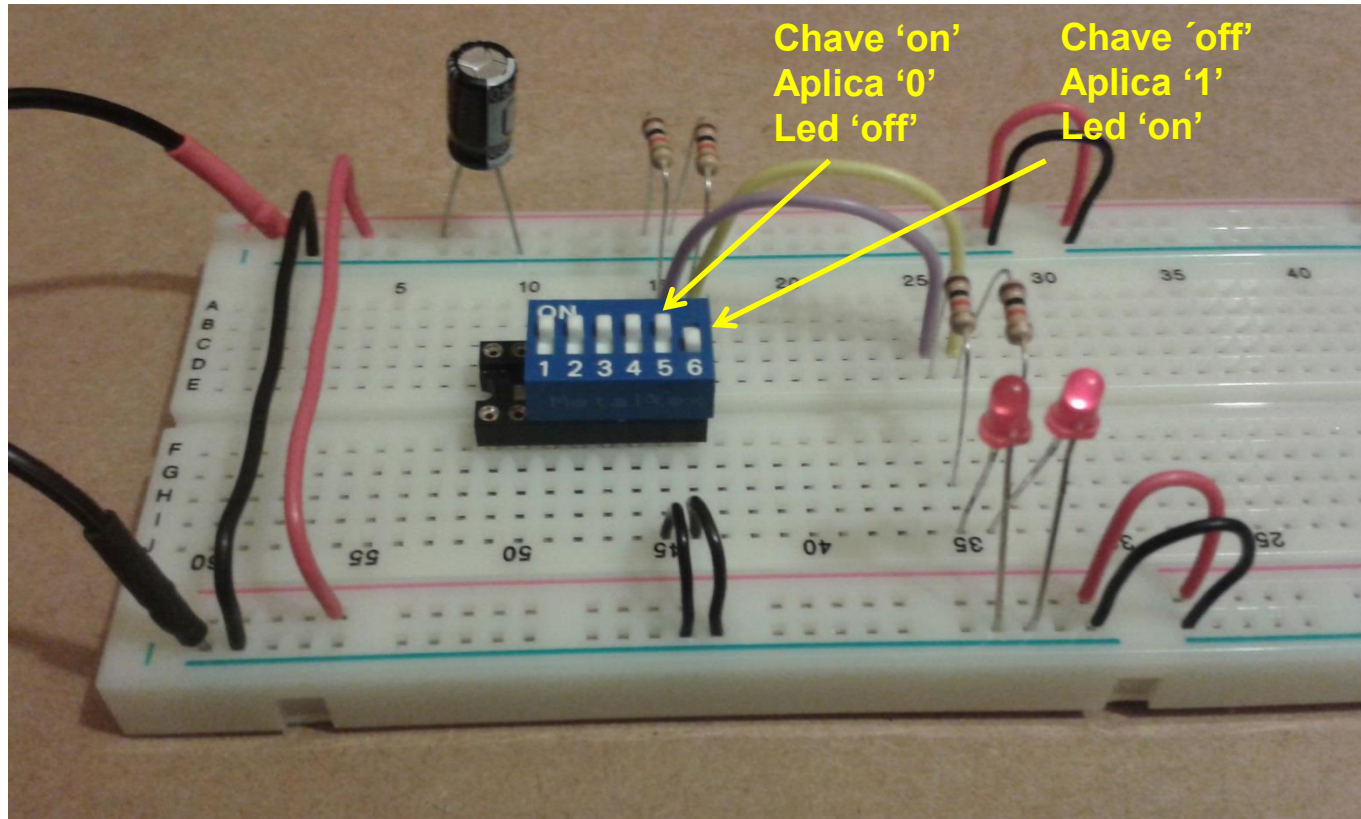
$V_p > \text{zero}$ mas ainda nível 'baixo' ('0')

Com a chave 'off' $\rightarrow R_{ch} \gg R \rightarrow V_p \approx (V_{cc} * R_{ch} / (R_{ch} + R) - R * i_p) \rightarrow V_p < V_{cc}$
mas ainda nível 'alto' ('1')



Níveis Lógicos - Entradas

(chave 2 polos - “pull-up”)

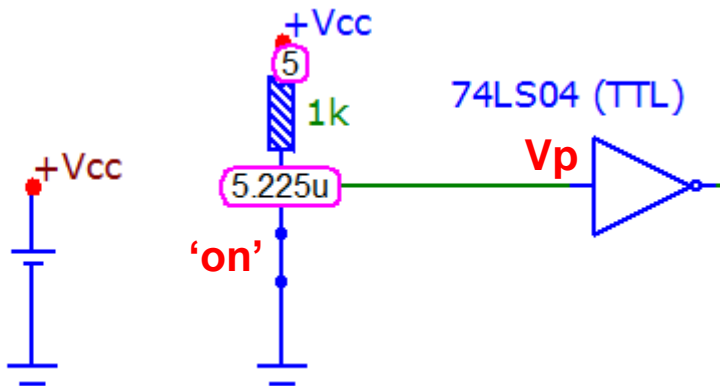


OBS.: Bom para aplicar nível '0' ou 'L'. Melhor para TTL

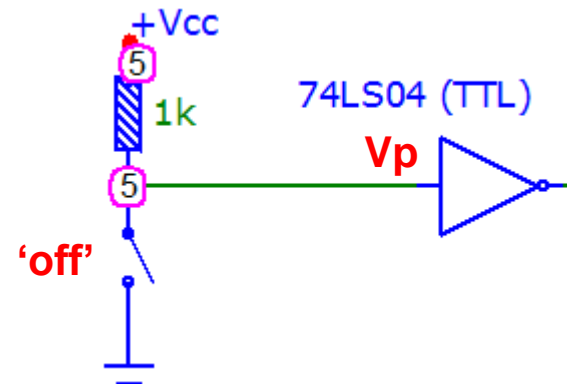
Níveis Lógicos - Entradas

("pull-up" ex. c/ TTL)

- Aplica nível 'baixo' ('L') em V_p
 - $V_p \approx 0V$ ('0')



- Aplica nível 'alto' ('H') em V_p
 - $V_p \approx +V_{cc}$ ('1')

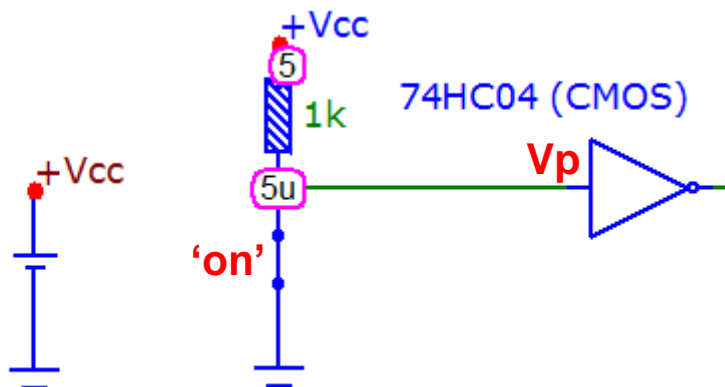


OBS.: Bom para aplicar nível '0' ou 'L'. Melhor para TTL

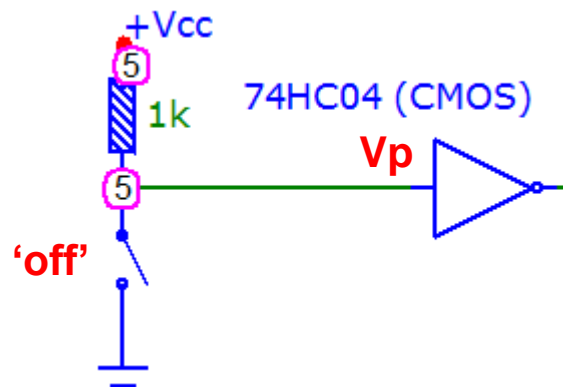
Níveis Lógicos - Entradas

("pull-up" ex. c/ CMOS)

- Aplica nível 'baixo' ('L') em V_p
 - $V_p \approx 0V$ ('0')



- Aplica nível 'alto' ('H') em V_p
 - $V_p \approx +V_{cc}$ ('1')

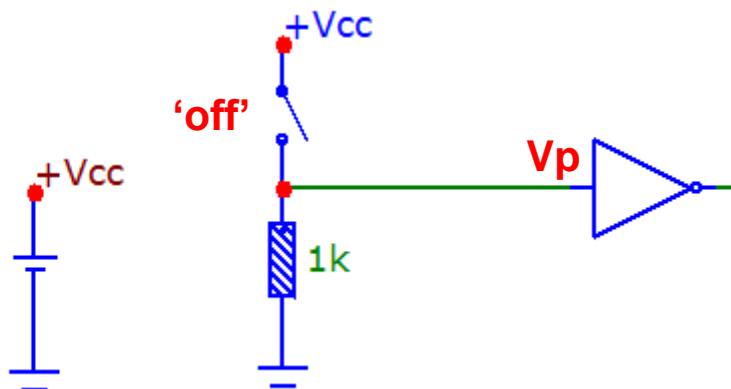


OBS.: Bom para aplicar nível '0' ou 'L'. Melhor para TTL

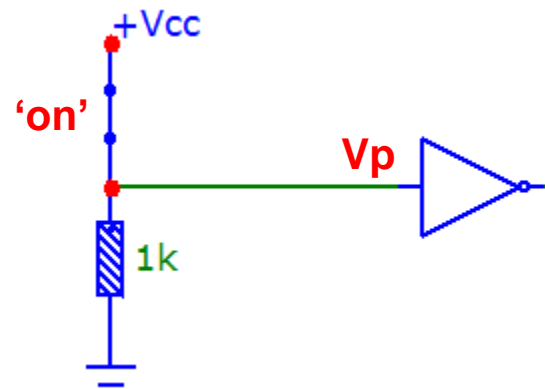
Níveis Lógicos - Entradas

(chave 2 polos - “pull-down”)

- Aplica nível ‘baixo’ (‘L’) em V_p
 - $V_p \approx 0V$ (‘0’)



- Aplica nível ‘alto’ (‘H’) em V_p
 - $V_p \approx +V_{cc}$ (‘1’)



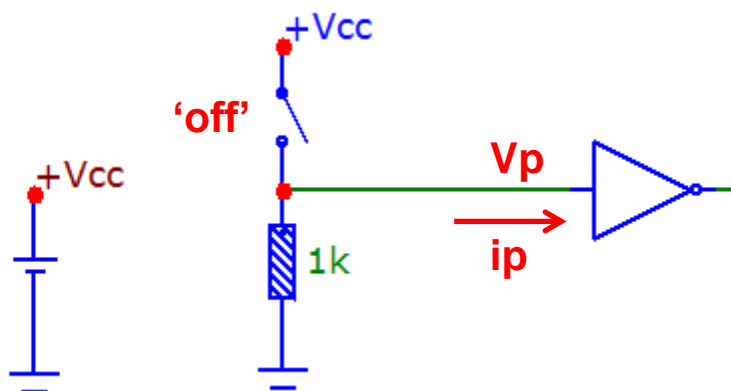
OBS.: Bom para aplicar nível ‘1’ ou ‘H’, mas não recomendado para TTL que tem margem de ruído ruim no nível ‘L’

Níveis Lógicos - Entradas

("pull-down" – modelo simples)

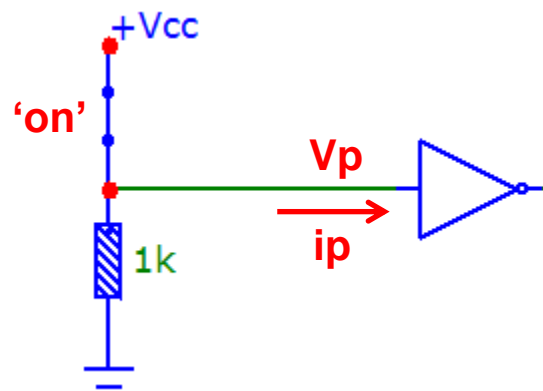
- Aplica nível 'baixo' ('L') em V_p

➤ $V_p \approx 0V$ ('0')



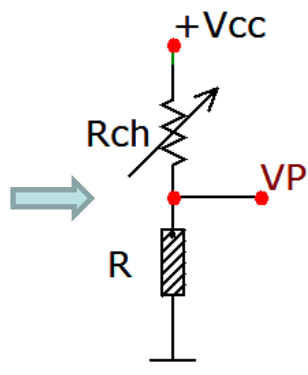
- Aplica nível 'alto' ('H') em V_p

➤ $V_p \approx +V_{cc}$ ('1')



Sem o inversor V_p seria (Thevenin):

$$V_p = V_{cc} * R / (R_{ch} + R)$$



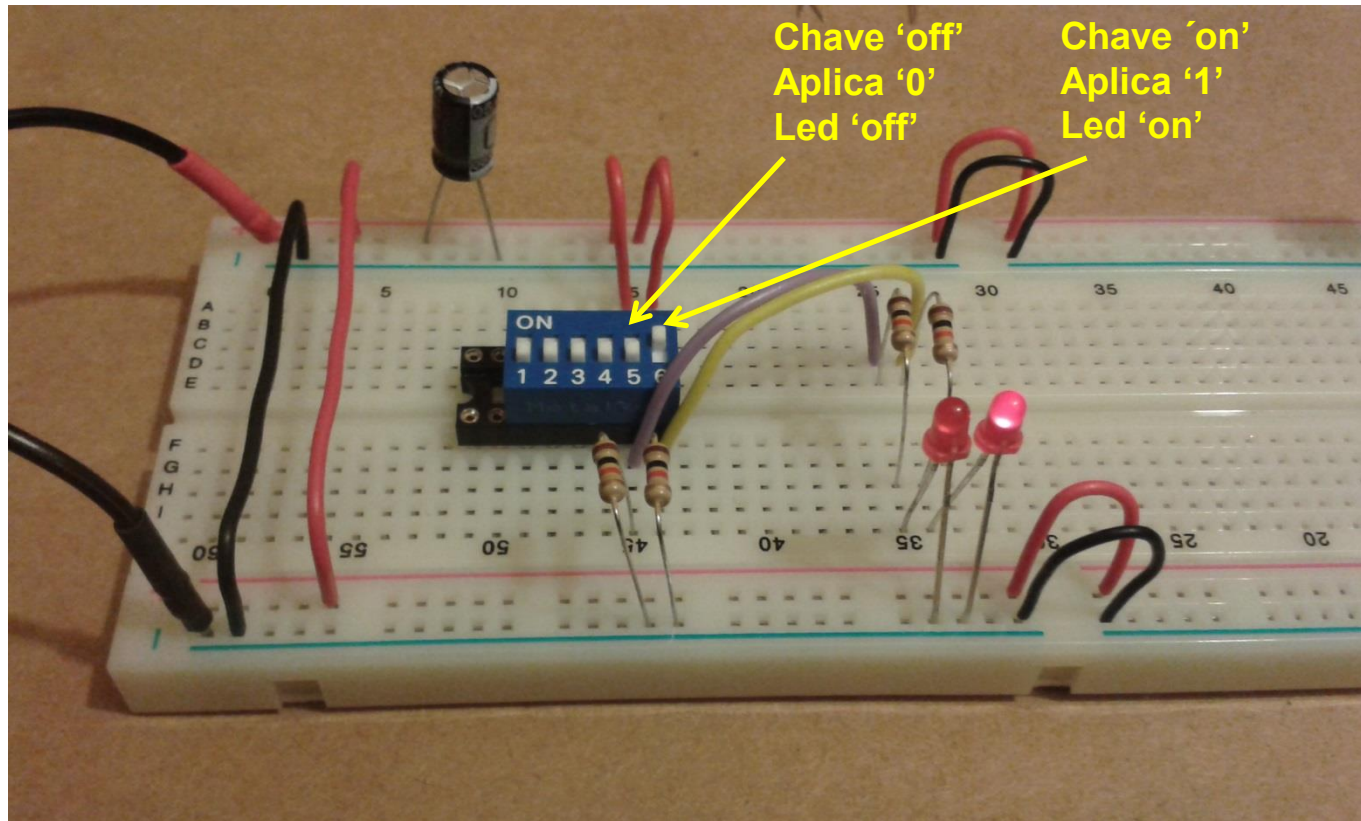
Com a chave 'on' $\rightarrow R_{ch} \ll R \rightarrow V_p \approx (V_{cc} * R / (R_{ch} + R) - R_{ch} * i_p) \approx V_{cc} * R / (R_{ch} + R)$
("ip" desprezado)

$V_p < V_{cc}$ mas ainda nível 'alto' ('1')

Com a chave 'off' $\rightarrow R_{ch} \gg R \rightarrow V_p \approx (V_{cc} * R / R_{ch} - R * i_p) \rightarrow V_p > \text{zero}$ mas ainda nível 'baixo' ('0')

Níveis Lógicos - Entradas

(chave 2 polos - “pull-down”)

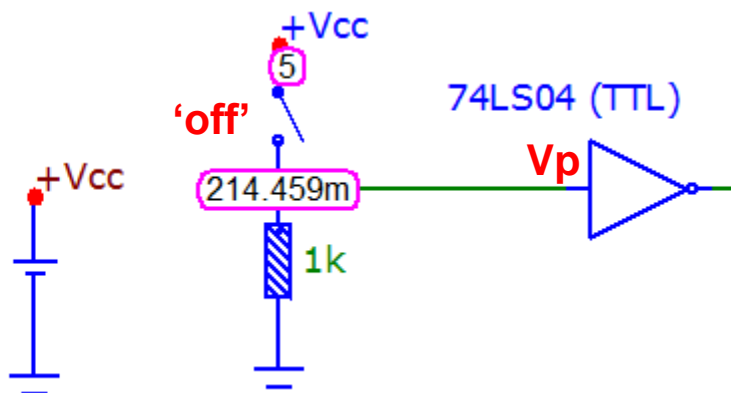


OBS.: Bom para aplicar nível '1' ou 'H', mas não recomendado para TTL que tem margem de ruído ruim no nível 'L'

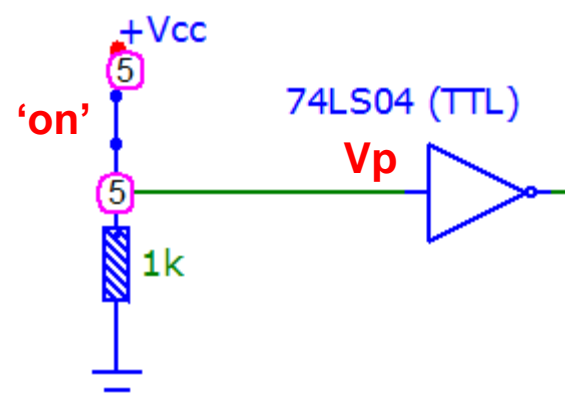
Níveis Lógicos - Entradas

(“pull-down” ex. c/ TTL)

- Aplica nível ‘baixo’ (‘L’) em V_p
 - $V_p \approx 0V$ (‘0’)



- Aplica nível ‘alto’ (‘H’) em V_p
 - $V_p \approx +V_{cc}$ (‘1’)

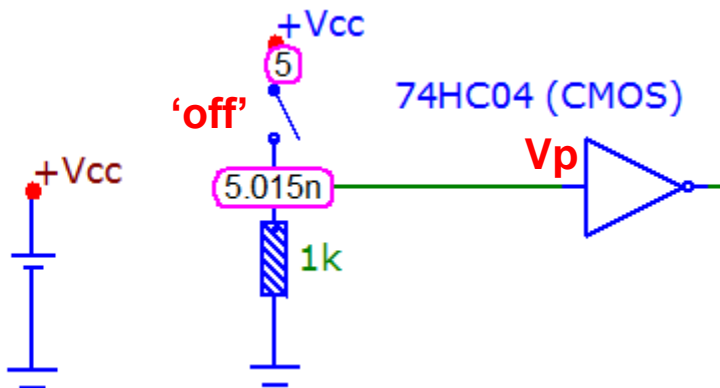


OBS.: Bom para aplicar nível ‘1’ ou ‘H’, mas não recomendado para TTL que tem margem de ruído ruim no nível ‘L’

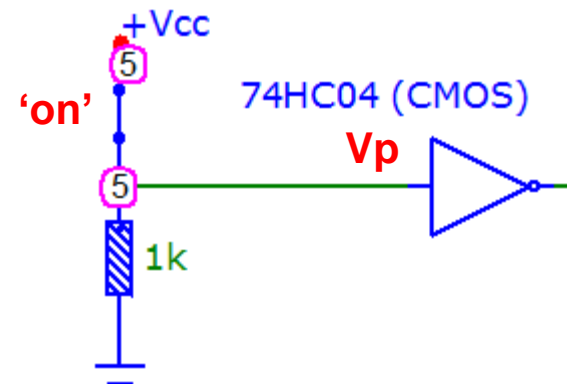
Níveis Lógicos - Entradas

(“pull-down” ex. c/ CMOS)

- Aplica nível ‘baixo’ (‘L’) em V_p
 - $V_p \approx 0V$ (‘0’)



- Aplica nível ‘alto’ (‘H’) em V_p
 - $V_p \approx +V_{cc}$ (‘1’)



OBS.: Bom para aplicar nível ‘1’ ou ‘H’, mas não recomendado para TTL que tem margem de ruído ruim no nível ‘L’